

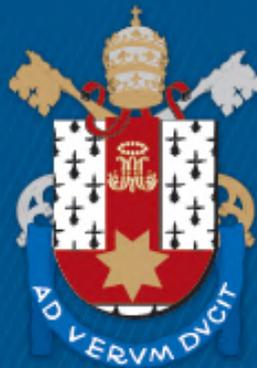
ESCOLA POLITÉCNICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA  
MESTRADO EM ENGENHARIA ELÉTRICA

MATHEUS FAY SOARES

ESTUDO DOS EFEITOS COMBINADOS DA INTERFERÊNCIA  
ELETROMAGNÉTICA E ENVELHECIMENTO NA CONFIABILIDADE DO  
MICROCONTROLADOR CORTEX-M4

Porto Alegre  
2021

PÓS-GRADUAÇÃO - *STRICTO SENSU*



Pontifícia Universidade Católica  
do Rio Grande do Sul

PONTIFÍCIA UNIVERSIDADE CATÓLICA DO RIO GRANDE DO SUL  
ESCOLA POLITÉCNICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

MATHEUS FAY SOARES

**ESTUDO DOS EFEITOS COMBINADOS DA INTERFERÊNCIA  
ELETROMAGNÉTICA E ENVELHECIMENTO NA CONFIABILIDADE  
DO MICROCONTROLADOR CORTEX-M4**

Porto Alegre

2021

MATHEUS FAY SOARES

**ESTUDO DOS EFEITOS COMBINADOS DA INTERFERÊNCIA  
ELETROMAGNÉTICA E ENVELHECIMENTO NA CONFIABILIDADE  
DO MICROCONTROLADOR CORTEX-M4**

Dissertação apresentada como requisito para a obtenção do grau de Mestre pelo Programa de Pós-Graduação em Engenharia Elétrica da Escola Politécnica da Pontifícia Universidade Católica do Rio Grande do Sul.

Área de concentração: Sinais, Sistemas e Tecnologia da Informação.

Linha de pesquisa: Sistemas de Computação, Controle e Automação.

Orientador: Prof. Dr. Juliano D'Ornelas Benfica

Coorientador: Prof. Dr. Fabian Luis Vargas

Porto Alegre

2021

## Ficha Catalográfica

S676e Soares, Matheus Fay

Estudo dos Efeitos Combinados da Interferência Eletromagnética e Envelhecimento na Confiabilidade do Microcontrolador Cortex-M4 / Matheus Fay Soares. – 2021.

173 p.

Dissertação (Mestrado) – Programa de Pós-Graduação em Engenharia Elétrica, PUCRS.

Orientador: Prof. Dr. Juliano Dornelas Benfica.

Co-orientador: Prof. Dr. Fabian Luis Vargas.

1. EMI Conduzida. 2. Envelhecimento. 3. Processador Cortex-M4. 4. Análise de Confiabilidade. I. Benfica, Juliano Dornelas. II. Vargas, Fabian Luis. III. Título.



# **ESTUDO DOS EFEITOS COMBINADOS DA INTERFERÊNCIA ELETROMAGNÉTICA E ENVELHECIMENTO NA CONFIABILIDADE DO MICROCONTROLADOR CORTEX-M4**

**CANDIDATO: MATHEUS FAY SOARES**

Esta Dissertação de Mestrado foi julgada para obtenção do título de MESTRE EM ENGENHARIA ELÉTRICA e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Pontifícia Universidade Católica do Rio Grande do Sul.

---

**DR. JULIANO D`ORNELAS BENFICA - ORIENTADOR**

---

**DR. FABIAN LUIS VARGAS - COORIENTADOR**

## **BANCA EXAMINADORA**

---

**DR. TIAGO ROBERTO BALEN - PGMICRO - UFRGS**

---

**DR. CÉSAR AUGUSTO MISSIO MARCON - PPGCC - PUCRS**

## AGRADECIMENTOS

Na realização dessa importante conquista, contei com o apoio de diversas pessoas, sem as quais não teria sido fácil consegui-la. A todos que me ajudaram direta ou indiretamente, minha profunda gratidão.

A minha família, em especial aos meus pais Jairo e Katia, minha irmã Júlia e minha namorada Débora, por todo o apoio, carinho, motivação e compreensão ao longo de toda essa trajetória, amo vocês.

À Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES), meu muito obrigado pela bolsa de estudos de dois anos que permitiu o ensino de excelência durante toda a minha pós-graduação.

Aos meus orientadores, Prof. Dr. Juliano Benfica e Prof. Dr. Fabian Vargas por toda ajuda, orientação e auxílio na execução desse trabalho. Ter a oportunidade de desenvolver esse estudo através de todo o conhecimento que me transmitiram foi muito significativo e importante para minha jornada tanto pessoal quanto profissional.

À empresa ST Microelectronics pela doação dos componentes utilizados na execução do projeto e auxílio prestado.

Ao Labelo (Laboratórios Especializados em Eletroeletrônica) pela disponibilização de sua estrutura à execução dos testes realizados.

Aos demais colegas e colaboradores da PUCRS, meu muito obrigado por toda a ajuda e colaboração.

*“Viver é melhor do que sonhar.”*

*(Belchior)*

## RESUMO

A tecnologia evoluiu significativamente ao longo do tempo, trazendo mudanças consideráveis para a sociedade. Conforme o avanço tecnológico, os microcontroladores, importantes componentes eletrônicos de sistemas, são cada vez mais utilizados em aplicações críticas ao mesmo passo que o ambiente de operação se torna cada vez mais desfavorável, com maiores interferências prejudiciais a um funcionamento adequado. Nesse contexto, a interferência eletromagnética (EMI), representa um dos problemas mais críticos quando abordamos a confiabilidade e robustez dos sistemas eletrônicos e, se agrava quando associada ao efeito natural do envelhecimento, tornando esses parâmetros como essenciais para o desenvolvimento e confiabilidade de circuitos integrados.

Esse trabalho detalha o desenvolvimento de uma metodologia de ensaios que possibilite avaliar o comportamento de microcontroladores em função do envelhecimento e da EMI conduzida nos terminais de alimentação. A análise do comportamento e variações das características foi efetuada através da realização dos ensaios descritos nas normas IEC 61000-4-4 e IEC 61000-4-6 em um microcontrolador Cortex-M4, utilizando três diferentes métodos de envelhecimento acelerado: altas temperaturas, ciclos térmicos e sobretensão na alimentação.

Os resultados obtidos demonstraram uma expressiva variação da confiabilidade da amostra e seus parâmetros de funcionamento após diferentes níveis de envelhecimento. Dessa forma, a metodologia desenvolvida permite aos desenvolvedores de sistemas e circuitos integrados um método eficaz para avaliar a susceptibilidade à EMI conduzido, possibilitando desenvolvimento de técnicas de aumento de confiabilidade e robustez dos projetos.

**Palavras-chave:** EMI Conduzida; Envelhecimento Acelerado; Processador Cortex-M4; Análise de Confiabilidade.

## ABSTRACT

Technology has evolved significantly over time, bringing considerable changes to society. As technology advances, microcontrollers, important electronic components of systems, are increasingly used in critical applications while the operating environment becomes increasingly unfavorable, with greater interferences detrimental to proper functioning. In this context, electromagnetic interference (EMI), represents one of the most critical problems when we approach the reliability and robustness of electronic systems and, it worsens when associated with the natural effect of aging, making these parameters essential for the development and reliability of integrated circuits.

This work details the development of a testing methodology that makes it possible to evaluate the behavior of microcontrollers as a function of aging and the EMI conducted at the power terminals. The analysis of the behavior and variations of the characteristics was carried out through the tests described in the IEC 61000-4-4 and IEC 61000-4-6 standards in a Cortex-M4 microcontroller, using three different accelerated aging methods: high temperatures, thermal cycles, and overvoltage in the supply.

The results obtained have showed a significant variation in the reliability of the microcontroller sample and its operating parameters after different levels of aging. Thus, the methodology developed allows developers of systems and integrated circuits an effective method to assess susceptibility to conducted EMI, enabling the development of techniques to increase the reliability and robustness of projects.

**Keywords:** Conducted EMI; Accelerated Aging; Cortex-M4 Processor; Reliability Analysis.

## LISTA DE FIGURAS

Figura 1 – Confiabilidade de sistemas ao longo do tempo. . . . .	26
Figura 2 – Diagrama de dependabilidade. . . . .	30
Figura 3 – Modelo de três universos conceituando falha, erro e defeito. . . . .	32
Figura 4 – Representação da curva da banheira. . . . .	35
Figura 5 – Representação da curva da banheira. . . . .	36
Figura 6 – Ilustração da relação entre emissão e imunidade. . . . .	39
Figura 7 – Categorização dos conceitos de compatibilidade eletromagnética. . . . .	40
Figura 8 – Ambiente eletromagnético típico. . . . .	41
Figura 9 – Interferência eletromagnética radiada. . . . .	43
Figura 10 – Interferência eletromagnética conduzida. . . . .	44
Figura 11 – Acoplamento capacitivo (campo próximo). . . . .	45
Figura 12 – Acoplamento indutivo (campo próximo). . . . .	45
Figura 13 – Forma de onda de um surto em tensão de circuito aberto e corrente de curto circuito. . . . .	46
Figura 14 – Mecanismo de ESD. . . . .	47
Figura 15 – Mecanismo de EFT. . . . .	48
Figura 16 – Mecanismos de variações na tensão. . . . .	49
Figura 17 – Exemplo de integridade de sinais. . . . .	51
Figura 18 – Representação de um transiente elétrico rápido. . . . .	54
Figura 19 – Configuração do ensaio de transientes elétricos rápidos. . . . .	55
Figura 20 – Exemplo de um alicate de acoplamento capacitivo. . . . .	55
Figura 21 – Formas de onda em circuito aberto, para um dispositivo considerando nível de ensaio 1. . . . .	57
Figura 22 – Configuração de ensaio utilizando CDN. . . . .	58
Figura 23 – Configuração de ensaio utilizando alicate eletromagnético. . . . .	58
Figura 24 – Configuração de ensaio utilizando sensor de corrente. . . . .	59
Figura 25 – Decréscimo da taxa de falhas ao longo do tempo após mecanismo de aceleração do envelhecimento. . . . .	62
Figura 26 – Ciclo térmico de envelhecimento em um ensaio acelerado de vida. . . . .	64
Figura 27 – Exemplo de ciclo térmico de envelhecimento. . . . .	66

Figura 28 – Diagrama de falhas e mecanismos de degradação em circuitos integrados.	69
Figura 29 – Estrutura de um transistor PMOS.	70
Figura 30 – Recuperação da tensão limar de condução em função do tempo sem stress.	70
Figura 31 – Representação do fenômeno de <i>Hot Carriers Injections</i> (HCI).	72
Figura 32 – Ruptura do dielétrico devido ao TDDB.	73
Figura 33 – Imagem microscópica de uma falha de curto-circuito e circuito-aberto nas interconexões de um circuito microeletrônico.	75
Figura 34 – Crescimento anual na demanda de microprocessadores e circuitos integrados em 2011.	77
Figura 35 – Modelo básico de um sistema SoC.	78
Figura 36 – Esquemático do microcontrolador STM32F303k8.	86
Figura 37 – PCI microcontrolador.	87
Figura 38 – Circuito conversor TTL para fibra óptica.	88
Figura 39 – Circuito conversor fibra óptica para USB.	89
Figura 40 – Diagrama de blocos do circuito de testes em operação.	90
Figura 41 – Plataforma de testes.	90
Figura 42 – Tela de configuração da comunicação serial do software de controle.	91
Figura 43 – Tela de monitoramento da transmissão do software de controle.	92
Figura 44 – Plataforma de teste de envelhecimento.	95
Figura 45 – Plataforma de teste de EFT/Burst.	96
Figura 46 – Plataforma de teste de campos de RF conduzidos.	97
Figura 47 – Diagrama de medição da corrente de consumo.	99
Figura 48 – Diagrama de medição da tensão mínima de operação.	99
Figura 49 – Plataforma de teste para medição da corrente de consumo e tensão mínima de operação.	100
Figura 50 – Diagrama de envelhecimento do microcontrolador.	101
Figura 51 – Diagrama da metodologia de testes combinados de envelhecimento e EMI conduzido.	103
Figura 52 – Efeitos do envelhecimento por altas temperaturas na PCI do circuito do microcontrolador.	105
Figura 53 – Variação da corrente de consumo ao longo do envelhecimento na tensão de alimentação nominal (3,3V).	106

Figura 54 – Variação da corrente de consumo ao longo do envelhecimento na tensão de mínima de operação. . . . .	107
Figura 55 – Variação da tensão mínima de operação em função do tempo de envelhecimento. . . . .	108
Figura 56 – Variação do número de defeitos observados no ensaio de EFT/Burst ao longo do envelhecimento na tensão nominal de operação (3,3V). . . . .	110
Figura 57 – Variação do número de defeitos observados no ensaio de EFT/Burst ao longo do envelhecimento na tensão mínima de operação. . . . .	111
Figura 58 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão nominal de alimentação (3,3V). . . . .	112
Figura 59 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão nominal de alimentação (3,3V). . . . .	113
Figura 60 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão nominal de alimentação (3,3V). . . . .	114
Figura 61 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão nominal de alimentação (3,3V). . . . .	115
Figura 62 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão mínima de operação. . . . .	116
Figura 63 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão mínima de operação. . . . .	117
Figura 64 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão mínima de operação. . . . .	118
Figura 65 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão mínima de operação. . . . .	119
Figura 66 – Efeitos do envelhecimento por ciclos térmicos na PCI do microcontrolador. . . . .	120
Figura 67 – Aumento da corrente de consumo após 1128 horas de envelhecimento na tensão nominal de operação (3,3V). . . . .	121
Figura 68 – Aumento da corrente de consumo após 1128 horas de envelhecimento na tensão mínima de operação. . . . .	122

Figura 69 – Variação da tensão mínima de operação em função do envelhecimento.	123
Figura 70 – Variação do número de defeitos observados no ensaio de EFT/Burst ao longo do envelhecimento na tensão nominal de operação (3,3V).	124
Figura 71 – Variação do número de defeitos observados no ensaio de EFT/Burst ao longo do envelhecimento na tensão mínima de operação.	125
Figura 72 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão nominal de alimentação (3,3V).	126
Figura 73 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão nominal de alimentação (3,3V).	127
Figura 74 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão nominal de alimentação (3,3V).	128
Figura 75 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão nominal de alimentação (3,3V).	129
Figura 76 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão mínima de operação.	130
Figura 77 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão mínima de operação.	131
Figura 78 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão mínima de operação.	132
Figura 79 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão mínima de operação.	133
Figura 80 – Comparação entre a corrente de consumo medida para os métodos de envelhecimento por alta temperatura e ciclos térmicos, na tensão de alimentação de 3,3V.	135
Figura 81 – Comparação entre a corrente de consumo medida para os métodos de envelhecimento por alta temperatura e ciclos térmicos, na tensão mínima de alimentação.	135
Figura 82 – Comparação entre a tensão mínima de operação medida para os métodos de envelhecimento por alta temperatura e ciclos térmicos.	136

Figura 83 – Comparação entre o número de defeitos observados para os métodos de envelhecimento por alta temperatura e ciclos térmicos na tensão de alimentação de 3,3V. . . . .	137
Figura 84 – Distribuição do número de defeitos observados no envelhecimento por altas temperaturas, em relação ao nível de ensaio e polaridade, com tensão de alimentação de 3,3V. . . . .	138
Figura 85 – Distribuição do número de defeitos observados no envelhecimento por ciclos térmicos, em relação ao nível de ensaio e polaridade, com tensão de alimentação de 3,3V. . . . .	138
Figura 86 – Comparação entre o número de defeitos observados para os métodos de envelhecimento por alta temperatura e ciclos térmicos na tensão mínima de operação. . . . .	139
Figura 87 – Distribuição do número de defeitos observados no envelhecimento por altas temperaturas, em relação ao nível de ensaio e polaridade, com tensão mínima de operação. . . . .	140
Figura 88 – Distribuição do número de defeitos observados no envelhecimento por ciclos térmicos, em relação ao nível de ensaio e polaridade, com tensão mínima de operação. . . . .	140
Figura 89 – Comparação entre o número de defeitos observados no teste de campos de RF conduzidos para os métodos de envelhecimento por alta temperatura e ciclos térmicos na tensão de alimentação de 3,3V. . . . .	142
Figura 90 – Distribuição do número de defeitos observados no envelhecimento por altas temperaturas, em relação ao nível de tensão de ensaio e faixas de frequências, com tensão de alimentação de 3,3V. . . . .	142
Figura 91 – Distribuição do número de defeitos observados no envelhecimento por ciclos térmicos, em relação ao nível de tensão de ensaio e faixas de frequências, com tensão de alimentação de 3,3V. . . . .	142
Figura 92 – Comparação entre o número de defeitos observados no teste de campos de RF conduzidos para os métodos de envelhecimento por alta temperatura e ciclos térmicos na tensão mínima de operação. . . . .	143
Figura 93 – Distribuição do número de defeitos observados no envelhecimento por altas temperaturas, em relação ao nível de tensão de ensaio e faixas de frequências, com tensão mínima de operação. . . . .	143

Figura 94 – Distribuição do número de defeitos observados no envelhecimento por ciclos térmicos, em relação ao nível de tensão de ensaio e faixas de frequências, com tensão mínima de operação. . . . . 144

## LISTA DE TABELAS

Tabela 1 – Fontes de defeito e frequência para sistemas computacionais tradicionais.	34
Tabela 2 – Níveis de ensaio para imunidade a EFT.	54
Tabela 3 – Níveis de ensaio para imunidade a campos de RF conduzidos.	57
Tabela 4 – Parâmetros de ensaio de envelhecimento HTOL.	63
Tabela 5 – Condições de teste para ciclos térmicos.	65
Tabela 6 – Componentes da PCI do microcontrolador.	86
Tabela 7 – Componentes do circuito conversor TTL para fibra óptica.	88
Tabela 8 – Componentes do circuito conversor fibra óptica para USB.	89
Tabela 9 – Condições de operação dos circuito sob teste.	93
Tabela 10 – Faixa de frequências de teste de EMI através de campos de RF conduzidos.	98
Tabela 11 – Aumento da corrente de consumo após 1656 horas de envelhecimento na tensão nominal de operação (3,3V).	106
Tabela 12 – Aumento da corrente de consumo após 1656 horas de envelhecimento na tensão mínima de operação.	107
Tabela 13 – Variação da tensão mínima de operação em função do tempo de envelhecimento.	108
Tabela 14 – Valores de performance obtidos através da execução do benchmark de Dhrystone no microcontrolador.	109
Tabela 15 – Relação do número de defeitos observados durante o ensaio de EFT/Burst em relação ao tempo de envelhecimento na tensão nominal de operação (3,3V).	109
Tabela 16 – Relação do número de defeitos observados durante o ensaio de EFT/Burst em relação ao tempo de envelhecimento na tensão mínima de operação.	111
Tabela 17 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão nominal de alimentação (3,3V).	112
Tabela 18 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão nominal de alimentação (3,3V).	113

Tabela 19 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão nominal de alimentação (3,3V).	114
Tabela 20 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão nominal de alimentação (3,3V).	115
Tabela 21 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão mínima de operação.	116
Tabela 22 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão mínima de operação.	117
Tabela 23 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão mínima de operação.	118
Tabela 24 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão mínima de operação.	119
Tabela 25 – Aumento da corrente de consumo após 1128 horas de envelhecimento na tensão nominal de operação (3,3V).	121
Tabela 26 – Aumento da corrente de consumo após 1128 horas de envelhecimento na tensão mínima de operação.	122
Tabela 27 – Variação da tensão mínima de operação em função do envelhecimento.	123
Tabela 28 – Relação do número de defeitos observados durante o ensaio de EFT/Burst em relação ao tempo de envelhecimento na tensão nominal de operação (3,3V).	124
Tabela 29 – Relação do número de defeitos observados durante o ensaio de EFT/Burst em relação ao tempo de envelhecimento na tensão mínima de operação.	125
Tabela 30 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão nominal de alimentação (3,3V).	126

Tabela 31 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão nominal de alimentação (3,3V).	127
Tabela 32 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão nominal de alimentação (3,3V).	128
Tabela 33 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão nominal de alimentação (3,3V).	129
Tabela 34 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão mínima de operação.	130
Tabela 35 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão mínima de operação.	131
Tabela 36 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão mínima de operação.	132
Tabela 37 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão mínima de operação.	133

## LISTA DE ABREVIATURAS E SIGLAS

AC	Alternating Current
A/D	Analógico/Digital
ANATEL	Agência Nacional de Telecomunicações
ANVISA	Agência Nacional de Vigilância Sanitária
BGA	Ball Grid Array
CAN	Controller Area Network
CDN	Coupling Decoupling Network
CI	Circuito Integrado
CISPR	Comité International Spécial des Perturbations Radioélectriques
CMOS	Complementary Metal Oxide Semiconductor
D/A	Digital/Analógico
DSP	Digital Signal Processor
DMA	Direct Memory Access
EASE	Laboratório de Excelência em Eletrônica, Automação e Sistemas Embarcados de Alta Confiabilidade da PUCRS
EC	Embedded Controller
EFT	Electrical Fast Transients
EM	Eletromigração
EMC	Electromagnetic Compatibility
EME	Electromagnetic Environment
E-FIELD	Electric-Field
EM-FIELD	Electromagnetic-Field

EMI	Electromagnetic Interference
EMS	Electromagnetic Susceptibility
ESD	Electrostatic Discharge
FPU	Float Point Unit
HALT	Highly Accelerated Life Test
HCI	Hot Carrier Injection
H-FIELD	Magnetic-Field
HTOL	High-temperature Operating Life
I2C	Inter-Integrated Circuit
I/O	Input/Output
IGBT	Insulated Gate Bipolar Transistor
IEC	International Electrotechnical Commission
JTAG	Joint Test Action Group
LABELO	Laboratórios Especializados em Eletroeletrônica da PUCRS
MIPS	Microprocessor without Interlocked Pipeline Stages
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MTBF	Mean Time Between Failures
MTTF	Mean Time to Failures
MTTR	Mean Time to Repair
NBTI	Negative Bias Temperature Instability
PCI	Placa de Circuito Impresso
PMOS	Positive-Channel Metal Oxide Semiconductor

PSD	Power Supply Disturbances
PUCRS	Pontifícia Universidade Católica do Rio Grande do Sul
RF	Radiofrequência
RISC	Reduced-Instruction-Set Computing
SoC	System-on-a-Chip
SRAM	Static Random-Access Memory
SPI	Serial Peripheral Interface
SWD	Serial Wire Debug
TC	Transformador de Corrente
TDDB	Time Dependent Dielectric Breakdown
THC	Test Host Computer
TTL	Transistor-Transistor Logic
UART	Universal Assynchronous Receiver/Transmitter
USART	Universal Synchronous Asynchronous Receiver Transmitter
USB	Universal Serial Bus
VLSI	Very Large Scale Integration

## SUMÁRIO

<b>I</b>	<b>Fundamentação Teórica</b>	<b>24</b>
<b>1</b>	<b>INTRODUÇÃO . . . . .</b>	<b>25</b>
1.1	Motivação . . . . .	26
1.2	Objetivos . . . . .	27
1.2.1	Objetivos Específicos . . . . .	27
1.3	Apresentação dos Capítulos . . . . .	28
<b>2</b>	<b>CONCEITOS BÁSICOS DE TOLERÂNCIA A FALHAS . . .</b>	<b>30</b>
2.1	Introdução . . . . .	30
2.2	Atributos . . . . .	31
2.3	Ameaças: Falha, Erro e Defeito . . . . .	31
2.4	Recursos . . . . .	33
2.5	Medidas de Avaliação da Dependabilidade . . . . .	34
2.5.1	Curva da Banheira . . . . .	34
2.5.2	Tempo Médio de Funcionamento . . . . .	36
<b>3</b>	<b>COMPATIBILIDADE ELETROMAGNÉTICA . . . . .</b>	<b>38</b>
3.1	Introdução . . . . .	38
3.2	Conceitos Básicos . . . . .	40
3.3	Ambiente Eletromagnético . . . . .	41
3.4	Interferência Eletromagnética (EMI) . . . . .	42
3.4.1	Fontes de EMI . . . . .	42
3.4.2	EMI Radiada e EMI Conduzida . . . . .	43
3.4.3	Acoplamento . . . . .	44
3.5	Tipos de EMI Conduzida . . . . .	46
3.6	EMI em Circuitos Integrados . . . . .	49
3.6.1	Categorização dos Níveis de Comportamento . . . . .	49
3.6.2	Integridade do Sinal . . . . .	50
3.7	Normas e Regulamentações . . . . .	51
3.7.1	IEC 61000-4-4 . . . . .	53
3.7.2	IEC 61000-4-6 . . . . .	56

<b>4</b>	<b>ENSAIOS DE ENVELHECIMENTO ACELERADO . . . . .</b>	<b>60</b>
4.1	Introdução . . . . .	60
4.2	Métodos de Envelhecimento Acelerado . . . . .	61
4.2.1	Envelhecimento por Alta Temperatura . . . . .	62
4.2.2	Envelhecimento por Ciclos Térmicos . . . . .	64
4.2.3	Envelhecimento Elétrico . . . . .	66
<b>5</b>	<b>MECANISMOS DE DEGRADAÇÃO DA CONFIABILIDADE</b>	<b>68</b>
5.1	Introdução . . . . .	68
5.2	Negative Bias Temperature Instability (NBTI) . . . . .	69
5.3	Hot Carrier Injection (HCI) . . . . .	71
5.4	Time Dependent Dielectric Breakdown (TDDB) . . . . .	73
5.5	Eletromigração (EM) . . . . .	74
<b>6</b>	<b>SYSTEM-ON-CHIP (SoC) . . . . .</b>	<b>76</b>
6.1	Introdução . . . . .	76
6.2	Estrutura . . . . .	77
6.3	Características Gerais . . . . .	79
6.4	Benchmarks . . . . .	81
6.4.1	Introdução . . . . .	81
6.4.2	Algoritmo de Dhrystone . . . . .	81
<b>II</b>	<b>Metodologia</b>	<b>84</b>
<b>7</b>	<b>PLATAFORMA DE ESTUDO DE CASO . . . . .</b>	<b>85</b>
7.1	Introdução . . . . .	85
7.2	Placas para Teste . . . . .	85
7.2.1	Microcontrolador . . . . .	85
7.2.2	Conversor TTL para Fibra Óptica . . . . .	87
7.2.3	Conversor Fibra Óptica para USB . . . . .	89
7.2.4	Visão Geral do Circuito de Teste . . . . .	89
7.3	Software de Controle . . . . .	91
<b>8</b>	<b>PLATAFORMAS DE TESTE . . . . .</b>	<b>93</b>

8.1	Introdução . . . . .	93
8.2	Modos de Operação . . . . .	93
8.3	Plataforma de Envelhecimento . . . . .	94
8.4	Plataforma de EFT/Burst . . . . .	96
8.5	Plataforma de RF Conduzido . . . . .	97
8.6	Plataforma de Medição de Corrente de Consumo e Tensão de Core . . . . .	98
9	<b>SISTEMATIZAÇÃO DA METODOLOGIA . . . . .</b>	<b>101</b>
9.1	Introdução . . . . .	101
9.2	Procedimento de Teste . . . . .	101
9.3	Diagrama de Testes . . . . .	102
<b>III</b>	<b>Resultados e Conclusões</b>	<b>104</b>
10	<b>RESULTADOS . . . . .</b>	<b>105</b>
10.1	Introdução . . . . .	105
10.2	Envelhecimento por Alta Temperatura . . . . .	105
10.2.1	Corrente de Consumo . . . . .	106
10.2.2	Tensão Mínima de Operação . . . . .	108
10.2.3	Performance . . . . .	109
10.2.4	Susceptibilidade Eletromagnética a EFT/Burst . . . . .	109
10.2.5	Susceptibilidade Eletromagnética a Campos de RF Conduzidos . . . . .	111
10.3	Envelhecimento por Ciclos Térmicos . . . . .	119
10.3.1	Corrente de Consumo . . . . .	120
10.3.2	Tensão Mínima de Operação . . . . .	122
10.3.3	Performance . . . . .	123
10.3.4	Susceptibilidade Eletromagnética a EFT/Burst . . . . .	124
10.3.5	Susceptibilidade Eletromagnética a Campos de RF Conduzidos . . . . .	126
11	<b>DISCUSSÃO . . . . .</b>	<b>134</b>
11.1	Corrente de Consumo . . . . .	134
11.2	Tensão Mínima de Operação . . . . .	136
11.3	Susceptibilidade Eletromagnética a EFT/Burst . . . . .	137

11.4	Susceptibilidade Eletromagnética a Campos de RF Conduzidos	141
12	CONCLUSÃO . . . . .	145
12.1	Propostas para Trabalhos Futuros . . . . .	147
	Referências . . . . .	148
	Anexo A – Esquemáticos dos Circuitos . . . . .	161
	Anexo B – Publicações . . . . .	163

# Parte I

## Fundamentação Teórica

## 1 INTRODUÇÃO

A tecnologia vem evoluindo em grandes passos, apresentando ideias e produtos que até pouco tempo somente eram possíveis na ficção ou em nossa imaginação. Os sistemas eletrônicos estão cada vez mais complexos e exigindo muito mais das funcionalidades dos componentes que os compõem, na mesma forma que diversas aplicações foram beneficiadas com tecnologias menores, com maiores velocidades e um menor consumo. A miniaturização dos circuitos integrados que utilizam tecnologias CMOS (em inglês, *Complementary Metal Oxide Semiconductor*) é evidenciada desde a década de 60, na projeção denominada Lei de Moore, elaborada pelo químico Gordon Moore [102]. A consequência da diminuição do tamanho dos circuitos e em sua tensão de alimentação resultou em um aumento da velocidade de operação, possibilitando aos microprocessadores um aumento em seu desempenho [82].

No mesmo modo que a tecnologia mudou, o ambiente de operação ao seu redor também foi alterado. Atualmente, os meios de operação desses circuitos são muito ruidosos e produzem interferências intensas e contínuas, devido ao fato que cada vez mais temos tecnologias em operação e cada uma delas apresenta uma determinada influência no ambiente, despertando preocupações em relação à confiabilidade, desempenho e segurança [10]. Dessa forma, torna-se muito importante saber de antemão como os sistemas eletrônicos operam sob essas circunstâncias. O uso dos microcontroladores é cada vez mais abrangente em sistemas eletrônicos críticos, como por exemplo, aplicações militares, industriais, espaciais e biomédicas [11]. Nessas aplicações, é imprescindível para a segurança do sistema que a operação do componente ocorra dentro das especificações, mesmo quando expostos aos efeitos da interferência eletromagnética (EMI, em inglês *Electromagnetic Interference*) oriunda do ambiente de operação e, ao efeito inerente do envelhecimento. O comportamento dos sistemas sob essas influências se torna de fundamental importância aos projetistas, permitindo aos mesmos empregar técnicas de mitigação de falhas, prevenindo uma eventual falha de funcionamento, que muitas vezes pode ser trágica.

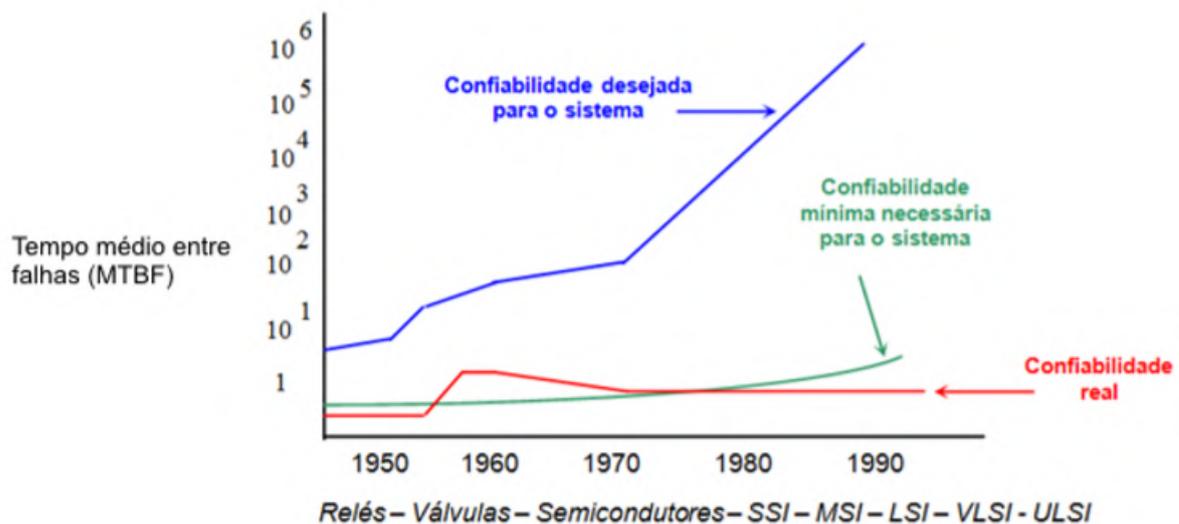
Para avaliar o seu comportamento sob os efeitos mencionados, é necessário submetê-los a testes para avaliação frente à perturbação. Contudo, atualmente na literatura há uma escassez de metodologias de testes que relacionem os efeitos da EMI com o envelhecimento

para esses dispositivos, tornando difícil a análise dos fenômenos [96], evidenciando a importância do desenvolvimento de uma metodologia para esses dispositivos.

### 1.1 Motivação

Apesar de se observar um grande aumento na qualidade e quantidade das pesquisas que visam o aumento da confiabilidade de sistemas de hardware/software, sempre ocorreu uma substancial diferença entre a confiabilidade desejada para os circuitos eletrônicos e a confiabilidade real desses sistemas, conforme é destacado na Figura 1. A maior complexidade dos sistemas, baseando seu desempenho em tecnologias Soc (*System On Chip*), que utiliza-se de uma grande quantidade de transistores com características de funcionamento e fabricantes distintos, afeta expressivamente esse fenômeno [11].

Figura 1 – Confiabilidade de sistemas ao longo do tempo.



Fonte: Adaptado de [82].

A implementação de técnicas que aumentem a confiabilidade e segurança dos sistemas são essenciais e uma etapa muito importante nos departamentos de pesquisa e desenvolvimento de sistemas computacionais. O conhecimento do comportamento desses circuitos, exige abordagens experimentais que identifiquem potenciais falhas, possibilitando ao projetista antecipar uma futura falha de projeto.

O ambiente de operação dos circuitos integrados está se tornando cada vez mais hostil, conseqüentemente ao aumento no uso de dispositivos eletrônicos que influenciam diretamente o espectro eletromagnético. As inerentes altas emissões de ruídos de outros

circuitos e suas características construtivas, como velocidade de operação maior e tamanho menor, também afetam diretamente. Nesse contexto, o fenômeno da EMI se tornou uma das principais causas de falhas em sistemas eletrônicos [114].

Conforme as situações apresentadas, o desenvolvimento de uma metodologia de testes contribui expressamente para pesquisas e projetos que visem o aumento da confiabilidade dos sistemas computacionais, permitindo o conhecimento dos sistemas em diferentes etapas de seu tempo de vida mesmo quando submetidos ao fenômeno de EMI conduzido.

## 1.2 Objetivos

O presente trabalho tem como principal objetivo o desenvolvimento de uma metodologia de testes para análise do comportamento de microcontroladores considerando os efeitos do envelhecimento e da interferência eletromagnética conduzida, utilizando os seguintes documentos já consagrados da literatura: MIL-STD-883H, JESD22-A104D, IEC 61000-4-4 e IEC 61000-4-6. Em mais detalhes, a metodologia abordará a análise desses circuitos ao longo de sua vida útil utilizando as técnicas de envelhecimento acelerado por altas temperaturas, ciclos térmicos e sobretensão. A análise do comportamento sob perturbações eletromagnéticas conduzidas, foi realizada mediante os testes de EFT, pela IEC 61000-4-4, e campos de RF conduzidos, pela IEC 61000-4-6.

### 1.2.1 Objetivos Específicos

Em paralelo ao objetivo geral, anteriormente apresentado, podemos destacar os seguintes objetivos específicos:

- Analisar o comportamento dos microcontroladores ao longo de sua vida útil sob interferência de EMI conduzido;
- Comparar o comportamento do microcontrolador Cortex-M4 quando submetidos a duas técnicas diferentes de envelhecimento acelerado (alta temperatura e ciclos térmicos);
- Levantar os níveis de ensaio, descritos nos documentos técnicos, aplicáveis a análise da taxa de falhas dos microcontroladores.

### 1.3 Apresentação dos Capítulos

Essa dissertação foi dividida em três partes e estruturada da seguinte forma:

#### 1. Fundamentação Teórica e Estado da Arte

- Capítulo 2: Descreve os conceitos básicos relacionados a área de Tolerância à Falhas;
- Capítulo 3: Descreve os principais conceitos de compatibilidade eletromagnética (EMC) e interferência eletromagnética (EMI), em conjunto a apresentação das principais normas utilizadas nesse estudo;
- Capítulo 4: Descreve os principais métodos de envelhecimento acelerado em sistemas eletrônicos e circuitos integrados;
- Capítulo 5: Descreve os principais mecanismos intrínsecos de degradação de circuitos integrados;
- Capítulo 6: Apresenta uma introdução dos principais conceitos alusivos as tecnologias SoC.

#### 2. Metodologia

- Capítulo 7: Descreve as especificações das amostras ensaiadas juntamente ao detalhamento técnico do circuito elaborado e o *firmware* utilizado para simulação;
- Capítulo 8: Apresenta detalhadamente as plataformas de testes para medição de corrente de consumo, tensão de *core*, interferência eletromagnética conduzida e envelhecimento;
- Capítulo 9: Apresenta a sistematização da metodologia de testes combinados de interferência eletromagnética conduzida e envelhecimento para circuitos integrados;

#### 3. Resultados e Conclusões

- Capítulo 10: Apresenta o resultados obtidos durante os ensaios de interferência eletromagnética conduzida e envelhecimento, realizados nessa dissertação;
- Capítulo 11: Apresenta a discussão acerca dos resultados obtidos durante a execução dos ensaios;

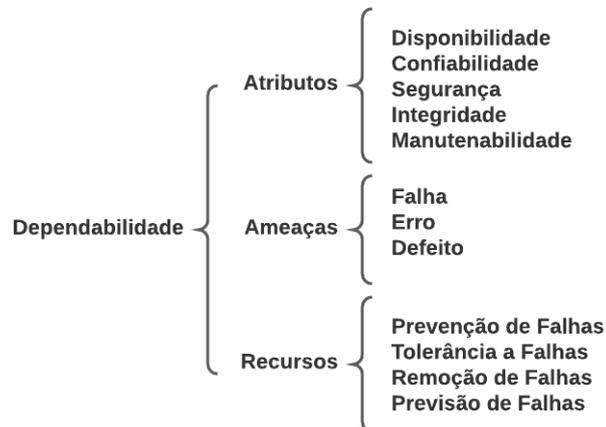
- Capítulo 12: Comenta sobre as conclusões obtidas nessa dissertação e sugere algumas propostas de trabalhos futuros.

## 2 CONCEITOS BÁSICOS DE TOLERÂNCIA A FALHAS

### 2.1 Introdução

Um sistema é dito tolerante à falhas quando apresenta a capacidade de continuar a execução correta de suas funcionalidade, mesmo diante de ocorrência de falhas de software e/ou hardware, sem degradação de seu desempenho [53] [3]. A indicação da qualidade e confiança desses sistemas é denominada **dependabilidade**, uma tradução literal do termo em inglês *dependability*. Entretanto, esse conceito é muito amplo, se desdobrando em demais termos específicos, conforma ilustrado na Figura 2.

Figura 2 – Diagrama de dependabilidade.



Fonte: Adaptado de [3].

Antes de adentrarmos aos conceitos indicados na Figura 2, é interessante apresentar o conceito didático de sistemas e suas características [3][53]:

- **Sistema:** é uma entidade que interage com outras entidades (outros sistemas), incluindo *hardware*, *software*, humanos e o ambiente real com seus fenômenos naturais;
- **Função de Sistema:** é a tarefa a qual o sistema foi projetado para executar. Em termos de funcionalidade e performance, é descrita por especificações;
- **Comportamento:** são os passos que o sistema realiza para implementar sua função. É descrito por uma sequência de estados;
- **Serviço:** o serviço entregue por um sistema é o seu comportamento e é identificado por outro sistema de interação, o usuário.

## 2.2 Atributos

Uma definição alternativa para decisão da confiabilidade de um serviço é avaliar se a dependabilidade do sistema é capaz de evitar defeitos de serviço mais frequentes e mais severos do que o aceitável [3]. Os conceitos dos atributos da dependabilidade são muito abrangentes. Os mais recorrentes da literatura, são apresentados na sequência [53]:

- **Disponibilidade:** é a agilidade de o sistema estar operacional quando for necessária sua utilização;
- **Confiabilidade:** é a habilidade que o sistema apresenta de realizar um serviço, atendendo as especificações durante um determinado período de funcionamento, estando operacional ao início desse processo;
- **Segurança:** é a inexistência de consequências catastróficas ao usuário e ambiente de operação;
- **Integridade:** é a ausência de alterações incorretas no sistema;
- **Manutenabilidade:** é a habilidade que o sistema apresenta de suportar modificações.

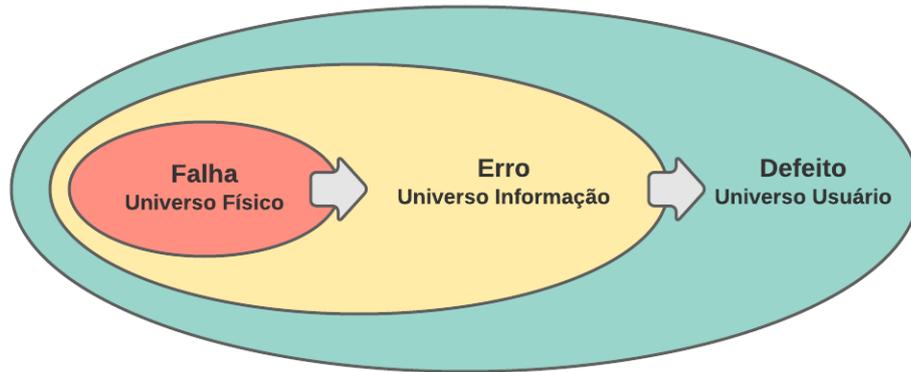
## 2.3 Ameaças: Falha, Erro e Defeito

Um importante conceito da área de tolerância à falhas é a diferenciação entre falha (*fault*), erro (*error*) e defeito (*failure*), que são classificadas como ameaças a segurança e confiabilidade dos sistemas [55]. Apesar de muitas vezes serem confundidos e até mesmo equiparados, a literatura apresenta suas definições bem estabelecidas. De forma sucinta, podemos dizer que uma falha acontece no universo físico, levando o sistema a cometer um erro percebido no universo da informação que então, é percebido pelo usuário através de um defeito [83]. A Figura 3, conhecida como modelo de três universos, apresenta uma simplificação desses conceitos e foi enunciada por Dhiraj K. Pradhan [82].

A seguir, são apresentados mais detalhadamente esses conceitos conforme definições retiradas da literatura [82][3].

**Falha:** pode ocorrer de forma interna e/ou externo, nesse caso referindo-se no meio de *software* e *hardware* [3]. As constantes interferências externas, problemas de implementação, componentes defeituosos assim como o intrínseco envelhecimento dos componentes, são as principais causas de falhas [10]. Dessa forma, as mesmas acabam

Figura 3 – Modelo de três universos conceituando falha, erro e defeito.



Fonte: Adaptado de [82].

por ser inevitáveis. Quando analisado a nível de *hardware*, podemos classificá-las em permanentes, transientes e intermitentes:

- a) **Falhas permanentes:** são falhas que ocorrem no meio físico. Normalmente, são decorrentes do processo de fabricação e/ou ocasionadas pelo envelhecimento de componentes do sistemas;
- b) **Falhas transientes:** são falhas que ocorrem nos componentes que estão usualmente ocasionadas por fenômenos aleatórios advindos do ambiente de operação. Os fenômenos de compatibilidade eletromagnética (EMC) são exemplos desse tipo de falha;
- c) **Falhas intermitentes:** são falhas caracterizadas por distúrbios temporários de variações externas e/ou ambientais do sistema, como por exemplo vibrações ou variações de temperatura.

Além dos mecanismos causadores da falha anteriormente apresentados, é válido a definição dos seguintes itens [10]:

- a) **Natureza:** origem da falha. Usualmente, relacionado a falhas de projeto, *hardware*, *software* ou operação;
- b) **Valor:** se a falha é determinada ou indeterminada no tempo;
- c) **Duração ou persistência:** o período de ocorrência dessa falha. Normalmente, a literatura atribuiu como permanente ou temporária (intermitente ou transitória);
- d) **Extensão:** estabelece a propagação da falha, determinando se global ou local a um determinado módulo do sistema.

Nessa dissertação, serão abordadas somente as falhas denominadas PSD (do inglês, *Power Supply Disturbances*). Esse tipo de falha é associado a ruídos nas linhas de alimentação do sistema [83].

**Erro:** Uma vez que um serviço é uma sequência de estados do sistema, um defeito no serviço significa que pelo menos um (ou mais) estados externos do sistema desviaram do correto estado. Esse desvio é denominado erro [3]. Um erro efetivo pode, e muitas vezes o faz, propagar-se de um componente ao outro do sistema, gerando uma série de erros sucessivos [53]. A detecção do erro, usualmente, é indicada por uma mensagem ou um sinal. Quando existe o erro mas não sua detecção, chamamos esses erros de latentes [6].

**Defeito:** Quando o sistema apresenta um desvio não tolerável das especificações do projeto, é dito que o sistema apresenta um defeito, o qual sempre deve ser evitado [82]. Um defeito que ocorre no serviço de um sistema, ocasiona uma falha permanente ou transiente para sistemas dependentes do recebimento desse serviço [53]. O defeito ocorre no meio do usuário. Logo, quando detectamos algum problema do sistema, estamos identificando o defeito.

Como exemplo de aplicabilidade desses conceitos, abaixo é apresentado a situação ilustrada por Jean-Claude Laprie (1985, p3) [53]:

Uma perturbação eletromagnética de grande energia é uma falha; quando (por exemplo) atua sobre uma entrada da memória, irá gerar um erro se o distúrbio for ativo quando a memória estiver em escrita; o erro irá permanecer oculto até que uma posição errônea da memória seja lida (defeito).

## 2.4 Recursos

Alcançar a dependabilidade de um sistema computacional, requer a utilização de um conjunto de recursos [53]. Ao longo das últimas décadas, foram desenvolvidas diversas técnicas para atingir a confiabilidade dos sistemas. Essas técnicas podem ser atribuídas em quatro categorias principais [3][6]:

- **Prevenção de Falhas:** são métodos para prevenir a ocorrência de falhas;
- **Tolerância a Falhas:** são métodos para evitar defeitos de serviço durante a ocorrência de falhas;
- **Remoção de Falhas:** são métodos de redução do número de falhas;

- **Previsão de Falhas:** são métodos para estimar o número, as futuras incidências e as consequências das falhas.

A prevenção a falhas e tolerância a falhas intencionam assegurar a capacidade de fornecer um serviço confiável. Em contrapartida, a remoção de falhas e a previsão de falhas buscam alcançar a segurança dessa capacidade, garantindo que o sistema atinja as especificações funcionais [3].

Quanto maior o número de falhas tratadas, maior é a confiabilidade dos sistema. Deste modo, é compreensível afirmar que as falhas não tratadas, e não previstas, são as que causam mais danos ao sistema. Essa afirmação é comprovada conforme o levantamento de dados disposto na Tabela 1 [54].

Tabela 1 – Fontes de defeito e frequência para sistemas computacionais tradicionais.

<b>Não Tolerantes a Falhas</b>	<b>Tolerantes a Falhas</b>
MTTF: 6 a 12 semanas Indisponibilidade após defeito: 1 a 4 horas	MTTF: 21 anos
Fontes de Defeitos: hardware 50% software 25% ambiente 15% operações 10%	Fontes de Defeitos: software 65% operações 10% hardware 8% ambiente 7%

Fonte: Adaptado de [54].

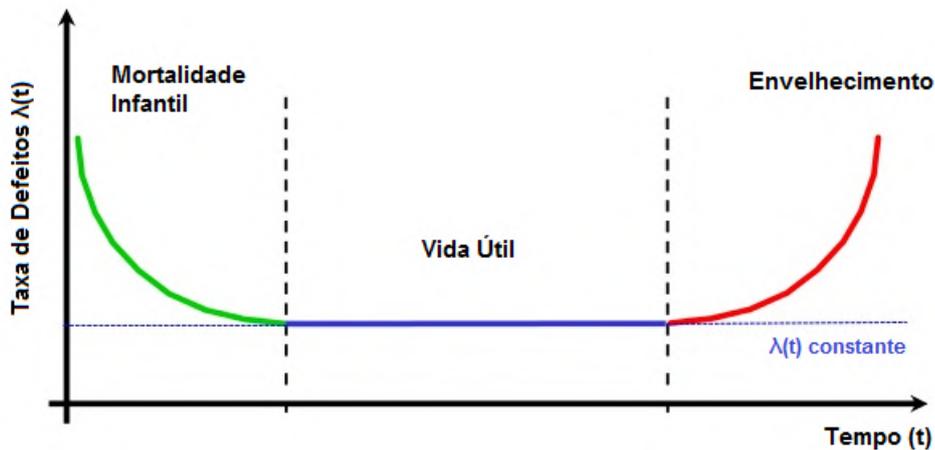
## 2.5 Medidas de Avaliação da Dependabilidade

### 2.5.1 Curva da Banheira

Entre as diversas definições encontradas na literatura para confiabilidade, podem-se destacar alguns pontos em comum. Todas elas, especificam a confiabilidade como uma probabilidade, ou seja, uma grandeza estatística [82]. Contudo, o comportamento de um sistema é melhor compreendido quando analisado a sua taxa de defeitos  $\lambda(t)$ . A taxa de defeitos de um sistema, componente e/ou dispositivo, é o número esperado de defeitos durante um determinado período de tempo. É mensurada em defeitos por unidade de tempo, sendo diretamente e inversamente proporcional ao seu tempo de vida. O comportamento da taxa em relação ao tempo é um indicador das causas do defeito dos sistemas [33].

A identificação da curva da taxa de defeitos de um componente, auxilia na identificação das ações necessárias para garantir a confiabilidade. Usualmente, a representação da taxa de defeitos é dada pela curva da banheira (em inglês, *Bathtub Curve*), ilustrada na Figura 4 [49][33].

Figura 4 – Representação da curva da banheira.



Fonte: Adaptado de [49].

A partir da análise do gráfico apresentado na Figura 4, é verificado que a atuação da taxa de defeitos distingue-se em três regiões distintas: Mortalidade infantil, vida útil e envelhecimento.

**Mortalidade Infantil:** ou defeitos precoces (em inglês, *Early Failures*), a taxa de defeitos decresce ao longo do tempo [82]. Nesse período, ocorrem os defeitos prematuros. Esses defeitos não são esporádicos e podem ter sua origem desde deficiências no processo de fabricação até erro humano [52]. Muitas vezes, esses defeitos precoces são contornados através da especificação de um pré-teste durante um determinado período de tempo, como por exemplo a técnica de *Burn-In* [49].

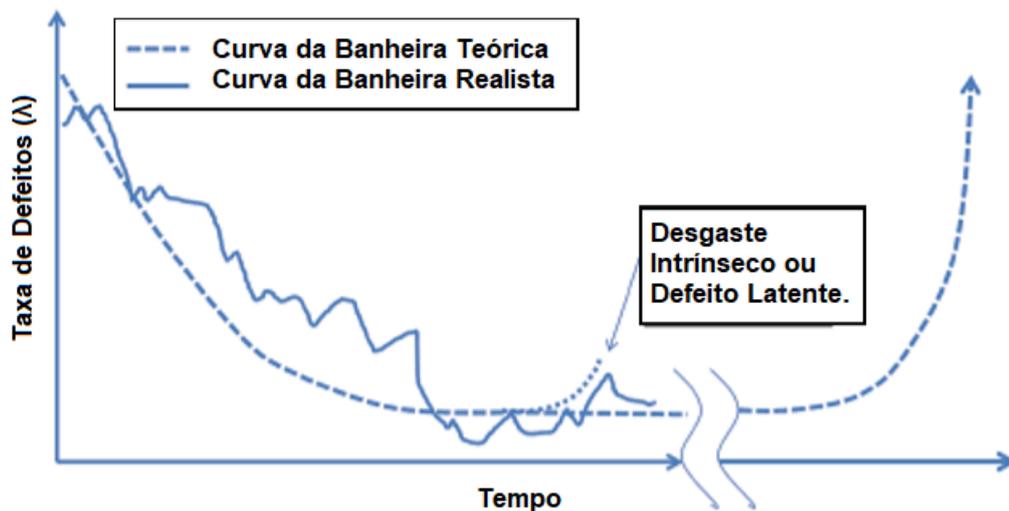
**Vida Útil:** essa região intermediária é classificada por taxas de defeitos menores e constantes. Os defeitos que ocorrem nessa fase são denominados aleatórios [52]. Usualmente, a causa está relacionada a fenômenos inesperados e menos comumente a defeitos inerentes do circuito em si [82][49].

**Envelhecimento:** essa região também denominada de desgaste, inicia-se o término da vida útil do componente. Observa-se que a taxa de defeitos aumenta continuamente em função do próprio desgaste do equipamento. Suas causas estão relacionadas a fadiga, degradação elétrica/térmica, entre outros. O aumento rápido da taxa de defeitos, usualmente

determina o critério de substituição do componente e também determina a vida útil do sistema [82][49].

A curva da banheira é representada utilizando curvas suaves, ideais e simplistas. No monitoramento real, a confiabilidade da vida útil resulta em uma curva dinâmica com muitas variações na taxa de defeitos para diferentes sistemas eletrônicos, conforme ilustrado na Figura 5. A abordagem real utilizada para monitoramento da confiabilidade, foca no modelo probabilístico. Os defeitos que são devido ao modo de desgaste são representados por uma crescente exponencialmente na extremidade posterior da curva[34].

Figura 5 – Representação da curva da banheira.



Fonte: Adaptado de [34].

### 2.5.2 Tempo Médio de Funcionamento

Quando mensurado os tempos de defeito do componente, está se trabalhando com distribuições estatísticas do seu tempo de vida [49]. Além da taxa de defeito, as medidas mais utilizadas para avaliação da dependabilidade são: tempo médio para o defeito (MTTF, em inglês *Mean Time to Failure*), tempo médio para reparo (MTTR, em inglês *Mean Time to Repair*) e o tempo médio entre defeitos (MTBF, em inglês *Mean Time Between Failures*). Todas essas medidas, relacionadas a confiabilidade, são explanadas nos próximos tópicos, conforme definições apresentadas em [55][52].

- a) **MTTF**: é o tempo médio esperado até a primeira ocorrência do defeito;

- b) **MTTR:** é o tempo médio para reparo do sistema. Usualmente, é obtido em uma amostra sob as mesmas condições do desejado;
- c) **MTBF:** é o tempo médio entre defeitos encontrados no sistema.

A fim de resolver combinações teóricas de diferentes técnicas que modelam os mecanismos de degradação de sistemas, Ghfiri et al. propõem em [33], vincular o MTTF em função da taxa de defeitos  $\lambda$  conforme a Equação 1.

$$MTTF = \frac{1}{\lambda} \quad (1)$$

Dessa forma, a taxa de defeitos final  $\lambda$  de um circuito, é o somatório das taxas de defeitos  $\lambda_i$ , associado aos diferentes mecanismos de degradação do sistema, conforme ilustra a Equação 2.

$$\lambda = \sum_{i=1}^{\infty} \lambda_i \quad (2)$$

Portanto, é necessário reconhecer que, embora o MTTF seja um indicativo do tempo de operação de um sistema eletrônico, não pode ser esperado que a maioria dos sistemas operem sem falhas por um período igual ao MTTF [28].

## 3 COMPATIBILIDADE ELETROMAGNÉTICA

### 3.1 Introdução

A utilização de dispositivos eletrônicos em diversas áreas, teve um aumento exponencial no decorrer dos últimos anos, tornando-os indispensáveis em nosso cotidiano. Segundo dados do Centro de Tecnologia de Informação Aplicada (FGVcia) da Escola de Administração de Empresas de São Paulo da Fundação Getúlio Vargas (FGV EAESP), revela que somente no Brasil há 424 milhões de dispositivos digitais em uso [67]. Apesar de tornar nossas vidas mais práticas e confortáveis, esses dispositivos acabam por interagir diretamente com o ambiente eletromagnético, no qual se não considerado os devidos cuidados relacionados à compatibilidade eletromagnética (EMC, em inglês *Electromagnetic Compatibility*), pode levar ao aumento de interferências, problemas de funcionamento e degradação de desempenho.

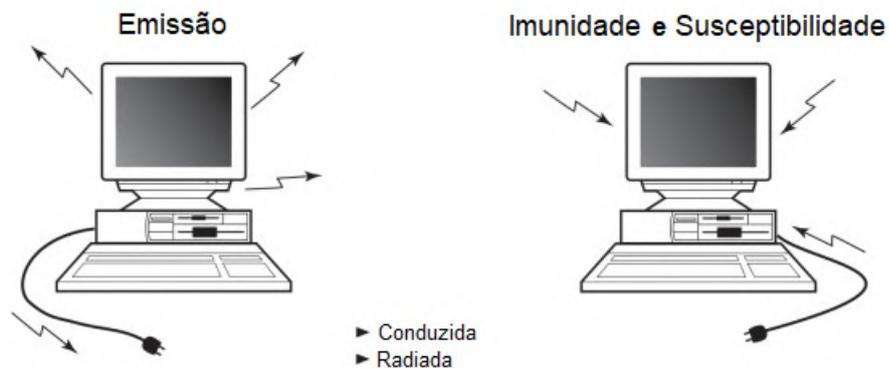
Conforme o vocabulário eletrotécnico internacional do Comitê Eletrotécnico Internacional (IEC em inglês, *International Electrotechnical Commission*), a Compatibilidade Eletromagnética é definida como a capacidade de um sistema elétrico ou eletrônico funcionar corretamente, não interferindo nem sofrendo interferência eletromagnética (EMI, em inglês *Electromagnetic Interference*) em outros sistemas ou no ambiente de propagação [38]. Logo, um sistema será dito compatível eletromagneticamente quando não emitir EMI acima de um determinado limite e apresentar uma susceptibilidade eletromagnética (EMS, em inglês *Electromagnetic Susceptibility*) as interferências presentes em seu ambiente de operação [72].

Os circuitos integrados (CIs), apresentam um papel fundamental na EMC de um sistema eletrônico. Geralmente, os CIs são as últimas fontes de interferência, convertendo a potência contínua fornecida a eles em correntes e tensões de alta frequência, responsáveis por emissões não intencionais e/ou acoplamentos. Quando abordamos as principais vítimas da EMI nos sistemas, na maioria das vezes, também são os CIs, sendo mais susceptíveis a danos causados por condições de sobretensões ou sobrecorrentes. Mesmo que não sejam danificados, um acoplamento de interferência em seus pinos de alimentação, já é suficiente para um mau-funcionamento [7].

Em um sistema embarcado, a fim de assegurar sua operação e comportamento dentro das especificações, torna-se necessário a análise da interação dos componentes

do pontos de vista elétrico e eletromagnético [8]. Essa interação pode ser classificada em: Emissão e Susceptibilidade. A emissão eletromagnética busca avaliar a interferência eletromagnética não-intencional gerada pelo sistema, ou seja, quanto de radiação é emitido ao meio. A susceptibilidade, consiste em avaliar o comportamento do sistema perante interferências eletromagnética [7], nessa situação nossos sistema em análise é a vítima e não mais a fonte da perturbação. A Figura 6 ilustra os fenômenos acima descritos.

Figura 6 – Ilustração da relação entre emissão e imunidade.

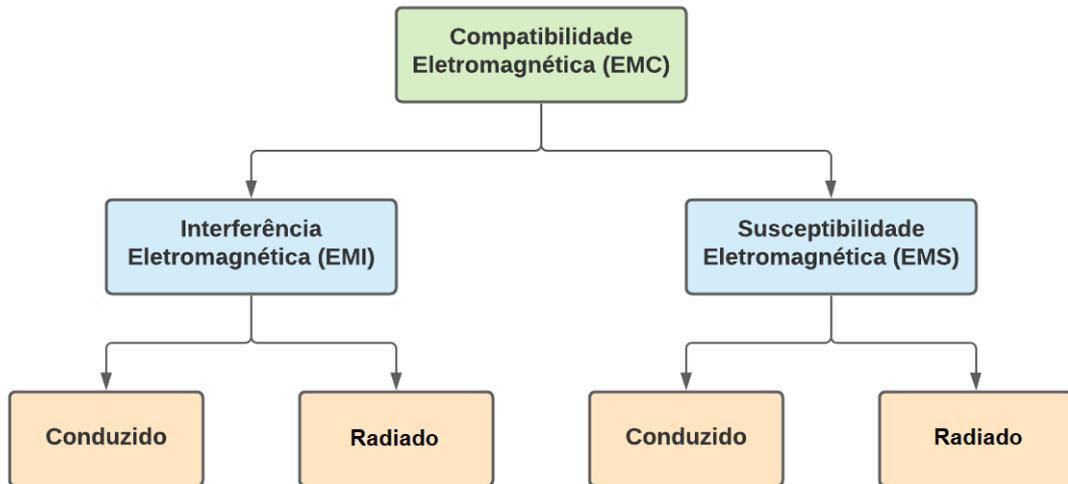


Fonte: Adaptado de [106].

A EMC é um assunto cada vez mais preocupante para as áreas de sistemas elétricos, eletrônicos ou telecomunicações. Ainda que sua designação, em uma primeira abordagem, seja algo crítico, está associada a alguns efeitos comuns do dia a dia e que são de conhecimento geral, decorrentes do fato que qualquer aparato elétrico gere perturbações eletromagnéticas [82]. Os efeitos com o não conhecimento desse fenômeno vão desde alterações na imagem de televisores quando ligados outros equipamentos no ambiente doméstico, até acidentes mais graves, conforme o evento descrito em [101] onde cinco helicópteros do exército americano, modelos *Black Hawk*, que voavam sob efeitos de ondas de radiofrequência oriundas de antenas de transmissão, apresentaram mau-funcionamento e caíram.

Entre os tipos de emissão e susceptibilidade eletromagnética, podemos categorizá-las em conduzidas e radiadas, quando avaliado o meio de propagação [72]. A definição desses conceitos serão abordadas posteriormente nos próximos capítulos. Sucintamente, a Figura 7 ilustra a relação entre os conceitos até aqui apresentados.

Figura 7 – Categorização dos conceitos de compatibilidade eletromagnética.



Fonte: Adaptado de [72].

### 3.2 Conceitos Básicos

Nesta seção são apresentadas as definições de conceitos importantes necessários para o entendimento da área de compatibilidade eletromagnética. As terminologias aqui indicadas, estão disponíveis no vocabulário técnico internacional da IEC [38].

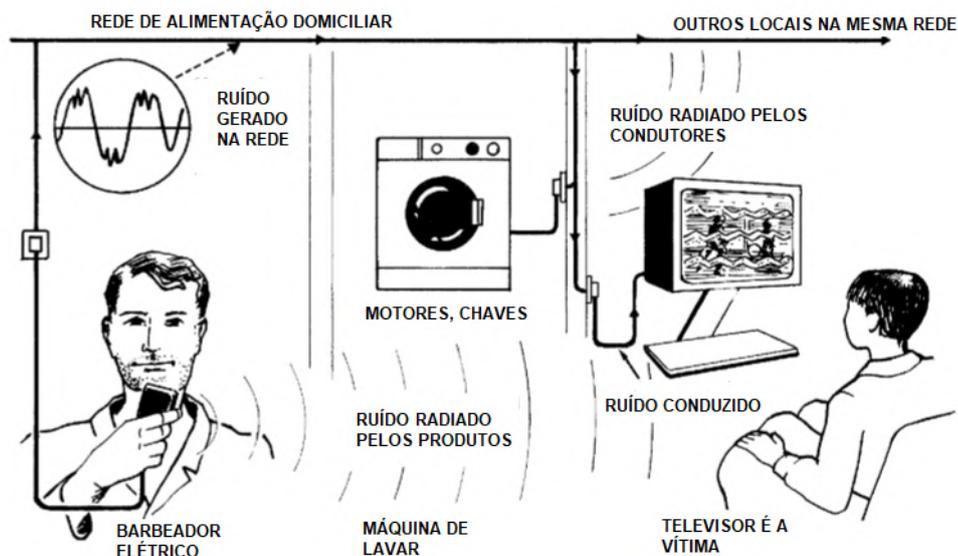
- **Emissão:** é o fenômeno no qual a energia eletromagnética é transmitida da fonte geradora para a vítima (circuito, dispositivos, sistemas);
- **Nível de Emissão:** é o nível de interferência eletromagnética emitida a partir de um determinado dispositivo, equipamento ou sistema;
- **Limite de Emissão:** é definido como o nível máximo de emissão de uma fonte de interferência eletromagnética;
- **Imunidade:** é a capacidade de um dispositivo, equipamento ou sistema executar suas funções na presença de uma perturbação eletromagnética sem degradação de seu desempenho;
- **Nível de Imunidade:** é a incidência máximo de interferência eletromagnética sobre um determinado sistema para que ele permaneça capaz de operar dentro de suas especificações;
- **Limite de Imunidade:** é o nível mínimo de imunidade sob um determinado sistema para que ele permaneça apto a operar com o grau de desempenho exigido;

- **Susceptibilidade:** é o inverso da imunidade, ou seja, é a incapacidade de um sistema executar suas funções na presença de uma perturbação eletromagnética;
- **Limite de Interferência:** é definido como o nível máximo admissível de interferência eletromagnética de um determinado sistema;
- **Nível de Compatibilidade Eletromagnética:** é o nível de EMI utilizado como referência para estabelecer os limites de emissão e imunidade.

### 3.3 Ambiente Eletromagnético

O vocabulário técnico internacional, estabelece-se que um ambiente eletromagnético (EME, em inglês *Electromagnetic Environment*), é definido como a totalidade de fenômenos ou interações eletromagnética em um determinado local [38]. Esse conceito engloba diversos elementos como a rede de transmissão de energia, tipos de edificações, outros equipamentos eletrônicos e o ambiente externo [114]. A análise de qualquer alteração do ambiente eletromagnético, decorrentes de operação ou conexões de sistemas eletrônicos é extremamente relevante para garantia do conceito de EMC [74], visto que provocará impactos na distribuição dos campos eletromagnéticos nele inseridos e, conseqüentemente alterará as características de EMC dos equipamentos. A Figura 8 fornece uma ilustração de um típico ambiente eletromagnético e suas possíveis fontes de interferência.

Figura 8 – Ambiente eletromagnético típico.



Fonte: Adaptado de [72]

### 3.4 Interferência Eletromagnética (EMI)

De acordo com a definição apresentada em [38], as interferências eletromagnéticas são perturbações causadas a um circuito, dispositivo ou sistema eletrônico oriundas de uma fonte externa. Os efeitos dessa interferência provocam desde limitações no circuito da vítima até interrupção temporária ou permanente de suas funcionalidades.

A evolução dos sistemas eletrônicos, principalmente aqueles que utilizam tecnologia CMOS, forneceu diversas melhorias como tamanho menor e velocidades maiores. Entretanto, essa evolução gerou um aumento na dissipação de potência e correntes de fuga, impactando diretamente na emissão de radiações eletromagnéticas muitas vezes não conhecidas, coabitando com outros sistemas mais susceptíveis [8].

#### 3.4.1 Fontes de EMI

A análise da causa dos distúrbios é um importante tópico de estudo no campo da EMC. O conhecimento da origem do problema, auxilia o estudo da prevenção do defeito. Conforme definido por D. Weston [110], as fontes de EMI presentes em um ambiente eletromagnético podem ser divididas em duas categorias: (a) naturais e (b) artificiais.

- a) **Fontes Naturais:** as fontes naturais são os fenômenos originados do meio, sem interferência do homem. Esses fenômenos variam desde descargas elétricas de ruído atmosférico até explosões solares. Um exemplo comum dessa interferência são os danos de equipamentos eletrônicos causados pela queda de raios, propagando distúrbios pela rede elétrica.
- b) **Fontes Artificiais:** as fontes não naturais são aquelas produzidas diretamente ou indiretamente pela ação do homem [110]. São gerados tanto no mesmo ambiente eletromagnético como fora dele. Um exemplo dessas fontes é o acionamento de dispositivos como motores elétricos, lâmpadas fluorescentes, aquecedores, que acabam, muitas vezes, injetando ruído no meio.

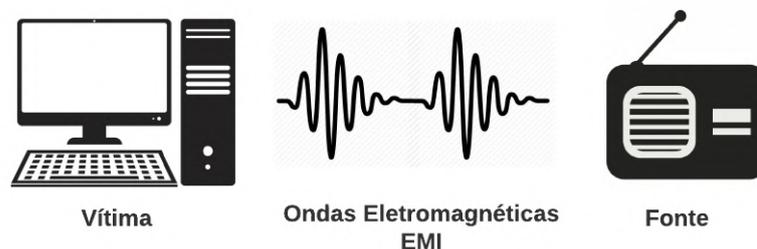
Independente se natural ou não, a qualidade da energia elétrica é comprometida e conseqüentemente, acaba gerando fenômenos adversos que podem ser prejudiciais ao consumidor se não tomados os devidos cuidados.

### 3.4.2 EMI Radiada e EMI Conduzida

Nos capítulos anteriores, apresentamos que a EMI está associado a perturbações oriundas de um fonte geradora, podendo ser um circuito, dispositivo ou sistema, fluem para um outro sistema "vítima". Quando analisado o meio de propagação, esses fenômenos são divididos em dois tipos: (1) interferências radiadas e (2) interferências conduzidas.

Na **interferência radiada**, as perturbações eletromagnéticas são transferidas do sistema gerador até a vítima através do espaço, sob a forma de ondas eletromagnéticas [83]. As ondas são propagadas na atmosfera atingindo equipamentos eletrônicos e sistemas de telecomunicação, produzindo perturbações no interior dos equipamentos [50]. A Figura 9 apresenta um exemplo de EMI radiada. Nessas situações, um ou mais elementos do gerador, como cabos e trilhas de circuito impresso, comportam-se como antenas, induzindo o aparecimento de tensões e correntes maliciosas em sistemas elétricos e eletrônicos [50].

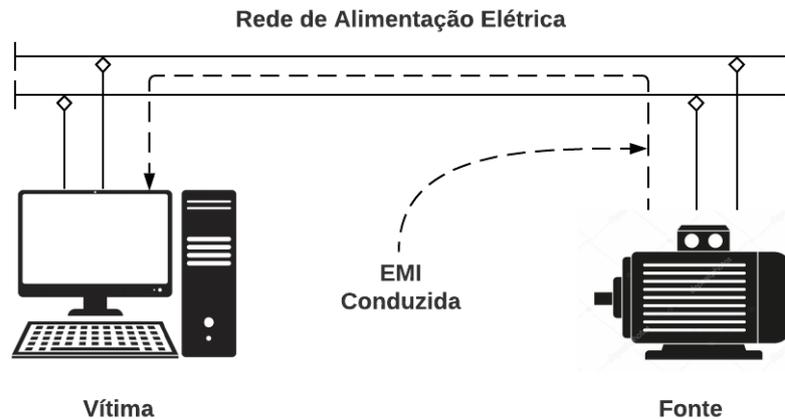
Figura 9 – Interferência eletromagnética radiada.



Fonte: Adaptado de [83]

A **interferência conduzida** é um fenômeno mais usual nas redes de alimentação elétrica AC (em inglês *Alternating Current*) [50], visto que em ambientes industriais, comerciais e domésticos, por exemplo, é muito comum o uso de sistemas que geram perturbações eletromagnéticas. Nessa perturbação, a energia é propagada da fonte de interferência ao sistema vítima através de condutores de alimentação elétrica, terminais de dados I/O (em inglês, *Input/Output*) ou até mesmo pela referência de tensão [83]. A Figura 10 ilustra um exemplo dessa forma de transmissão.

Figura 10 – Interferência eletromagnética conduzida.



Fonte: Adaptado de [83].

### 3.4.3 Acoplamento

Independente da fonte e a vítima da perturbação, a existência da interferência eletromagnética requer um caminho para acoplamento da emissão ao receptor do distúrbio [110]. O vocabulário técnico internacional, define o **caminho de acoplamento** como o meio no qual uma determinada fonte de EMI utiliza para transmitir uma parte ou totalidade de sua energia a outro circuito "vítima" [38]. A compreensão dos caminhos de acoplamento é um dos requisitos mais importante da área de EMC, sendo essencial para solução de problemas de EMI [47].

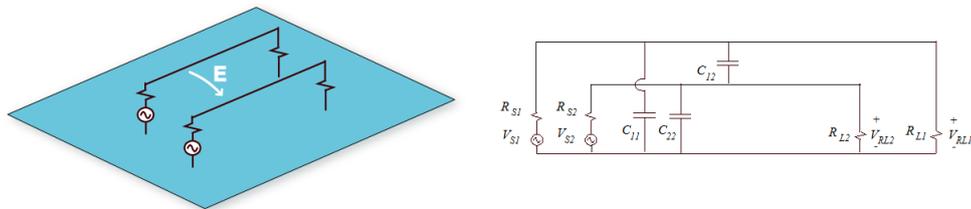
No caso de uma interferência eletromagnética, sempre haverá um caminho de acoplamento envolvido. Se não houver caminho de acoplamento, não há interferência [47]. Basicamente, podemos separar os mecanismos de acoplamento em quatro tipos [47][45]:

1. Acoplamento por Impedância Comum ou Condutivo;
2. Acoplamento Capacitivo ou Indutivo (Campo Próximo);
3. Radiação Eletromagnética (Campo Distante).

O **acoplamento condutivo (1)** ocorre quando dois circuitos compartilham um caminho/trilha comum ao plano de referência. Nesse caso, quando um dos circuitos sofrer uma interferência poderá, através desse caminho comum, transmitir interferências ao segundo circuito [45]. A presença desse efeito é a razão a qual os planos de referência, por exemplo o terra, apresentam baixas impedâncias, pois dessa forma, minimizará o acoplamento condutivo [7].

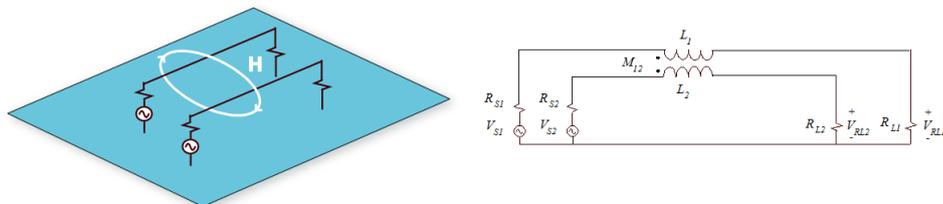
Os **acoplamentos capacitivo e indutivo (2)**, são comumente definidos como acoplamentos de campo próximo. Esse tipo de mecanismo tem essa designação pois a fonte de EMI e o receptor estão, de alguma forma, próximos o suficiente quando comparados ao comprimento de onda do sinal de interferência [47]. No fenômeno capacitivo, os circuitos estão acoplados por um campo elétrico (E-Field, em inglês *Electric-Field*). Esse fenômeno, ilustrado na Figura 11, pode ser representado esquematicamente como uma capacitância parasita entre dois condutores [7]. Já no fenômeno indutivo, o acoplamento ocorre através de um campo magnético (H-Field, em inglês *Magnetic-Field*) [47], similar, por exemplo, ao acoplamento entre primário e secundário de um transformador, conforme exemplo ilustrado na Figura 12.

Figura 11 – Acoplamento capacitivo (campo próximo).



Fonte: Adaptado de [7]

Figura 12 – Acoplamento indutivo (campo próximo).



Fonte: Adaptado de [7]

Por último, o **acoplamento radiado (3)** é definido como um acoplamento de campo distante. Esse conceito estabelece que a fonte de interferência eletromagnética e o circuito vítima, estão distantemente localizados quando comparados ao comprimento de onda do sinal de interferência [47]. Nesse mecanismo, é analisado o acoplamento sob o ponto de vista do campo eletromagnético (EM-Field, em inglês *Electromagnetic-Field*).

Além dos fenômenos acima descritos, quando o distúrbio apresenta sinais de altas frequências (pequenos comprimento de onda), a transmissão ocorre facilmente por irradiação. Entretanto, quando a interferência apresenta sinais de baixas frequências (grandes comprimentos de onda), acabam se propagando facilmente por meios condutivos [48].

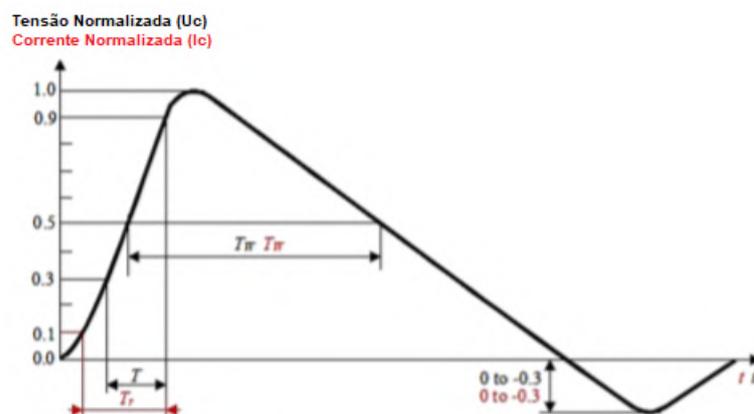
### 3.5 Tipos de EMI Conduzida

A utilização de um ambiente compartilhado por diferentes equipamentos eletrônico, propicia um cenário favorável a interação de radiações eletromagnéticas indesejadas. Quando o assunto de interesse é a imunidade conduzida, as normas internacionais estabelecem que os sistemas devem ser imunes a cinco fenômenos fundamentais [15]:

1. Surtos (*Surge*);
2. Descargas eletrostáticas (ESD, em inglês *Electrostatic Discharge*);
3. Transientes elétricos rápidos de tensão (EFT, em inglês *Electrical Fast Transients*);
4. Quedas (DIP) e variações de tensão;
5. Ruído conduzido.

Os **surtos**, conforme vocabulário técnico internacional [38], são definidos como um sinal de tensão, corrente ou potência, se propagando ao longo da rede elétrica ou um circuito, caracterizado por um rápido aumento seguindo de uma declinação lenta, conforme forma de onda ilustrada na Figura 13. Geralmente são relacionados a relâmpagos ou descargas sucedidos próximos aos ambientes de operação que, devido ao acoplamento, geram transitórios de grande energia na instalação, podendo causar o mau-funcionamento ou dano aos sistemas [85].

Figura 13 – Forma de onda de um surto em tensão de circuito aberto e corrente de curto circuito.



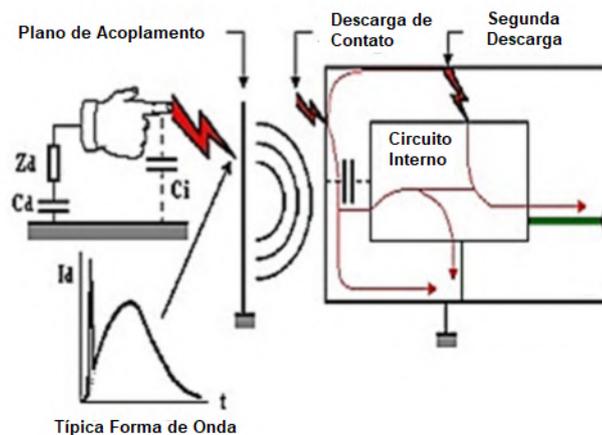
Fonte: Adaptado de [14]

A norma IEC 61000-4-5 [41], distingue a origem dos surtos por chaveamento de cargas de potência e fenômenos ambientais (relâmpagos). O primeiro, é causado pela

indutância do chaveamento instantâneo de cargas de corrente na alimentação [78], como por exemplo banco de capacitores. Já os relâmpagos, produzem surtos de tensão por descargas atmosféricas diretas ou indiretas, ou por fluxo do distúrbio pelo aterramento.

A **descarga eletrostática** é a descarga instantânea de eletricidade, entre dois corpos eletricamente carregados [32]. Pessoas, objetos eletricamente carregados (cargas elétricas) ou até mesmo raios, podem ocasionar danos em sistemas eletrônicos devido a transferência de cargas, gerando elevados níveis de tensão na ordem de kV (Quilovolt) [85]. Quando corpos carregados entram em contato ou proximidade com corpos de diferente potencial elétrico, as cargas elétricas migram de um corpo ao outro, a fim de equalizar o potencial. A amplitude e a forma gerada pelo transiente dependerá da diferença de potencial e da impedância total do circuito. Se não houver contato entre os corpos, geralmente, ocorrerá um arco elétrico [14]. Esse fenômeno é ilustrado na Figura 14.

Figura 14 – Mecanismo de ESD.

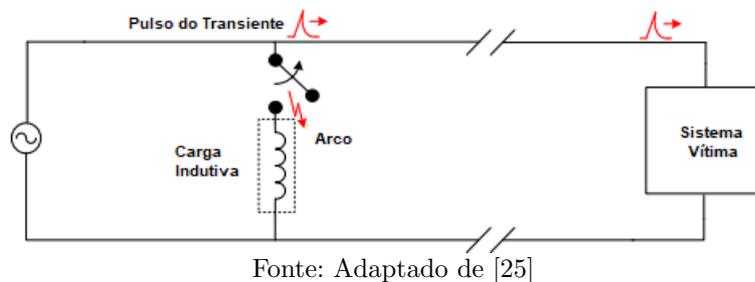


Fonte: Adaptado de [14]

Os dispositivos eletrônicos são sensíveis a níveis de tensões e correntes característicos de ESD, visto que essas descargas geram campos elétricos e magnéticos que se acoplam nos seus circuitos ou em sistemas próximos [72]. Conforme apresentado em Greason & Castle [30], o problema de ESD sempre foi solucionado em circuitos utilizando redes de proteção interna. Entretanto, a miniaturização dos sistemas VLSI (em inglês, *Very Large-Scale Integration*), por sua natureza, tornou-os mais susceptível a esses fenômenos.

Os **transientes elétricos rápidos** são ocasionados devido ao desligamento de cargas indutivas, como relés, chaves seccionadoras e lâmpadas fluorescentes, da rede de alimentação elétrica. Essa desconexão, produz transitórios rápidos de tensão (*Bursts*) de alta frequência que podem ocasionar mau-funcionamento dos sistemas [78][14]. Todas essas perturbações podem apresentar eventos de curtas durações, na faixa de nano-segundos ou micro-segundos, até eventos mais longos de dezenas de mili-segundos. Seus efeitos nos circuitos integrados podem resultar desde a perda temporária das funcionalidades até a completa destruição do sistema [5]. O esquemático que ilustra esse fenômeno é apresentado na Figura 15.

Figura 15 – Mecanismo de EFT.

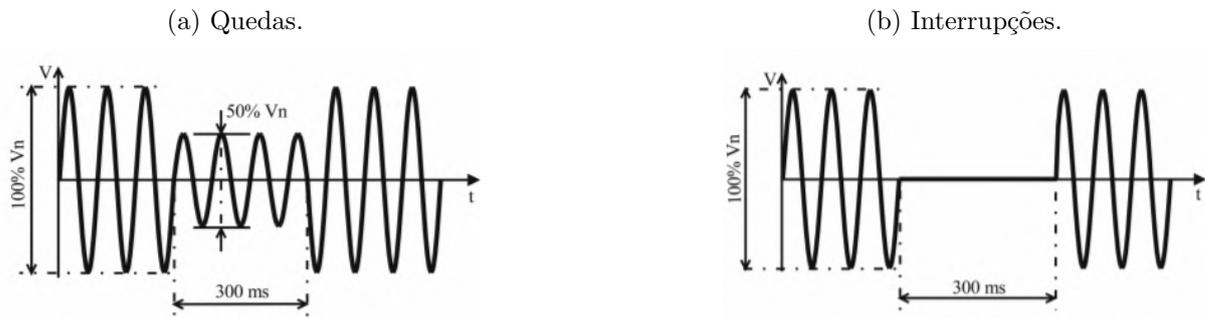


Apesar da similaridade com o fenômeno de surtos, os EFTs são distúrbios de alta frequência e baixa energia resultantes de cargas indutivas, enquanto os Surtos, são distúrbios de baixa frequência e alta energia, originários de cargas capacitivas [15].

A **queda de tensão (DIP)** caracteriza-se como uma redução súbita na tensão de alimentação dos sistemas, seguida de seu retorno ao valor nominal. As **Interrupções** são os desligamentos momentâneos por curtos períodos [43]. Esses distúrbios são causados principalmente pelo chaveamento de cargas de alta potência, partida de motores ou sobrecargas de sistemas, sendo um dos principais problemas na qualidade de energia [24][107] das redes elétricas de alimentação, conforme ilustrado na Figura 16.

O último evento, **imunidade para ruído conduzido**, é relacionado aos campos eletromagnéticos radiados, que produzem tensões induzidas nos condutores do sistema. Essas perturbações podem ser oriundas de radiadores intencionais, como emissões de antenas de TV e rádio, e também de radiadores não intencionais de sistemas, por exemplo motores [85]. Muitas vezes o sinal de perturbação não interfere diretamente. Contudo os condutores de alimentação e sinais podem se comportar como antenas de recepção passiva e se tornar ressonantes, conduzindo o distúrbio as portas do sistema [95].

Figura 16 – Mecanismos de variações na tensão.



Fonte: Adaptado de [81].

### 3.6 EMI em Circuitos Integrados

#### 3.6.1 Categorização dos Níveis de Comportamento

Conforme abordamos nos capítulos anteriores, a EMI é um grave fenômeno que pode causar mau-funcionamento e defeitos em todos os sistemas eletrônicos, em particular aos circuitos integrados. A análise de seus efeitos na performance do sistema, é uma etapa importante nas fases de projeto, testes e desenvolvimento de um sistema eletrônico [66].

O principal problema causado pela EMI nos sistemas eletrônicos, são situações esporádicas que vão degradando aos poucos seus circuitos e componentes [53]. Conforme apresentado Milad Mehri et al.[66], se um sistema eletrônico é exposto a um ambiente de EMI severo, é comum que sua performance seja executada com incertezas. Em uma exposição à EMI, há quatro níveis de comportamento que um sistema eletrônico pode apresentar:

- a) Funcionamento sem-falhas (imune);
- b) Degradação da performance;
- c) Suspensão do funcionamento;
- d) Danos físicos.

Para avaliação da degradação da performance, é necessário mensurar os parâmetros elétricos, a fim de entender a extensão dos efeitos da EMI. Aumento na potência do consumo, aumento no *Delay* e distorções harmônicas do sinal, são alguns exemplos de degradações de performance que sofrem alterações [66]. Normalmente nessas situações, o sistema tolera essas alterações sem suspensão de suas funcionalidades.

No nível da suspensão do funcionamento, a operação normal do sistema é interrompida. Usualmente, são utilizadas técnicas para reiniciar o sistema; entretanto, muitas vezes essa técnica pode causar problemas como por exemplo, o *reset* e limpeza da memória dos processadores digitais [66][87].

Quando o sistema está situado na etapa de danos físicos, o nível de degradação do incidente eletromagnético é bastante elevado, ao ponto de danificar totalmente, ou em partes, o circuito. Geralmente, ocorre um aumento elevado da temperatura do sistema, formando "pontos de calor" nas placas de circuito impresso (PCI) danificando os componentes. A troca dos componentes danificados pode reiniciar as funcionalidades do circuito; todavia, é importante o conhecimento dos limites e tolerância do componente [66].

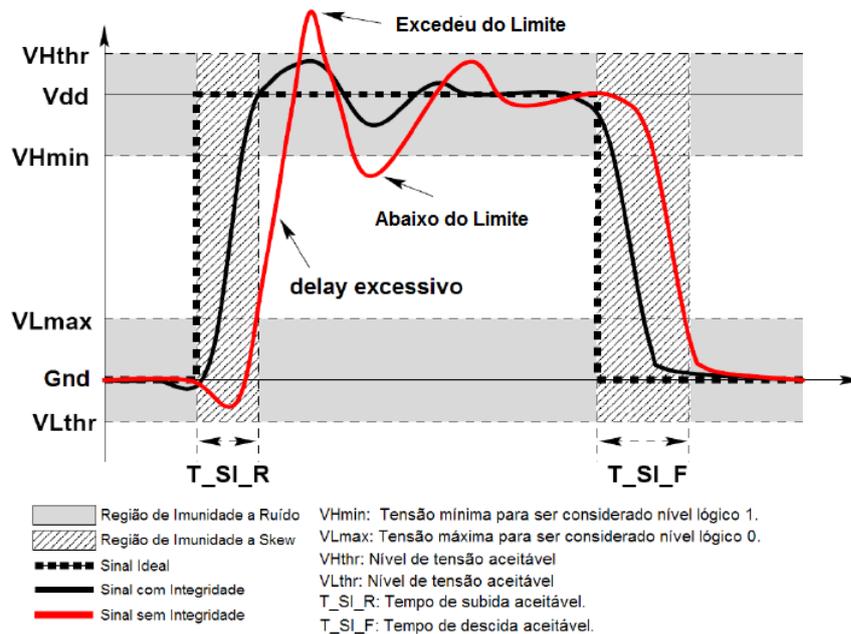
### 3.6.2 Integridade do Sinal

Os terminais dos circuitos integrados podem ser tipicamente subdivididos em alimentação e pinos de entrada/saída de dados (I/O, em inglês *Input/Output*) [87]. Dessa forma, a interferência eletromagnética pode acoplar ao circuito tanto pela alimentação quanto pelos terminais de dados. Usualmente, os terminais de dados são utilizados para a troca de comunicação dos sistemas, principalmente nos sistemas de radiofrequência (RF) e digitais, que são as principais categorias de sistemas eletrônicos [66]. Portanto, a integridade do sinal torna-se um fator chave na confiabilidade dos circuitos.

A integridade do sinal é definida como a característica e/ou habilidade de um determinado sinal, gerar respostas corretas em um sistema e/ou circuito eletrônico [77]. Um sinal de boa integridade apresenta entre as suas características, níveis de tensão e tempos de transição que atendem as especificações do projeto. A Figura 17, apresenta alguns exemplos de integridade de sinais.

O ambiente compartilhado por equipamentos eletrônicos de diferentes tecnologias, acrescentado à precaridade das instalações elétricas e/ou erros de projetos, contribuem decisivamente na compatibilidade eletromagnética [74], potencializando distúrbios nos mais diversos componentes do sistema, principalmente na integridade dos sinais.

Figura 17 – Exemplo de integridade de sinais.



Fonte: Adaptado de [77]

### 3.7 Normas e Regulamentações

Durante a década de 80, a principal preocupação relacionada aos fenômenos de EMC, estavam ligadas as emissões na forma conduzida ou radiada dos sistemas elétricos e eletrônicos [86]. Conforme aumento significativo da utilização dessas tecnologias, relatos de fenômenos relacionados a EMI se tornaram mais frequentes, tornando necessário alocar e proteger o espectro eletromagnético, principalmente ao setor de comunicações. Dessa forma, nos anos 90, o conceito de imunidade eletromagnética ganhou força, forçando os governos e comitês internacionais a estabelecerem testes e requisitos normativos para avaliação desses sistemas [72].

As normas de ensaio são submetidas a um processo constante de avaliação e estudo visando atender as necessidades da indústria e da sociedade, utilizando de uma extensa consulta entre a autoridade reguladora, a indústria e outras partes interessadas. Esses documentos, contêm uma lista de definições de frases e termos técnicos relacionados a EMC e apresentam informações cuidadosamente ordenadas com o objetivo de fornecer orientação geral e instruções específicas para demonstrar conformidade do sistema com seus respectivos critérios associados [72]. Os critérios normativos podem variar de país a país, devido ao fato de ainda não existir uma organização global focada em EMC. No

Brasil, apenas dois organismos regulamentadores de produtos exigem que os aspectos de EMC sejam observados: Agência Nacional de Vigilância Sanitária (ANVISA) e a Agência Nacional de Telecomunicações (ANATEL) [86].

O processo de desenvolvimento de um sistema eletrônico e posteriormente avaliação da sua confiabilidade, é imposto a dois tipos de classes de normas [85]:

- a) Normas exigidas por organismos de certificação governamentais, por exemplo ANATEL;
- b) Normas exigidas por fabricantes de equipamentos, que visam assegurar a satisfação do consumidor e a qualidade do produto/serviço.

A avaliação da emissão eletromagnética, tanto conduzida como radiada, usualmente utiliza como referência os documentos técnicos elaborados pela CISPR (em francês, *Comité International Spécial des Perturbations Radioélectriques*). A CISPR é um subcomitê técnico membro da IEC (em inglês, International Electrotechnical Commission), que define normas para controle da EMI em dispositivos elétricos e eletrônicos [72]. Fundada em 1934, tem como objetivo o desenvolvimento de normas técnicas para controlar a EMI em dispositivos elétricos e eletrônicos. Entre os principais documentos técnicos existentes, destacam-se [36]:

- CISPR 11 - Equipamentos industriais, científicos e médicos - Características das perturbações de radiofrequência - Limites e métodos de medição;
- CISPR15 - Limites e métodos de medição das características de radio-perturbação dos equipamentos elétricos de iluminação e similares;
- CISPR 22 - Tecnologia da Informação - Características de radio-perturbação - Limites e métodos de medição.

Os requisitos de testes para imunidade eletromagnética, são estabelecidos conforme designações da IEC. A IEC é uma organização mundial com objetivo de promover a cooperação internacional nas áreas da elétrica e eletrônica, com foco principalmente na padronização de tecnologias, com um escopo bem amplo que varia desde definições de termos e simbologia até o desenvolvimento de ensaios [37]. Através da definição e estabelecimento de normas, busca eliminar barreiras técnicas e, desta forma, promover o comércio [83].

A avaliação da imunidade eletromagnética é efetuada através das normas da série IEC 61000. A família de normas técnicas IEC 61000 aborda tópicos básicos sobre EMC,

abrangendo terminologias, descrição dos fenômenos eletromagnéticos, medição e técnicas de ensaio [37]. De acordo com a IEC 61326-1 [39], as normas básicas que os sistemas eletrônicos devem respeitar são:

- IEC 61000-4-2: Ensaio de imunidade de descarga eletrostática (ESD);
- IEC 61000-4-3: Ensaio de imunidade a campos eletromagnéticos de radio-frequências irradiados;
- IEC 61000-4-4: Ensaio de imunidade a transiente elétrico rápido (EFT);
- IEC 61000-4-5: Ensaio de imunidade a surtos;
- IEC 61000-4-6: Ensaio de imunidade à perturbação conduzida, induzida por campos de radio-frequência;
- IEC 61000-4-8: Ensaio de imunidade à campo magnético;
- IEC 61000-4-11: Ensaio de imunidade à variação e interrupção de tensão alternada;
- IEC 61000-4-29: Ensaio de imunidade à variação e interrupção de tensão contínua.

Um dos propósitos dessa dissertação, é avaliar o comportamento do microcontrolador cortex-M4 sob efeito de perturbações eletromagnéticas conduzidas, através dos ensaios descritos nas normas IEC 61000-4-4 e IEC 61000-4-6. À vista disso, os próximos tópicos irão apresentar os parâmetros e especificações técnicas descritos nessas regulamentações.

### 3.7.1 IEC 61000-4-4

O escopo da norma IEC 61000-4-4 busca a avaliação da imunidade de equipamentos elétricos e eletrônicos para transientes elétricos rápidos repetitivos, fornecendo requisitos e procedimentos de testes relacionados a esse fenômeno. Seu objetivo é estabelecer um método consistente e reproduzível, utilizado como referência para avaliar o comportamento desses sistemas quando submetidos a EFT em suas portas de alimentação, comunicação, controle e aterramento [40].

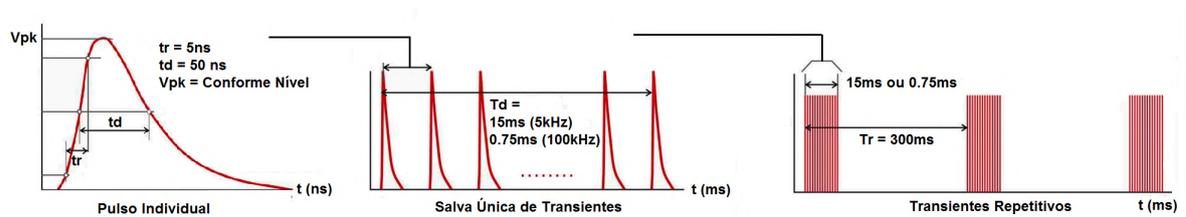
A estrutura geral do procedimento de ensaio, define os seguintes parâmetros [104][40]:

- Forma de onda da tensão de ensaio;
- Níveis de ensaio;
- Equipamentos, procedimentos de calibração e verificação;

- Configuração e procedimento do ensaio.

Um aspecto importante para a execução dos procedimento é uma tensão de ensaio com alta amplitude, tempo de subida curto, alta frequência de repetição e baixa energia dos transientes [5]. As características das salvas, conforme definições da norma, são: taxa de repetição ( $Tr$ ) de 300 ms, duração ( $Td$ ) de 15 ms se utilizada uma frequência de 5 kHz, ou uma duração de 0.75 ms para uma frequência de 100 kHz [40]. Um pulso individual da salva, também deve atender a especificações técnicas. Sua forma de onda deve apresentar um tempo de subida ( $tr$ ) de 5 ns e um tempo de queda ( $td$ ) de 50 ns. A Figura 18 fornece uma ilustração visual dessas características.

Figura 18 – Representação de um transiente elétrico rápido.



Fonte: Adaptado de [40]

A amplitude, em kV, do pulso é de acordo com o nível de severidade preferido ao ensaio. Comumente, existem documentações complementares para cada produto que delimitam esses níveis. A aplicação do distúrbio é realizada durante o período de 1 minuto com polaridade positiva e negativa em cada combinação da alimentação do sistema eletrônico. As especificações são indicadas na Tabela 2.

Tabela 2 – Níveis de ensaio para imunidade a EFT.

Nível	Portas de Alimentação e Aterramento		Portas de Sinal e Controle	
	Tensão de Pico (kV)	Frequência (kHz)	Tensão de Pico (kV)	Frequência (kHz)
1	0,5	5 ou 100	0,25	5 ou 100
2	1	5 ou 100	0,5	5 ou 100
3	2	5 ou 100	1	5 ou 100
4	4	5 ou 100	2	5 ou 100
Especial	Especial	Especial	Especial	Especial

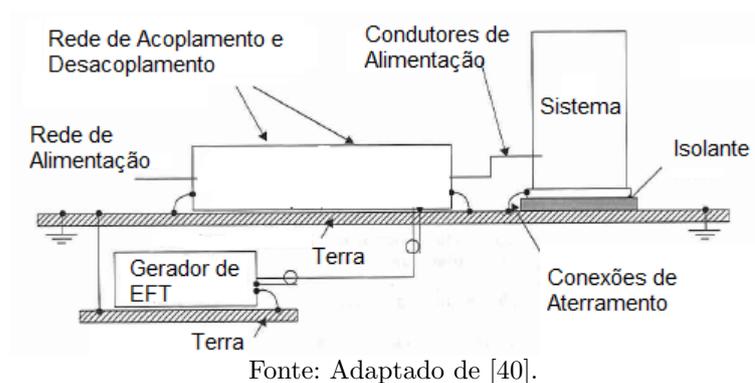
Fonte: Adaptado de [40]

A configuração do ensaio incluiu os seguintes equipamentos [40]:

- a) Plano de terra de referência;
- b) Dispositivo de acoplamento da interferência (rede ou alicate);
- c) Rede de acoplamento/desacoplamento;
- d) Gerador de EFT.

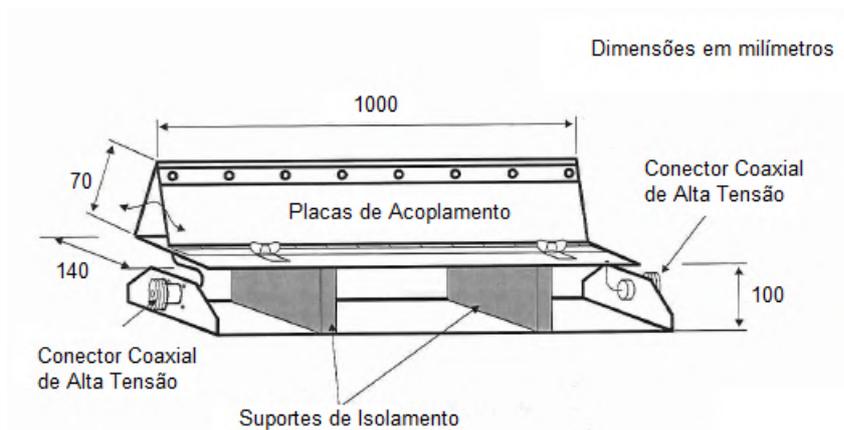
Conforme ilustrado no diagrama de blocos da Figura 19, os testes são executados sob o mesmo plano de terra de referência e o dispositivo sob teste em um plano isolante. A rede de acoplamento/desacoplamento (CDN, em inglês *Coupling Decoupling Network*), consiste de um circuito de desacoplamento da rede de alimentação principal e um circuito para acoplar as interferências geradas pelo gerador, garantindo assim que os distúrbios sejam aplicados somente no sistema em testes.

Figura 19 – Configuração do ensaio de transientes elétricos rápidos.



Quando necessário avaliar portas de sinal e controle, a IEC 61000-4-4, fornece como método auxiliar a utilização de alicates capacitivos para acoplamento da perturbação. Um exemplo desse equipamento é apresentado na Figura 20.

Figura 20 – Exemplo de um alicate de acoplamento capacitivo.



### 3.7.2 IEC 61000-4-6

A norma IEC 61000-4-6 está relacionada aos requisitos de imunidade conduzida de equipamentos eletroeletrônicos a distúrbios eletromagnéticos provenientes de transmissores intencionais de radiofrequência (RF) na faixa de 9kHz até 80MHz [42]. Os sistemas submetidos a esses testes estarão, portanto, a perturbações de RF conduzidas tanto no modo diferencial quanto no modo comum em seus conectores [103].

A estrutura geral da norma define os seguintes parâmetros:

- Faixa dos níveis de ensaio;
- Sinal do distúrbio (Forma de Onda);
- Equipamentos, procedimento de calibração e verificação;
- Configuração e procedimento de ensaio.

O método de ensaio submete o sistema a uma fonte de perturbações composta de campos elétricos e magnéticos, simulando aqueles provenientes de transmissores de RF intencionais, como antenas de rádio e TV [95]. Para transmissores que operem na faixa de 9kHz a 150kHz, nenhum ensaio é exigido [103]. Conforme destacado na IEC 61000-4-6 (2013, p24) [42], o seguinte procedimento de ensaio é executado:

A faixa de frequência é varrida desde 150kHz até 80MHz, utilizando níveis de sinal estabelecidos durante o processo de ajuste, e com o sinal de perturbação modulado em amplitude a 80% por uma onda senoidal de 1kHz. Quando a frequência é varrida de forma incremental, o tamanho do passo não pode exceder 1% do valor da frequência precedente.

Na Tabela 3 são indicados os níveis de tensão do sinal da perturbação não modulado. Esses níveis são modulados em amplitude com um índice de modulação de 80%, através de uma onda senoidal com frequência de 1kHz, simulando perturbações comumente encontradas no ambiente externo [42][103], conforme forma de onda ilustrada na Figura 21.

A configuração do ensaios pode incluir os seguintes equipamentos [42]:

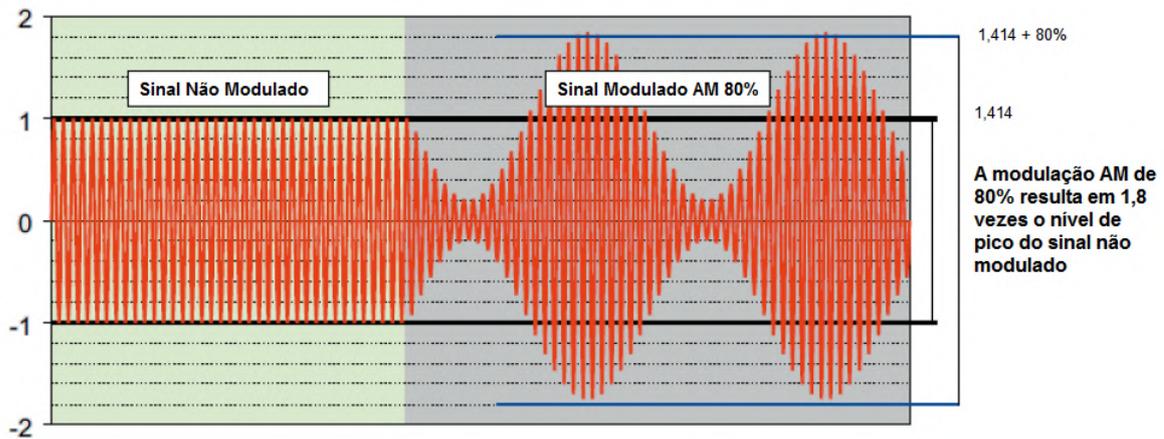
- Plano de terra de referência;
- Alicates eletromagnético;
- Sonda de corrente;
- Rede de acoplamento/desacoplamento;

Tabela 3 – Níveis de ensaio para imunidade a campos de RF conduzidos.

Nível	Nível de Tensão	
	dB ( $\mu\text{V}$ )	V
1	120	1
2	130	3
3	140	10
Especial	Especial	

Fonte: Adaptado de [42].

Figura 21 – Formas de onda em circuito aberto, para um dispositivo considerando nível de ensaio 1.



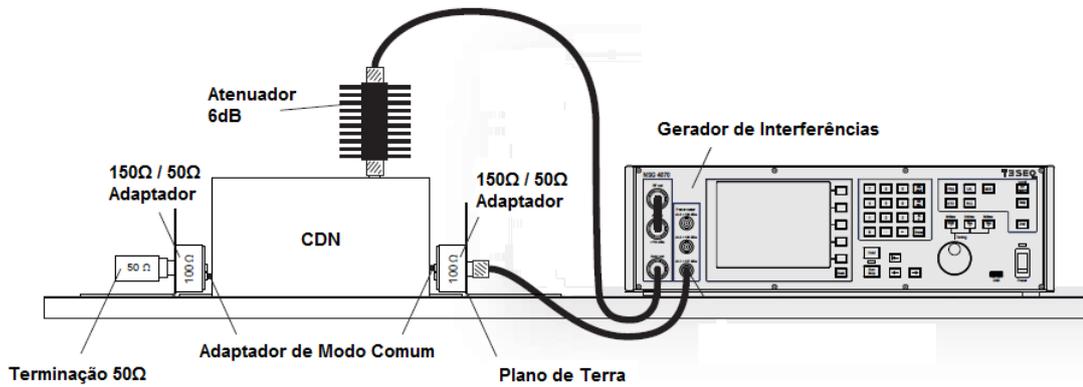
Fonte: Adaptado de [103].

- Gerador de interferência.

Ao contrário dos ensaios para transientes elétricos rápidos, a norma IEC 61000-4-6 especifica três diferentes configurações de acoplamento para utilização. Preferencialmente, são indicadas as CDNs, por razões de reprodutibilidade e proteção [42]. Quando preferido esse método, a configuração dos testes é conforme ilustrado na Figura 22.

No entanto, quando não houver disponibilidade das CDNs ou as mesmas não forem adequadas, outros dois métodos podem ser utilizados: Alicate eletromagnético e sonda de corrente [95]. O alicate eletromagnético consiste de um conduto de anéis de ferrite que envolvem os condutores em ensaio. O sinal é injetado através de um ciclo que se estende por todo o dispositivo [42]. O ciclo é finalizado em cada extremidade por uma impedância, gerando uma queda de tensão ao longo do cabo e permitindo que a corrente possa fluir. Conseqüentemente, a tensão gera um acoplamento capacitivo e a corrente um acoplamento indutivo [1], conforme esquemático na Figura 23.

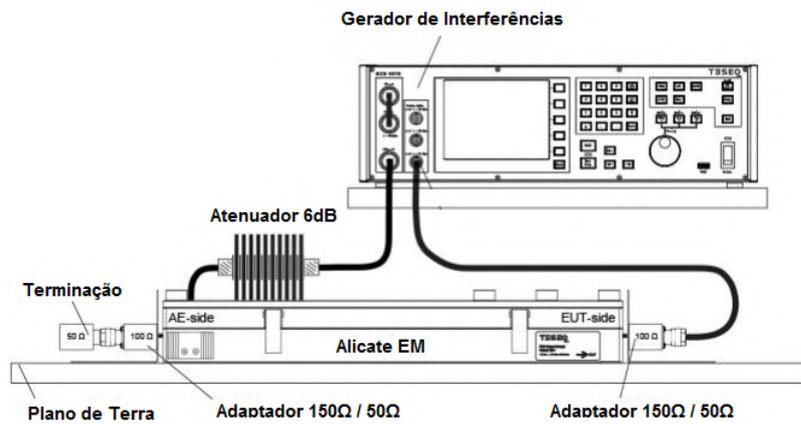
Figura 22 – Configuração de ensaio utilizando CDN.



Fonte: Adaptado de [99].

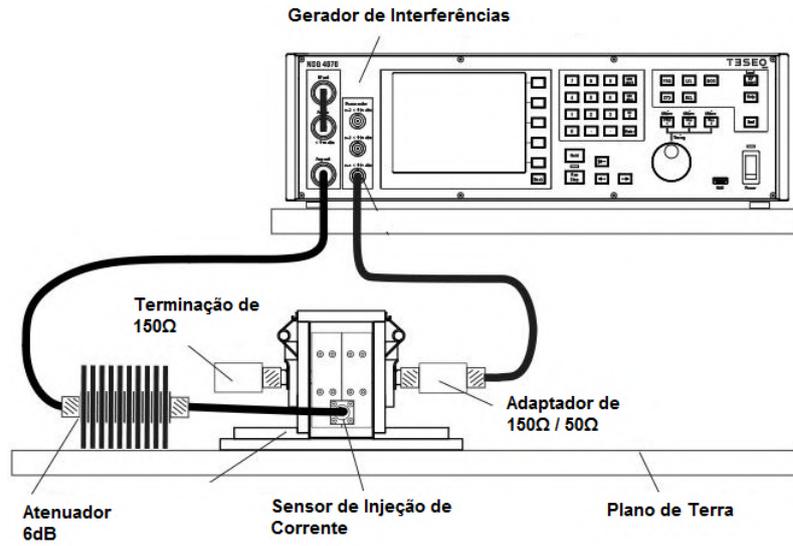
O método da sonda de corrente, quando comparado aos outros dois métodos, é o de menor eficiência; entretanto, a utilização é abundante devido a sua conveniência [1]. A técnica consiste de um transformador de corrente (TC) aplicado a um condutor, fornecendo acoplamento indutivo ao sistema [42]. A problemática no uso dessa técnica está na não-proteção dos equipamentos auxiliares utilizados em conjunto no ensaio. A disposição da configuração do teste é apresentada na Figura 24.

Figura 23 – Configuração de ensaio utilizando alicate eletromagnético.



Fonte: Adaptado de [99].

Figura 24 – Configuração de ensaio utilizando sensor de corrente.



Fonte: Adaptado de [99].

## 4 ENSAIOS DE ENVELHECIMENTO ACELERADO

### 4.1 Introdução

De acordo com a definição de Wayne B. Nelson [76], os ensaios de envelhecimento acelerado consistem em testes de alto stress que encurtam o tempo de vida dos sistemas. O termo stress é utilizado, de uma forma geral, para indicar qualquer variável acelerada. O objetivo desses ensaios é obter rapidamente dados que, devidamente modelados e analisados, forneçam informações precisas sobre o desempenho do produto em condições normais de uso, economizando tempo e dinheiro [75]. A maioria dos produtos é projetada com um longo tempo de vida. Em condições normais de utilização, é esperado que ocorra falhas em poucas unidades, portanto, é particularmente difícil estimar a distribuição dos tempos até a falha a partir da execução de ensaios em condições normais de uso, seja pela necessidade de tempo ou pela observação reduzida do número de falhas, aumentando a incerteza na confiabilidade do processo [28].

Sistematicamente, os ensaios de envelhecimento acelerado são realizados para demonstrar a confiabilidade ao nível do componente, permitindo a aplicação de uma ampla faixa de níveis de stress, enquanto que no nível de sistema, o componente mais frágil limita o nível máximo de teste. Conseqüentemente, os fatores de aceleração podem ser muito maiores para componentes do que ao sistema como um todo [73][75].

Apesar dessa afirmação, os testes a nível de componente requerem grande expertise técnica e planejamento. Na maioria das vezes, não há tempo hábil para avaliar a confiança de todos os componentes, tornando-se necessário a avaliação ao nível de sistema, realizando somente um único teste. A execução a nível de sistema é adequada, uma vez que muitos sistemas eletrônicos como por exemplo, placas de circuito impresso e fontes de alimentação, são estaticamente independentes, ou seja, até o instante que o defeito ocorrer, os mecanismo de falha atuando sobre um determinado componente se desenvolvem sem a influência dos mecanismos que afetam os remanescentes [73].

O objetivo geral dessa técnica é estimar a vida útil ou degradação do produto aos níveis mais baixos de stress encontrados em condições normais de utilização. Através do ajuste de um modelo estatísticos de aceleração, obtido pelos resultados dos testes, é possível determinar a vida útil do sistema em condições normais [76]. O foco dessa dissertação é estimar a vida útil do sistema em condições normais de operação, com base em

informações obtidas em diferentes testes de envelhecimento acelerado, em condições severas, documentando e registrando informações para acelerar o tempo de desenvolvimento desses sistemas abordados.

## 4.2 Métodos de Envelhecimento Acelerado

Métodos de envelhecimento acelerado são utilizados em isolantes elétricos e dielétrico, incluindo sólidos (polietileno e epóxi), líquidos (óleo de transformador) e gases. Além desses materiais, componentes elétricos como capacitores, condutores, transformadores, motores, geradores e outros aparatos elétricos também são testados com frequência. Ademais, há um uso abrangente em semicondutores e microeletrônicos como dispositivos MOS (em inglês, *Metal Oxide Semiconductor*), CMOS, microcircuitos e circuitos integrados. Na literatura, existem vários métodos para acelerar falhas em componentes ou sistemas eletrônicos, que podem ser utilizados individualmente ou em conjunto. Destacam-se [75][65]:

- Elevação de temperatura;
- Ciclos severos de temperatura;
- Vibração mecânica;
- Radiação;
- Sobretensão;
- Aumento na magnitude da umidade relativa.

A aceleração no nível de stress dessas grandezas pode induzir mecanismos de falhas que afetam diretamente os circuitos integrados sob operação normal [65]. A título de exemplo, os transistores MOS, que apresentam algumas de suas características como mobilidade, tensão limiar de condução ( $V_{th}$ , em inglês *Threshold Voltage*) e transcondutância, afetadas pelo envelhecimento, degradando a performance dos circuitos integrados [33].

O envelhecimento térmico e elétrico, são as metodologias mais comuns usadas em sistemas eletrônicos [65][89]. Os métodos de alta temperatura e ciclos térmicos são prevalentes, destacando o último como a técnica de envelhecimento mais predominante em validação de dispositivos e circuitos eletroeletrônicos. Abruptas mudanças no delta da temperatura de operação, resulta em uma rápida expansão e contração dos componentes, originando mecanismos de degradação que conduzem a falha e posterior defeito dos sistemas

[89][94]. Os tópicos a seguir abordarão os métodos de envelhecimento acelerado térmicos e elétricos (sobretensão), utilizados no desenvolvimento desta dissertação.

#### 4.2.1 Envelhecimento por Alta Temperatura

O método de **alta temperatura** (HTOL, em inglês *High Temperature Operating Life*) é um teste de confiabilidade aplicado principalmente a circuitos integrados [51]. Esse ensaio consiste em submeter o sistema a uma elevada temperatura por um longo período de tempo. Geralmente, o circuito é monitorado durante o envelhecimento e testado em intervalos de tempo pré-determinados [35]. O objetivo do HTOL visa envelhecer o sistema de modo que, em um curto período de experimentos, permita que a vida útil do circuito seja prevista, por exemplo 1000 horas de HTOL devem prever um período mínimo da vida útil do sistema em operação sob condições normais [51].

A aceleração do HTOL é obtida submetendo os sistemas a temperaturas maiores que sua faixa de operação ideal [51]. Por se tratar de um ensaio de tempo prolongado, é necessária a utilização de uma câmara climática que atenda as especificações de temperatura e tempo, sem variações e com estabilidade das condições definidas. Um HTOL bem executado, permite envelhecer todos os conjuntos do sistema, possibilitando que mecanismos de defeito sejam acionados e implementados em um curto período de tempo [35], conforme ilustrado na Figura 25.

Figura 25 – Decréscimo da taxa de falhas ao longo do tempo após mecanismo de aceleração do envelhecimento.



Fonte: Adaptado de [100].

Na literatura, também é apresentado um método similar denominado *Burn-In*. Essa técnica é uma adaptação do HTOL para um curto período de tempo, utilizada

principalmente para garantir (com um determinado nível de confiança) que um sistema não sofrerá falhas antes de decorrido um determinado período de utilização (região de falhas precoces na curva da banheira) [49].

Os efeitos do envelhecimento por alta temperatura apresentam grande abrangência na literatura. Lee et al. [56] demonstraram que a vida útil de famílias de circuito (*Wafers*) foi reduzida em 29%, quando submetido a um envelhecimento de 150°C por 500 horas. Zhang et al. [115], investigaram a correlação entre os efeitos do envelhecimento térmico na confiabilidade dos componentes BGA (em inglês, *Ball Grid Array*), mostrando que durante 6 meses de envelhecimento a 125°C, tiveram uma redução em 53% de sua confiabilidade.

A norma militar MIL-STD-883H [23] estabelece métodos, controles e procedimento para avaliar dispositivos microeletrônicos adequados ao uso em sistemas eletrônicos militares e aeroespaciais. Através de testes mecânicos, elétricos e ambientais necessários para garantir um nível adequado de confiabilidade dos sistemas. A seção 1015.9, designa testes de alta temperatura em microcircuitos nas condições de operação máximas, visando revelar mecanismos de defeito dependentes do tempo. Os perfis de temperatura constante são definidos em função da magnitude da temperatura, tempo de exposição e classe de sistema. Essas grandezas são pré-estabelecidas conforme indicado na Tabela 4.

Tabela 4 – Parâmetros de ensaio de envelhecimento HTOL.

Temperatura Mínima (°C)	Tempo Mínimo (horas)		
	Classe S	Classe B	Classe K (Híbridos)
100	—	7500	7500
105	—	4500	4500
110	—	3000	3000
115	—	2000	2000
120	—	1500	1500
125	1000	1000	1000
130	900	704	—
135	800	496	—
140	700	352	—
150	500	184	—
200	—	32	—
250	—	30	—

Fonte: Adaptado de [23].

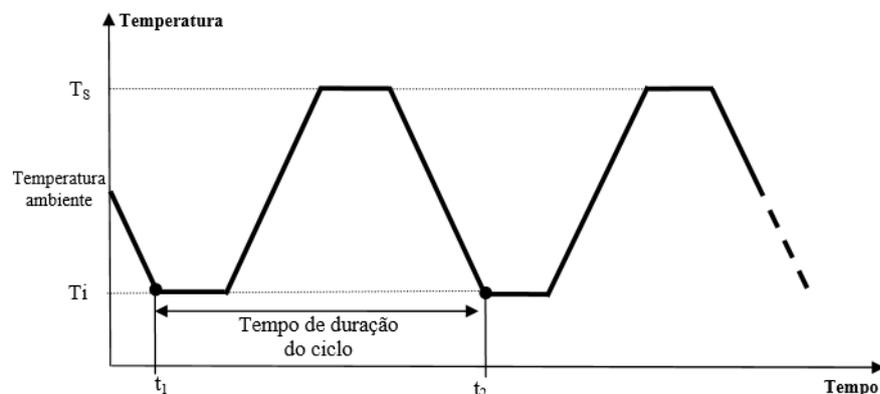
As diferentes classes dizem respeito à natureza do uso do sistema eletrônico, sendo classificadas em aeroespaciais (classe S), militar (classe B) e para ambos os usos (classe K). A garantia da funcionalidade do sistema durante a exposição também é fortemente destacada no documento. Testes funcionais devem ser executados periodicamente, podendo ser *onlines* (durante o envelhecimento) ou *offlines*, sendo esse último necessário interromper o teste para execução [23]. A execução periódica de testes também é importante para determinação da taxa de defeitos do sistema [28].

#### 4.2.2 Envelhecimento por Ciclos Térmicos

Os sistemas e dispositivos eletrônicos são frequentemente submetidos a variações da temperatura de seu ambiente de funcionamento. A título de exemplo, Smet et al. [93] demonstram que semicondutores de potência (IGBT, em inglês *Insulated Gate Bipolar Transistor*), chegam a ser submetidos a alguns milhares de ciclos com temperaturas ambientes que podem variar em uma faixa muito ampla, (-40 °C a -55 °C em zonas frias e 120 °C perto de motores), afetando diretamente sua confiabilidade.

A variação da temperatura pode apresentar diversos perfis temporais, como por exemplo manter a temperatura constante (HTOL) ou variá-la ciclicamente [28], conforme ilustrado na Figura 26.

Figura 26 – Ciclo térmico de envelhecimento em um ensaio acelerado de vida.



Fonte: [28].

Segundo Felix (2006, p52, apud MIL-HDBK-338, 1998, p. 280), o método de **ciclos térmicos** oferece a vantagem da indução de defeitos relacionados a fadiga térmica dos componentes eletrônicos, incentivando defeitos intrínsecos ao processo de fabricação, ao

contrário do método de temperatura elevada e uniforme, que é mais agressivo, incentivando defeitos como corrosão e eletromigração [28][22].

O método de envelhecimento por ciclagem térmica, é pertencente a uma categoria de ensaios acelerados denominada HALT (em inglês, *Highly Accelerated Life Test*). A metodologia HALT utiliza uma abordagem de stress escalonado, sujeitando os dispositivos a stress térmico e de vibração de diferentes níveis e tipos, extrapolando os valores usuais em operação normal. Através dessa técnica, são induzidas falhas mais rapidamente, permitindo a detecção e posterior correção [34].

Ao contrário do método de alta temperatura, o perfil da curva característica do ciclo térmico depende de vários fatores, como a temperatura máxima e mínima, o aumento e o tempo de queda da temperatura, o período de cada ciclo e o número total de ciclos. A norma técnica JESD22-A104D [44], aplicada a ciclos térmicos, estabelece métodos e definições desses valores característicos da curva. Para os valores máximo e mínimo de temperatura, é aplicada a Tabela 5.

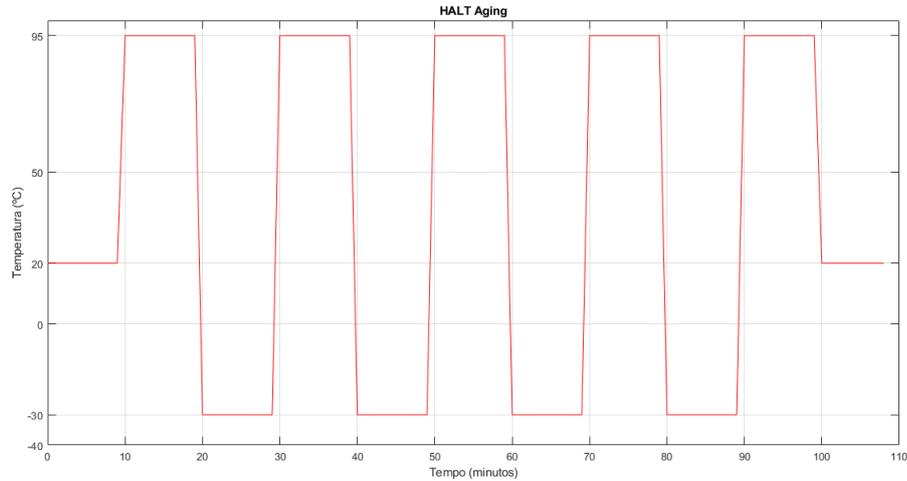
Tabela 5 – Condições de teste para ciclos térmicos.

<b>Condição de Teste</b>	<b>Temperatura Mínima (°C com tolerâncias)</b>	<b>Temperatura Máxima (°C com tolerâncias)</b>
A	-55 (+0, -10)	+85 (+10, -0)
B	-55 (+0, -10)	+125 (+15, -0)
C	-65 (+0, -10)	+150 (+15, -0)
G	-40 (+0, -10)	+125 (+15, -0)
H	-55 (+0, -10)	+150 (+15, -0)
I	-40 (+0, -10)	+115 (+15, -0)
J	-0 (+0, -10)	+100 (+15, -0)
K	-0 (+0, -10)	+125 (+15, -0)
L	-55 (+0, -10)	+110 (+15, -0)
M	-40 (+0, -10)	+150 (+15, -0)

Fonte: Adaptado de [44].

Segundo a diretriz de testes HALT da Qualmark, um importante fornecedor de câmaras climáticas para testes acelerados, é ideal que sejam executados no mínimo 5 ciclos térmicos completos, com um tempo de aumento/queda da temperatura de no máximo 5 minutos, seguido da estabilização na temperatura máxima ou mínima [27]. No método 1010.8, descrito na MIL-STD-883H, defini-se um mínimo de 10 ciclos [23]. A Figura 27, fornece um exemplo de ciclo térmico com essas características apresentadas.

Figura 27 – Exemplo de ciclo térmico de envelhecimento.



Fonte: Adaptado de [27].

O tempo total do ciclo de teste é especificado de acordo com o sistema e as condições de ensaio desejadas, sendo muitas vezes não determinada nos documentos normativos. De acordo com Ghfiri et al. (2012, p5, apud MIL-STD-883H, 2010, p53), a duração do ciclo térmico ( $t$ ) varia conforme a taxa de defeitos para as respectivas condições de stress. Medidas para recuperar o sistema as suas condições normais de operação são realizadas. Se o sistema não apresentar degradações importantes, então um novo ciclo é realizado com duração  $t+1$ . Caso contrário, ocorre o final da vida útil do sistema [33].

#### 4.2.3 Envelhecimento Elétrico

Entre os métodos de envelhecimento acelerado, o **envelhecimento elétrico** é o que apresenta maior simplicidade de execução, sendo comumente utilizada em conjunto de outros procedimentos. Esse método consiste em efetuar o stress elétrico através de sobrecarga na tensão de alimentação dos dispositivos [90]. A sobretensão é realizada extrapolando os limites máximos declarados de tensão, fornecendo um potencial de alta intensidade, instigando o surgimento de mecanismos de degradação do envelhecimento [16].

A utilização em conjunto a outras técnicas se deve ao fato da tensão ser um fator de aceleração precário, pois os mecanismos de falha envolvidos são variados e distintivamente são influenciados pela aplicação da tensão [28]. Outro fator desfavorável é que a tensão aplicada não pode exceder a tensão de defeito permanente do dispositivo, o

que normalmente não é significativamente superior que a tensão máxima de operação que limita esse parâmetro. O percentual de aumento de tensão, deve sempre obedecer a relação expressa na Equação 3. Contudo, determinar o valor requer conhecimento do sistema, seja através das especificações, ou por testes funcionais.

$$V_{teste} \geq V_{Max} \quad (3)$$

O envelhecimento elétrico, pode ser induzido de forma estática ou através de transientes. O método de transientes são fenômenos de variações da tensão, como ESD e EFT. Já o método estático, consiste nos aumentos de tensão, conforme apresentado nos parágrafos anteriores e, em casos mais atípicos, por aumento de corrente [89].

## 5 MECANISMOS DE DEGRADAÇÃO DA CONFIABILIDADE

### 5.1 Introdução

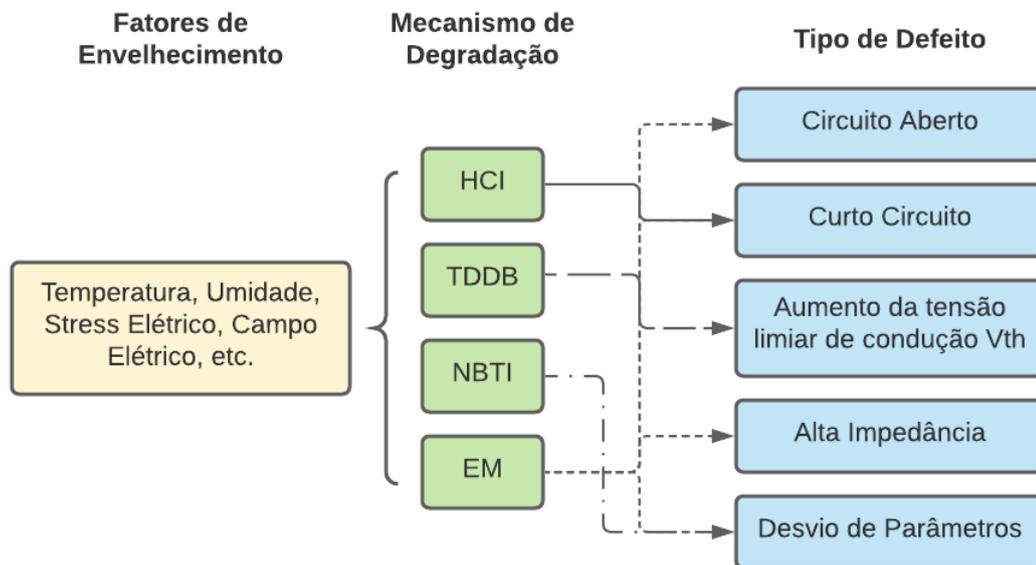
Durante seu tempo de vida, os dispositivos de tecnologia CMOS são afetados por mecanismos de defeitos intrínsecos, que acabam surgindo, principalmente, devido a condições de operação severas como variações de temperatura e sobretensão. Os quatro principais mecanismos de degradação são [33]:

- NBTI (em inglês, *Negative Bias Temperature Instability*);
- HCI (em inglês, *Hot Carrier Injection*);
- TDDB (em inglês, *Time Dependent Dielectric Breakdown*);
- EM (Eletromigração).

Esses fenômenos são fatores chave na confiabilidade dos sistemas eletrônicos, produzindo significativas mudanças nos níveis de emissão e imunidade eletromagnética, já que afetam de forma direta o comportamento elétrico das funções internas dos circuitos integrados [9]. À medida que as tecnologias CMOS alcançaram escalas nanométricas, a área de desenvolvimento de circuitos integrados passou a lidar com um crescimento de fenômenos de degradação. O conhecimento de falhas intermitentes nos sistemas, resultantes desses mecanismos, se tornou uma questão chave dos circuitos VLSI modernos. A complexidade dos processos de fabricação, produção de resíduos e variações de parâmetros, aliada a mecanismos especiais de envelhecimento, podem aumentar a presença de tais falhas.

Típicos defeitos observados em circuitos integrados são circuito aberto, curto circuito, desvio de parâmetros, etc. Um defeito pode ser ocasionado por diferentes mecanismos de degradação, de modo igual que um mecanismo de degradação pode ocasionar diferentes defeitos [84]. A Figura 28 ilustra, de forma sintetizada, a relação entre defeito e os fenômenos de degradação.

Figura 28 – Diagrama de falhas e mecanismos de degradação em circuitos integrados.



Fonte: Adaptado de [84].

## 5.2 Negative Bias Temperature Instability (NBTI)

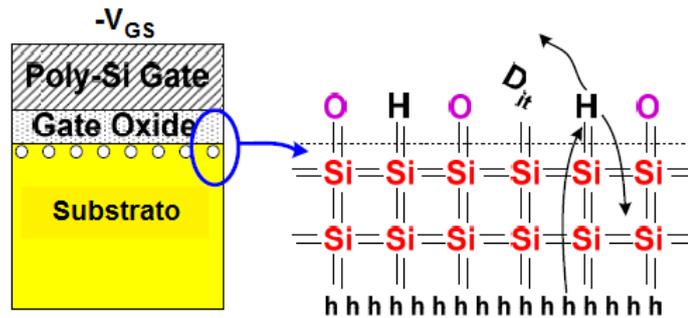
As recentes publicações na literatura a respeito da análise do tempo de vida e envelhecimento em processadores, demonstram que o NBTI tornou-se o mecanismo de envelhecimento mais dominante para tecnologias de escala menores que 90 nanômetros, ameaçando a confiabilidade dos CIs modernos e degradando sua velocidade em cerca de 20% [71] [62].

O NBTI é um problema chave na confiabilidade de MOSFETS. Esse fenômeno ocorre em transistores PMOS (em inglês, *Positive-Channel Metal Oxide Semiconductor*) em situações onde a tensão aplicada no *Gate* ( $V_{GS}$ ) é negativa, e intensificado devido a elevadas temperaturas [71]. As tensões negativas constantes, causam o surgimento de armadilhas de interface entre o óxido do *Gate* e o substrato de silício, se traduzindo no dispositivo em um aumento da tensão limiar de condução ( $V_{TH}$ ) e diminuição da corrente no dreno ( $I_D$ ), comprometendo sua performance [111].

No processo de fabricação tradicional de MOSFETS, ocorre a existência de ligações químicas pendentes entre as moléculas de Silício (Si), que compõe a estrutura (*Body*) na

superfície do *Gate*, e as moléculas de oxigênio do dielétrico, que é composto de óxido de silício ( $\text{SiO}_2$ ), devido a diferenças estruturais dos materiais (defasamento) [31]. Durante muito tempo, o processo de fabricação envolvia um ambiente hydrogenado, de forma a tornar passivas as ligações livres de Silício pela criação de ligações com hidrogênio (H), solucionando este problema, conforme ilustrado na Figura 29.

Figura 29 – Estrutura de um transistor PMOS.

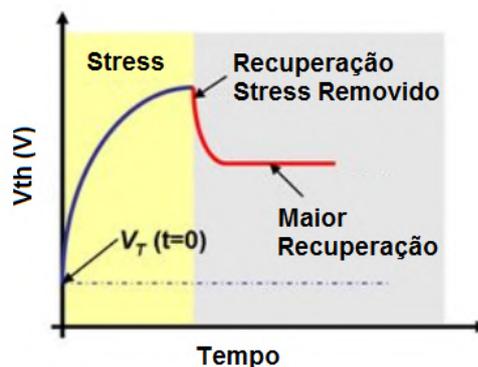


Fonte: Adaptado de [91].

O stress devido exposição a elevadas temperaturas e o valor negativo aplicado ao *Gate*, enfraquecem as ligações Si-H. Com essa desestruturação, surgem lacunas na interface  $\text{SiO}_2$  que, conseqüentemente, enfraquecem o desempenho do transistor PMOS durante sua operação. Além dos fatores de aceleração outrora mencionados, a miniaturização dos MOSFETS, *i.e.*, a diminuição da espessura do óxido, contribuem como indicativos que o NBTI agrava exponencialmente conforme menor a escala [111].

A degradação do dispositivo somente ocorre quando os transistores PMOS estiverem em estado de condução, *i.e.*, sob stress. Durante o período de não condução, o componente entra em um estado de recuperação parcial da tensão limiar de condução, conforme ilustrado na Figura 30 [59][111].

Figura 30 – Recuperação da tensão limiar de condução em função do tempo sem stress.



Fonte: Adaptado de [20].

Conforme anteriormente descrito, tensões negativas no *Gate* e/ou altas temperaturas, podem produzir o NBTI. Entretanto, conforme evidenciado em Moghaddasi et al. [71], um NBTI mais forte e mais rápido é produzido pela ação combinada dos dois.

### 5.3 Hot Carrier Injection (HCI)

O efeito do HCI é um dos maiores problemas que afetam as tecnologias CMOS [17]. Estudos ao longo dos últimos 30 anos, visam compreender e elaborar diferentes métodos e técnicas de mitigação a esse importante mecanismo de defeito e seus efeitos nos circuitos VLSI [111]. A importância de sua compreensão se deve ao fato de que seus efeitos, estão fortemente relacionados aos principais parâmetros de performance das tecnologias VLSI como qualidade do processo, estrutura do dispositivo e confiabilidade do circuito [98].

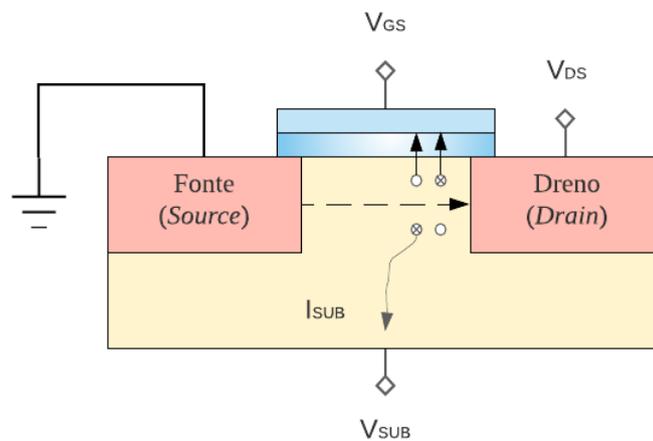
Na eletrônica, os buracos de elétrons (em inglês, *Electron Hole*) é a ausência de um elétron em uma posição onde poderia haver um átomo ou estrutura atômica [2]. Quando os semicondutores encontram-se em equilíbrio térmico, os elétrons e os buracos absorvem e emitem continuamente fônons acústicos, resultando em um ganho de energia cinética médio de zero. Esses elétrons possuem energia cinética ( $E$ ) ligeiramente maiores que o limite da banda de condução ( $E_c$ ), por um valor  $kT_r$ , onde  $T_r$  é a temperatura ambiente e  $k$  a constante de Boltzmann. Da mesma forma, nos buracos de elétron a energia cinética ( $E$ ) é levemente maior que o limite da banda de valência ( $E_v$ ) por um fator de  $kT_r$ . Na presença de campos elétricos baixos, a velocidade das portadoras (em inglês, *Carriers*) independe do campo, com o fator  $kT_r$  apresentando um valor de 0.025eV (pequeno quando comparado aos valores de  $E_c$  e  $E_v$ ). Contudo, em campos elétricos muito elevados (*e.g.* 100kV/cm), as portadoras acabam recebendo mais energia do que sua capacidade de dissipar. Esses elétrons acelerados, apresentam energias de valor  $E_c + kT_e$ , onde  $T_e$  é a temperatura efetiva tal que  $kT_e > kT_r$  [111].

As portadoras, elétrons ou buracos podem receber grandes quantidades de energia cinética ao transitar em regiões de elevado campo elétrico. Quando a energia média ( $E_{Avg}$ ) é significativamente maior quando comparada ao equilíbrio térmico, são denominados como *Hot Carriers*, pois assume-se que estão termicamente distribuídos em uma temperatura maior que a do meio [97]. Essa relação é expressa na Equação 4.

$$E_{Avg} = \frac{3}{2}kT_e \quad (4)$$

Uma vez que a superfície dos transistores é invertida, as portadoras são aceleradas da fonte ao dreno através da tensão aplicada entre o dreno e a fonte ( $V_{DS}$ ) [17]. Alguns *Hot Carriers* possuem energia suficiente (aproximadamente 3.2eV para elétrons e 4.7eV para buracos) para sobrepujar a ligação entre Si-H do óxido ou as ligações entre Si-SiO<sub>2</sub> da interface. Se os *Hot Carriers* durarem um período prolongado, serão gerados correntes ( $I_{SUB}$ ) e tensões ( $V_{SUB}$ ) induzidas no substrato que irão modificar permanentemente o campo elétrico da interface Si-SiO<sub>2</sub> e, conseqüentemente, as características elétricas do MOSFET [17][111]. A Figura 31, adaptada de [98], ilustra o fenômeno anteriormente descrito.

Figura 31 – Representação do fenômeno de *Hot Carriers Injections* (HCI).



Fonte: Adaptado de [98].

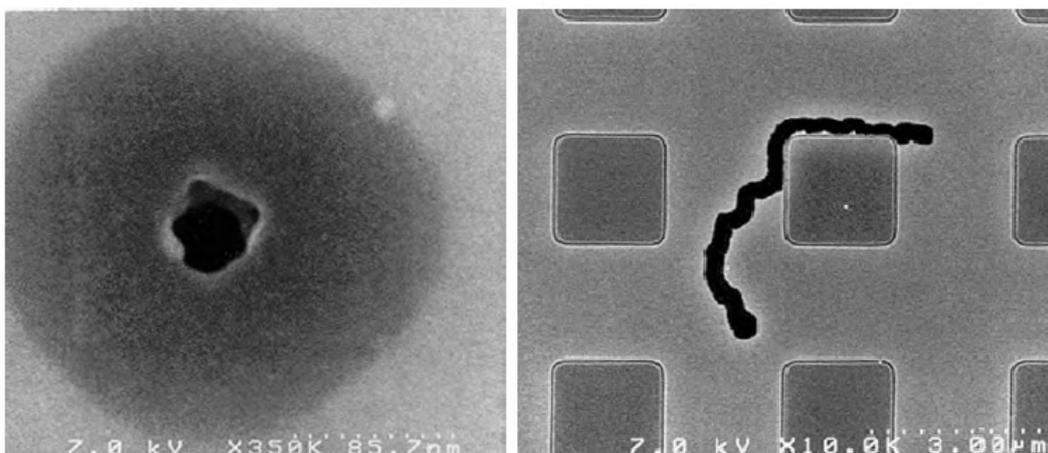
O HCI aumenta conforme a execução das atividades dos transistores ao longo do tempo de vida útil dos sistemas. Esse efeito se manifesta, principalmente, quando os transistores mudam de uma lógica "0" para "1" e vice versa, resultando na degradação da tensão limiar de condução ( $V_{TH}$ ), o que se traduz em um aumento no tempo de comutação dos transistores, que pode resultar em violações de tempos de processamento e falhas na operação, uma vez que o tempo se torna maior que o período de *Clock* do processador. Em regra, o HCI é acentuado nos componentes do microprocessador com frequentes comutações [105].

## 5.4 Time Dependent Dielectric Breakdown (TDDB)

O TDDB é um importante fator na previsão da vida útil dos circuitos MOS e tem recebido grande atenção por meio de pesquisas ao longo dos últimos anos [79][70]. Esse mecanismo se refere ao fenômeno físico ao qual o dielétrico do *Gate* dos MOSFETS rompe devido à exposição, durante um longo período de tempo, a um campo elétrico[18]. O termo ruptura (*Breakdown*) é utilizado para descrever a transição de comportamento do dielétrico, de uma fase isolante a uma mais condutiva [64].

O fenômeno do TDDB ocorre entre a estreita camada de SiO<sub>2</sub> entre o *Gate* e o canal de condução dos transistores. O dióxido de silício apresenta excelentes características como uma alta largura de banda (aproximadamente 9eV), o que o torna um fator chave do sucesso das tecnologias MOS. Apesar dessas extraordinárias propriedades, o composto é passível de degradação causada por stress, como alta temperatura e um alto campo elétrico no óxido, resultante da ruptura [111]. O rompimento do dielétrico pode levar a um aquecimento do componente e, conseqüentemente, ocasionar uma falha grave. A ocorrência dessas falhas são geralmente caracterizadas por um caminho condutivo, resultando da fundição do filamento, curto-circuitando o cátodo e o ânodo [63]. A Figura 32, apresentada em [97], demonstra em vistas microscópicas o fenômeno físico do rompimento do dielétrico.

Figura 32 – Ruptura do dielétrico devido ao TDDB.



Fonte: [97].

As falhas originadas pelo TDDB são caracterizadas por uma alta corrente de fuga (na faixa de mA) quando a tensão é reduzida a níveis muito baixos (aproximadamente 1V) e o dano é irreversível, uma vez que o componente não se recupera de exposições a altas temperaturas [63]. Em óxidos mais finos, é possível observar microscopicamente

um feixe de luz quando ocorre o fenômeno. Essa emissão se deve ao sobreaquecimento do caminho condutivo entre os eletrodos formado devido ao stress. Esse sobreaquecimento, pode vir a fundir o canal de ruptura e os eletrodos locais conectados [97]. O TDDB causa um enfraquecimento gradual dos dispositivos, resultando em defeitos graves como aumento na potência dissipada, mudanças de características de chaveamento e possíveis violações de tempo de processamento (*Delays*) [18].

## 5.5 Eletromigração (EM)

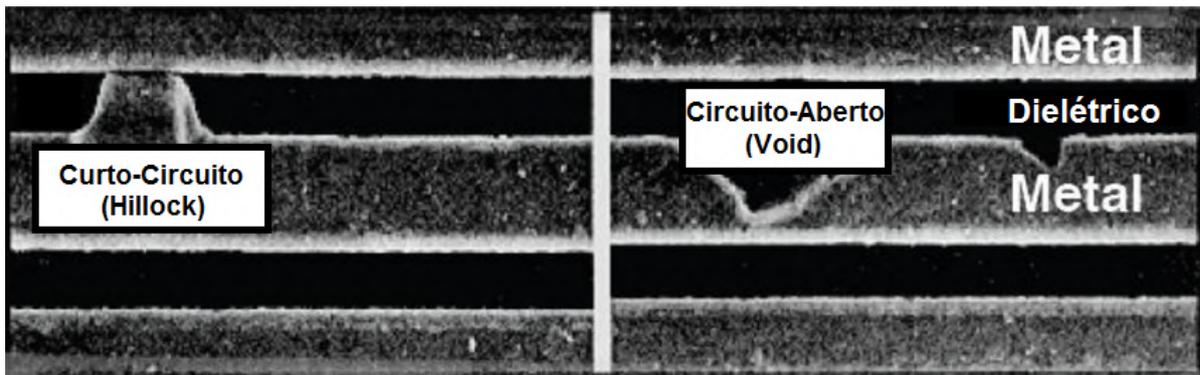
As interconexões incorporadas as camadas do dielétrico dos circuitos integrados tem como funcionalidade fornecer os sinais elétricos aos dispositivos. O alumínio (Al), vem sendo utilizado como principal matéria prima dessas conexões. Os sistemas VLSI evoluíram de uma única camada de Al para múltiplos níveis de camadas intercaladas. Nas tecnologias mais recentes, o Cobre (Cu) e outros materiais dielétricos também vem sendo empregados para obter um melhor desempenho [111]. À medida que ocorre a miniaturização dos CIs, as interconexões são conseqüentemente reduzidas em tamanho, altura e seção transversal. Esse efeito conduz a densidades de corrente extremamente altas (na ordem de  $10^6 \text{ A/cm}^2$ ). Nessas densidades de corrente, a transferência momentânea entre elétrons e átomos metálicos torna-se extremamente importante [113].

Os íons de metal do condutor são expostos a duas diferentes forças produzidas pelo fluxo de corrente. A primeira é uma força eletrostática ( $F_{Field}$ ) decorrente da intensidade do campo elétrico na interconexão metálica. Uma vez que os íons de metal positivos são, até certo ponto, protegidos pelos elétrons do condutor, essa força pode ser ignorada na maioria dos casos. A segunda força ( $F_{Wind}$ ) é gerada pela transferência momentânea entre os elétrons de condução e os íons metálicos na rede cristalina. Essa força atua na direção do fluxo de corrente e, é a principal causa da eletromigração [58].

A eletromigração é caracterizada pelo movimento dos átomos metálicos (Al, AlCu ou Cu) em um condutor, devido ao efeito de  $F_{Wind}$ . Quando uma EM extensa ocorre, formam-se lacunas nas conexões e, eventualmente, pode conduzir a um defeito como curto-circuito ou circuito aberto [97]. Com isso, podem ser estabelecidos caminhos condutivos que antes não existiam e as rotas originais podem ser perdidas, conforme ilustrado na Figura 33. Essas lacunas (*Void*), diminuem a área da seção transversal dos circuitos, aumentando sua

resistência e densidade de corrente. O aumento da densidade de corrente e temperatura (devido ao sobreaquecimento do condutor), aumenta os efeitos da EM. Esse ciclo constante pode eventualmente conduzir a um defeito permanente do componente [111]. Geralmente, o aumento da resistência diminui a performance dos dispositivos abaixo de um nível aceitável antes do defeito catastrófico ocorrer [113].

Figura 33 – Imagem microscópica de uma falha de curto-circuito e circuito-aberto nas interconexões de um circuito microeletrônico.



Fonte: Adaptado de [112].

O acúmulo dos átomos metálicos na direção da corrente são denominados *Hillocks*, e a ausência dos mesmo são as lacunas (*Void*s). Enquanto os *Hillocks* podem ocasionar um curto-circuito entre duas interconexões adjacentes, as lacunas podem reduzir o fluxo de corrente em um determinado local, até o ponto da falha da interconexão [58].

## 6 SYSTEM-ON-CHIP (SoC)

### 6.1 Introdução

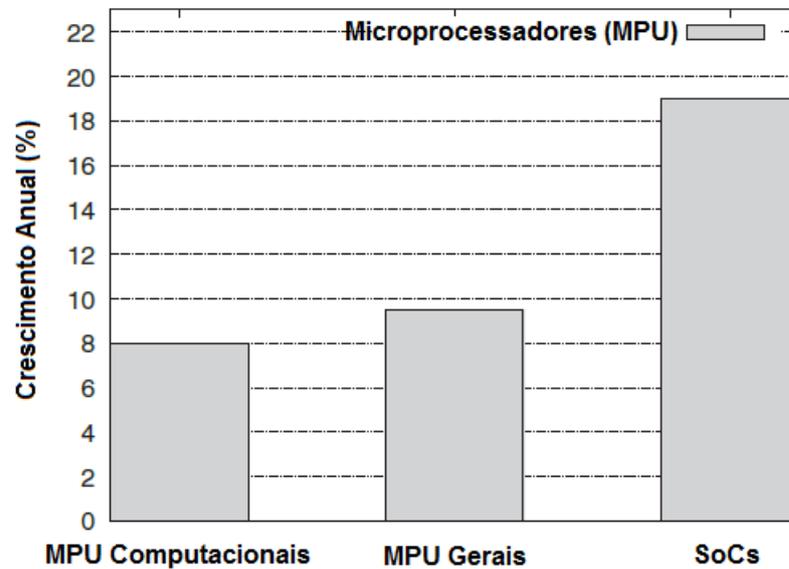
Os processadores, componentes chaves do funcionamento da maioria dos sistemas eletrônicos, estão se tornando cada vez mais compactos, à medida que seu desempenho aumenta. Essa miniaturização se deve ao fato de que, comparado a tecnologias antecessoras, as mais atuais apresentam um maior número de transistores por área do *Chip*, projeção extremamente precisa realizada por Gordon E. Moore em 1980 [102]. Esse avanço tecnológico, possibilitou a implementação de sistemas computacionais completos em um único circuito integrado, intitulados SoCs (em inglês, *Systems-on-Chip*).

De acordo com Martin & Chang [61], definimos um SoC como um complexo circuito integrado que agrega os principais elementos funcionais de um sistema completo em um único *Chip*. De modo geral, os SoCs são constituídos de um processador programável, memória interna e outros componentes de *Hardware*, também podendo se comunicar com outros circuitos e dispositivos periféricos. O desenvolvimento dos SoCs envolve componentes tanto de *Hardware* como de *Software*. Devido à sua capacidade de comunicação com o mundo externo, frequentemente são incorporados componentes analógicos, como diodos, capacitores e resistores.

Unidades de processamento como controladores embarcados (EC, em inglês *Embedded Controllers*), processadores de sinais digitais (DSP, em inglês *Digital Signal Processor*), durante muito tempo foram os tipos de processadores dominantes. Contudo, os dispositivos SoC apresentaram um crescimento econômico superior, conforme Figura 34, quando comparados a esses dispositivos, indicando uma mudança no paradigma tecnológico [29].

A principal motivação na utilização dos SoC é o avanço no processo tecnológico dos semicondutores de silício, que permitiram que um sistema completo fosse projetado em um ou em poucos dispositivos integrados [61]. A exigência atual, de um menor tempo de desenvolvimento de produtos sempre na tecnologia mais atual, é contornada através da utilização de blocos pré-projetados e pré-testados (em inglês, *IP Cores*), obtidos de desenvolvimento interno ou terceiros, a fim de aumentar a produtividade, diminuindo o período de desenvolvimento e, conseqüentemente, o tempo de lançamento dos produtos no mercado [10].

Figura 34 – Crescimento anual na demanda de microprocessadores e circuitos integrados em 2011.



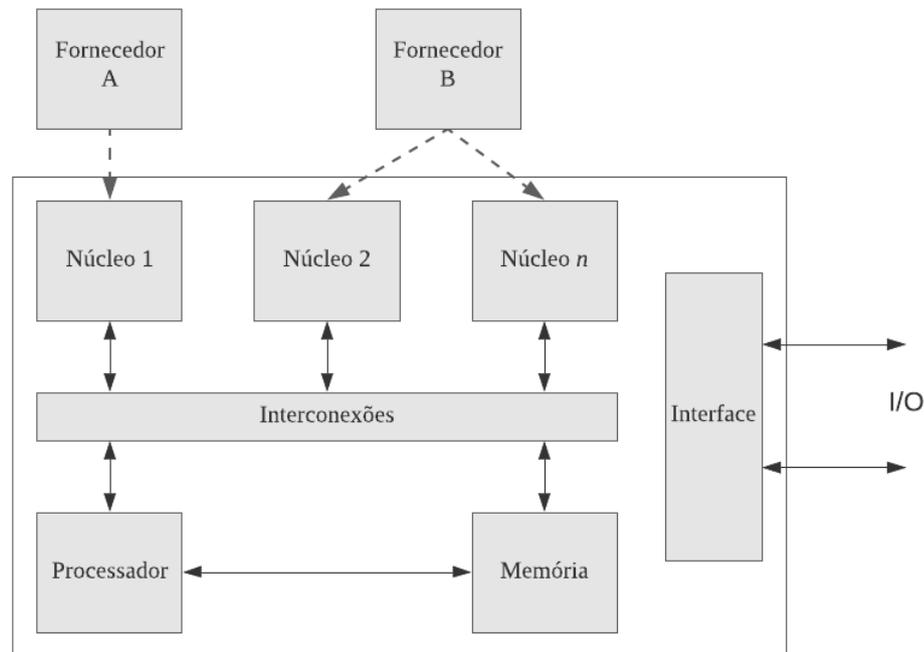
Fonte: Adaptado de [29].

Os *IP Cores* reutilizáveis podem compreender microprocessadores de arquitetura RISC (em inglês, *Reduced-Instruction-Set Computing*), sistemas de memória, controladores de portas I/O, conversor A/D (Analógico/Digital) e D/A (Digital/Analógico), Ethernet, entre outros periféricos. Dessa forma, o fluxo de projeto de um SoC envolve a reutilização de diversos blocos de *IP Cores* interconectados por uma topologia de comunicação em barramento que atendam aos requisitos do projeto, que incluem desempenho, potência, energia, temperatura, custos, confiabilidade e tempo de lançamento [13].

## 6.2 Estrutura

A Figura 35 ilustra uma arquitetura básica de um sistema SoC. Esses CIs podem incluir uma série de processadores diversos, interconectados a um ou mais elementos de memória com, eventualmente, uma matriz lógica reconfigurável. Usualmente, o SoC também pode apresentar circuitos analógicos para gerenciar os dados de sensores e conversores AD e/ou auxiliar transmissão de dados sem fio (*Wireless*) [29].

Figura 35 – Modelo básico de um sistema SoC.



Fonte: Adaptado de [10].

O sistema da Figura 35, apresenta uma arquitetura composta por *IP Cores*. Esses núcleos podem ser módulos de telecomunicações, processadores DSP, decodificadores, entre outros exemplos. Os núcleos são de distintos fornecedores (A, B) e estão integrados a uma estrutura de interconexão que pode ser um barramento ou uma rede intra-chip. A interface ao mundo externo I/O é utilizada para conexão de periféricos, como portas USB (em inglês, *Universal Serial Bus* ou UART (em inglês, *Universal Asynchronous Receiver/Transmitter*) [10].

O barramento (em inglês, *Buses*), é um dos meios de comunicação entre componentes mais utilizados no projeto de SoC. A simplicidade e eficiência no processo de transferência de dados através de barramentos, garantiu que, ainda nos dias atuais, continuem sendo o mecanismo de interconexão preferido. Componentes que iniciam e controlam a arquitetura de leitura/escrita dos dados, são denominados mestres (em inglês, *Master*). Os processadores e os DSP, são exemplos de componentes mestres que leem/escrevem dados de/em outros componentes do sistema. Cada mestre, é conectado ao barramento através de um sinal oriundo da porta mestre. Os componentes que simplesmente respondem requisições dos mestres, são denominados escravos (em inglês, *Slave*) e apresentam suas respectivas portas escravas [80]. O bloco de memória da Figura 35, é um exemplo de um componente escravo,

que pode ler dados e escrever em outros componentes (*e.g.* DSP), mas não pode iniciar a transmissão.

Alguns componentes são denominados híbridos, ou seja, apresentam portas mestre e escravas. Um exemplo dessa classe de componente são os DMA (em inglês, *Direct Memory Access*), que apresenta portas escravas que permitem ao processador escrever e ler o arquivo de configuração do registro, a fim de inicializá-lo e configurá-lo. Uma vez configurado, o DMA utiliza sua porta mestre para iniciar e controlar a transferência de dados entre os blocos de memória do sistema SoC [61][80].

### 6.3 Características Gerais

O conhecimento da relação entre custo e performance é fundamental para o desenvolvimento de qualquer sistema. Os SoCs devem otimizar o consumo de energia, uso de área, comunicação, posicionamento dos componentes entre outros fatores. Essa otimização é um dos principais objetivos no desenvolvimento desses sistemas [80].

No projeto de qualquer sistema SoC, é necessário levar em conta cinco considerações fundamentais denominadas na literatura como "Os Cinco Grandes Problemas no Projeto de System-on-Chip" (em inglês, "*Five Big Issues in System-on-Chip Design*"). Essas considerações de projeto são [29]:

1. Tempo;
2. Consumo de área do chip (*Die Area*);
3. Dissipação de Potência;
4. Confiabilidade;
5. Configurabilidade.

A primeira consideração é o **tempo**, que inclui mecanismos básicos de segmentação de instruções (*Pipeline*) utilizados para acelerar a execução da instrução e o tempo de ciclo, como um parâmetro de avaliação da performance do programa [29]. Os *Pipelines* são frequentemente utilizados em GPUs (em inglês, *Graphics Processing Unit*) e processadores de arquitetura RISC, mas também são aplicados em aplicações específicas no contexto de SoCs como processamento digital de sinais e manipulações de multimídia [80].

A área ocupada pelo circuito integrado (***Die Area***), influencia diretamente o custo da fabricação. Conjuntos de instruções que exigem maior área de implementação são menos

úteis do que aqueles que utilizam menos, a não ser que possam fornecer um desempenho proporcionalmente melhor. Essa relação de custo-desempenho a longo prazo é utilizada como base na maioria das decisões de *design* de projeto [29].

A **dissipação de potência**, afeta diretamente os aspectos de performance [29]. Os SoCs são otimizados para minimizar o consumo de energia utilizada para realizar suas funções. Um dos principais requisitos de projeto é uma baixa dissipação de potência, dado o fato que muitas das tecnologias que utilizam os SoCs dispõem de baterias (exemplo de *Smartphones* e *Tablets*) e a autonomia é um dos critérios fundamentais.

O aspecto da **confiabilidade** começou a ter maior relevância conforme os efeitos decorrentes da miniaturização de novas tecnologias. Quanto menor o tamanho dos circuitos, maior o surgimento da ocorrência de falhas. Por fim, a **configurabilidade** permitiu aos projetistas uma oportunidade adicional de compensar o custo de *designs* recorrentes e não recorrentes, através da programação *On-Field*, fornecendo recursos que são padronizados na fabricação enquanto personalizados na aplicação [80].

As aplicações anteriormente descritas, fornecem uma estrutura para analisar os requisitos dos SoCs para que os mesmos possam ser traduzidos em especificações de projeto. Dependendo do tipo de aplicação, alguns critérios podem ter uma maior prioridade comparados aos demais. Conforme citado em Flynn & Luk [29], podemos destacar os seguintes exemplos:

- Sistemas de alto desempenho otimizam o tempo em detrimento ao consumo de energia (e provavelmente da configurabilidade);
- Sistemas de baixo custo financeiro priorizam a redução do consumo de área, a reconfiguração e a reutilização do *design* do projeto (e talvez o baixo consumo de energia);
- Dispositivos *wearable* priorizam o baixo consumo de energia, uma vez que a fonte de alimentação determina o peso do sistema. Sistemas como *smartphones*, frequentemente têm restrições em tempo real, logo seu desempenho não pode ser ignorado;
- Sistemas embarcados em aplicações críticas priorizam a confiabilidade, com a vida útil do projeto (configurabilidade) e desempenho como importantes considerações secundárias;

## 6.4 Benchmarks

### 6.4.1 Introdução

O projeto de sistemas SoCs é um processo complexo que envolve um número surpreendente de escolhas e planejamento [19]. O interesse no conhecimento da interação entre as linguagens de programação e a arquitetura dos sistemas computacionais se tornou uma importante métrica de projeto. A arquitetura computacional deve executar eficientemente as especificações dos programas. Essa capacidade é, na maioria das vezes, mensurada por um programa denominado *benchmark* [108].

A utilização do *benchmark* visa mensurar a performance e desempenho de sistemas computacionais através da execução de um programa que possa avaliar as características de um sistema de *hardware*, estimulando os dispositivos testados a um certo tipo de comportamento desejado, avaliando seu comportamento em cenários específicos [109]. Há um conceito bastante amplo do termo *Benchmark*, denotando um conjunto de programas que também utilizam do sistema de I/O e o sistema operacional no geral. Entretanto, como o principal objetivo desse projeto envolve o estudo da confiabilidade dos componentes de *hardware*, essa área não será abordada [108]. Na literatura, são encontrados diversos algoritmos de *Benchmark* com os mais variados propósitos. Entre os algoritmos que monitoram a velocidade do *hardware* do sistema, destacam-se:

1. Whetstone;
2. Dhrystone.

Essa dissertação, utiliza o algoritmo de Dhrystone em sua metodologia. Dessa forma, programas que avaliam áreas mais gerais como performance de sistemas operacionais, não serão abordados nesse estudo.

### 6.4.2 Algoritmo de Dhrystone

O algoritmo de Dhrystone elaborado em 1984, por Reinhold P. Weicker, é possivelmente o software de análise de desempenho mais utilizado na indústria [88]. Anterior a sua publicação, o *benchmark* mais utilizado era o algoritmo de Whetstone, que em sua forma

original, foi escrito em ALGOL 60. O ALGOL 60 foi a primeira linguagem de programação estruturada de alto nível voltada para aplicações científicas [26].

Desenvolvido em 1972, o algoritmo de Whetstone avaliava principalmente a performance dos sistemas na realização de operações aritméticas em ponto flutuante (*float*). Contudo, Weicker constatou que o algoritmo não era adequado para representar as características das linguagens de programação mais modernas da época. Baseando-se em dados estatísticos, o autor constatou a necessidade de desenvolver um novo *benchmark*[108].

A escolha do nome é um trocadilho com o então popular Whetstone, visto que o Dhrystone não contém operações em ponto flutuante. Devido à natureza dos computadores da época, Weicker focou no desenvolvimento em operações inteiras. Inicialmente, o *benchmark* foi projetado para oferecer aos usuários um ponto de referência para o desempenho de aplicações típicas; entretanto, desde a comparação do desempenho do MIPS (em inglês *Microprocessor without Interlocked Pipeline Stages*) entre as arquiteturas RISC (em inglês, *Reduced Instruction Set Computer*) e CISC (em inglês, *Complex Instruction Set Computer*), o resultado se tornou muito conveniente [108].

O algoritmo modela uma aplicação com dados típicos de operações matemáticas e outros tipos de instruções, predominando o desempenho em números inteiros com pouco, ou nenhum, cálculo em ponto flutuante [109]. O programa retorna um valor em Dhrystone per Seconds, que indica o número de vezes por segundo que o processador é capaz de executar o conjunto de instruções. O desempenho do processador é comparado ao de uma máquina de referência, o que é considerado uma vantagem em relação a utilização direta da métrica MIPS [108]. Embora a linguagem de programação utilizada fosse Ada, ele foi projetado de uma forma que fosse possível o desenvolvimento de novas versões em diferentes linguagens de programação. Como algoritmo é bastante pequeno, o código e, em grande maioria também os dados, permanecem na memória cache o tempo todo, considerando que o cache apresente um tamanho mínimo adequado ao código.

O número de interações de Dhrystone realizadas em um segundo (DPS) é calculado conforme a Equação 5, onde NOR (em inglês, *Number of Runs*) é o número de iterações presentes em *loop*. Nesse estudo, foram adotadas 300.000 interações.

$$DPS = \frac{1}{TempodeExecucao} \times NOR \quad (5)$$

O número de MIPS de Dhrystone (DMIPS) é obtido dividindo o resultado da Equação 5 por 1.757, conforme Equação 6. Essa constante é o resultado do teste de Dhrystone em um computador VAX 11/780, que é considerado um sistema de 1 MIPS.

$$DMIPS = \frac{DPS}{1,757} \quad (6)$$

Como os processadores variam muito em velocidade e eficiência, é interessante obter um resultado em função da frequência do microprocessador. Esse resultado facilita a normalização dos valores entre os microprocessadores, mostrando a eficácia de seus núcleos (*Cores*) ao invés do quão rápido o código pode ser executado. Para determinar esse resultado (DMIPS/MHz), basta dividir o resultado da Equação 6 pela frequência de operação do microprocessador (em MHz), conforme Equação 7.

$$DMIPS/MHz = \frac{DMIPS}{Frequencia} \quad (7)$$

## Parte II

### Metodologia

## 7 PLATAFORMA DE ESTUDO DE CASO

### 7.1 Introdução

Nesse capítulo serão apresentados os circuitos elaborados para os testes de EMI e envelhecimento, assim como os demais componentes que compõem o sistema.

### 7.2 Placas para Teste

#### 7.2.1 Microcontrolador

O projeto foi planejado visando através de um SoC representativo, desenvolver uma metodologia de testes aplicáveis a outros CIs de diferentes modelos e fabricantes. Após algumas pesquisas e avaliações, foi optado por utilizar o microcontrolador **STM32F303k8** do fabricante ST Microelectronics. A escolha desse sistema se deve ao fato do mesmo apresentar um uso bastante difundido no mercado de semicondutores, assim como a disponibilidade do projeto através de amostras concedidas pelo próprio fabricante ao curso de Engenharia da Escola Politécnica da PUCRS.

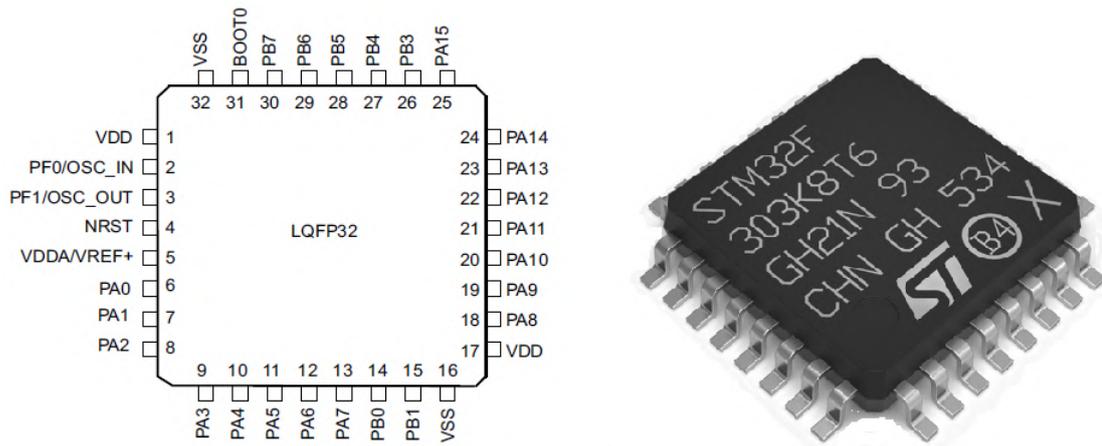
O circuito STM32F303k8 é composto de um microprocessador Arm Cortex-M4 de 32 bits de alto desempenho, operando a uma frequência máxima de 72MHz, incorporando uma unidade de ponto flutuante (FPU, em inglês *Float Point Unit*). O CI ainda apresenta memórias justapostas de alta velocidade, até 62kBytes de memória Flash e 12kBytes de memória SRAM (em inglês, *Static Random-Access Memory*). O microcontrolador é fabricado em pacotes de 32 e 64 pinos. Nesse projeto foi utilizado o modelo LQFP32, de 32 pinos, conforme Figura 36. Operando em uma ampla faixa de temperatura (-40°C até +105°C), apresenta um conjunto abrangente de modos de economia de energia permitindo o projeto de aplicações de baixo consumo [68].

Destacam-se no *datasheet* do componente, as seguintes especificações de operação [68]:

- Tensão de alimentação (DC): 2,0 a 3,6 V;
- Frequência de operação: até 72MHz (programável);
- Nível de tecnologia CMOS: 90nm;

- Interfaces de comunicação: USART (em inglês, *Universal Synchronous Asynchronous Receiver Transmitter*), I2C (em inglês, *Inter-Integrated Circuit*), SPI (em inglês, *Serial Peripheral Interface*) e CAN (em inglês, *Controller Area Network*).

Figura 36 – Esquemático do microcontrolador STM32F303k8.



Fonte: Adaptado de [68].

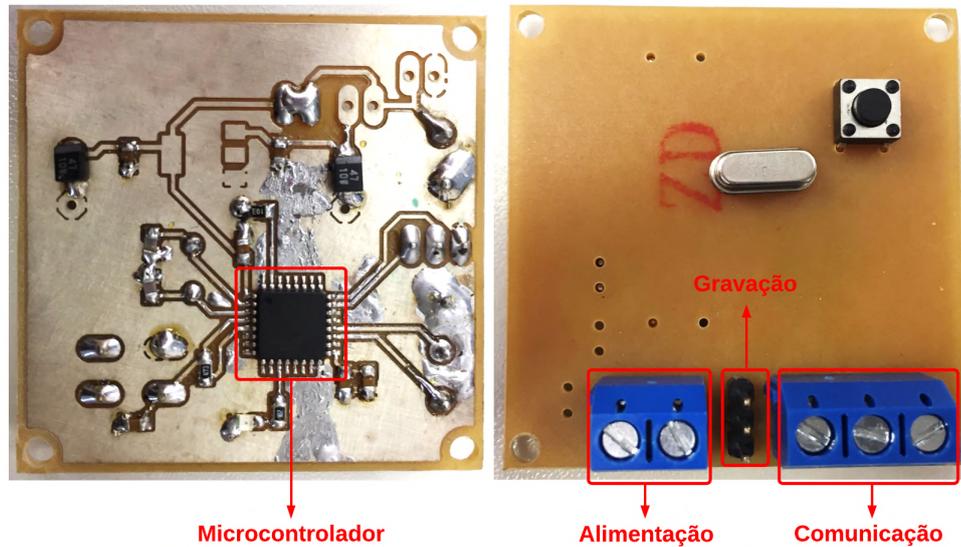
A fim de minimizar os efeitos do envelhecimento em diferentes componentes do sistema, o que resultaria em uma complexa análise, a PCI foi elaborada visando o uso mínimo de componentes (*Chipset* mínimo). O circuito da Figura 37 é constituído do microcontrolador com um circuito de *reset*, oscilador, conectores e capacitores de desacoplamento de acordo com o *datasheet* do fabricante. Esses componentes são descritos de forma mais detalhada na Tabela 6.

Tabela 6 – Componentes da PCI do microcontrolador.

Componente	Especificações	Quantidade
Conector Borne KRE	2 Vias	1
Conector Borne KRE	3 Vias	1
Chave Táctil	-	1
Barra de Pinos	Macho	3
Cristal Oscilador	20MHz	1
Capacitor de Tântalo	47uF - 10W	2
Capacitor Cerâmico	10uF - 25V	8
Resistor	10kOhm	1
Resistor	1kOhm	1
Resistor	47kOhm	1
Led	Verde	1

Fonte: Autor.

Figura 37 – PCI microcontrolador.



Fonte: Autor.

O barramento de pinos macho está interconectado a interface SWD (em inglês, *Serial Wire Debug*) do microcontrolador. Esse modo de comunicação é uma alternativa à interface JTAG (em inglês, *Joint Test Action Group*) padrão. Utilizando apenas dois pinos, fornece a mesma funcionalidade de depuração que JTAG sem penalidade de desempenho e apresenta recursos de rastreamento de dados [46]. Essa interface é utilizada para instalar o *firmware* contendo o *benchmark* de Dhrystone.

O conector KRE de 3 vias é interconectado a interface de comunicação UART. Essa interface é usada para conectar o computador via porta serial com o circuito do microcontrolador, permitindo assim a visualização dos dados enviados do circuito pela serial e mostrando-os na tela do computador (THC, em inglês *Test Host Computer*). O conector de 2 vias é utilizado para alimentação do circuito através de uma fonte de tensão externa. O LED foi utilizado como indicativo visual alternativo de que o circuito está em operação, cintilando conforme os dados são enviados ao computador via porta serial.

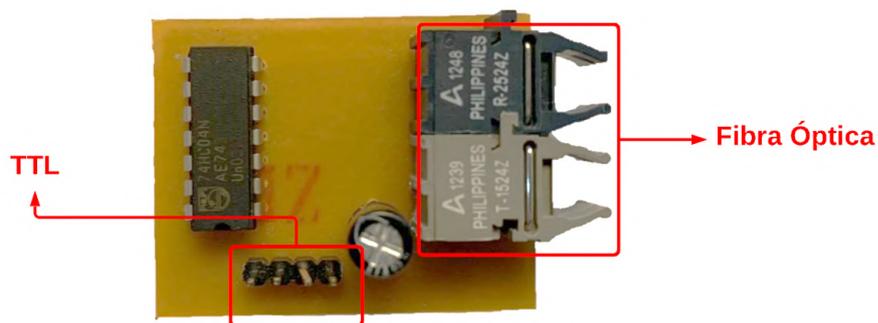
### 7.2.2 Conversor TTL para Fibra Óptica

Inicialmente, o projeto do sistema foi concebido visando a comunicação entre o circuito e o computador através de uma interface de comunicação UART, via porta serial. Entretanto, durante os ensaios iniciais para validação do circuito, foi verificado

que ao realizar os testes de injeção de EMI, os campos eletromagnéticos acabavam influenciando diretamente no conector do computador, gerando um falso positivo de que o microcontrolador apresentava falha, quando na verdade era oriundo da própria conexão. Dessa forma, optou-se por utilizar a comunicação através de fibra óptica a fim de evitar o ruído induzido nos cabos de comunicação.

O microcontrolador opera com uma lógica TTL (em inglês, *Transistor-Transistor Logic*). Essa lógica, bastante difundida em CIs, é denominada dessa forma devido as funções de porta lógica serem realizadas através de transistores [69]. Diferentemente dos condutores metálicos, que transmitem os dados por impulsos elétricos, a fibra óptica os transmite por sinais luminosos, permitindo maior velocidade na comunicação e eliminando o efeito da EMI. Portanto, para se comunicar do microcontrolador com o computador, foi necessário utilizar um circuito conversor TTL para fibra óptica.

Figura 38 – Circuito conversor TTL para fibra óptica.



Fonte: Autor.

A PCI conversora da Figura 38, foi elaborado utilizando os circuitos apresentados na Tabela 7, indicada abaixo:

Tabela 7 – Componentes do circuito conversor TTL para fibra óptica.

Componente	Fabricante/Modelo	Especificações
Transmissor de Fibra Óptica	Avago Technologies - HFBR-1524Z	1MBPS
Receptor de Fibra Óptica	Avago Technologies - HFBR-2524Z	1MBPS
Inversor TTL	Philips - 74HC04	-
Drive de Potência	Texas Instruments - SN75451BD	-

Fonte: Autor.

### 7.2.3 Conversor Fibra Óptica para USB

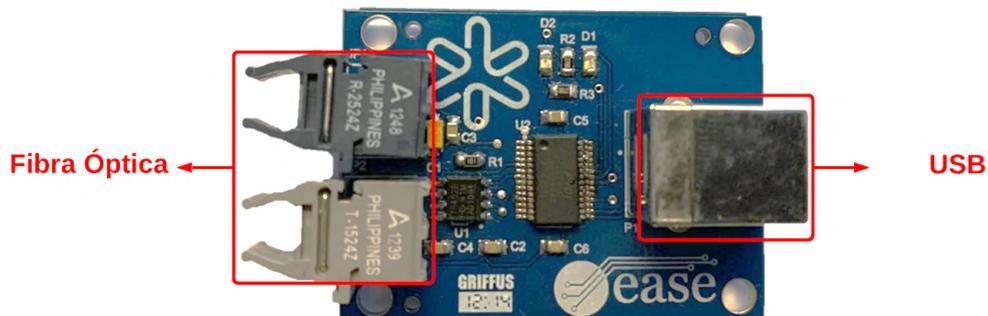
Para realizar a conexão entre os circuitos e o computador via fibra óptica, foi necessário realizar uma nova conversão para uma entrada do tipo USB, visto que os computadores não possuem o sistema de comunicação via fibra óptica. Portanto, foi utilizado o circuito conversor da Figura 39. Esse circuito foi elaborado e validado pelo Laboratório de Excelência em Eletrônica, Automação e Sistemas Embarcados de Alta Confiabilidade da PUCRS (EASE), sendo já utilizado anteriormente em [11]. O circuito é composto pelos componentes indicados na Tabela 8.

Tabela 8 – Componentes do circuito conversor fibra óptica para USB.

Componente	Fabricante/Modelo	Especificações
Transmissor de Fibra Óptica	Avago Technologies - HFBR-1524Z	1MBPS
Receptor de Fibra Óptica	Avago Technologies - HFBR-2524Z	1MBPS
Conversor Serial para USB	FTDI Chip - FT232RL	-
Drive de Potência	Texas Instruments - SN75451BD	-

Fonte: Adaptado de [11].

Figura 39 – Circuito conversor fibra óptica para USB.

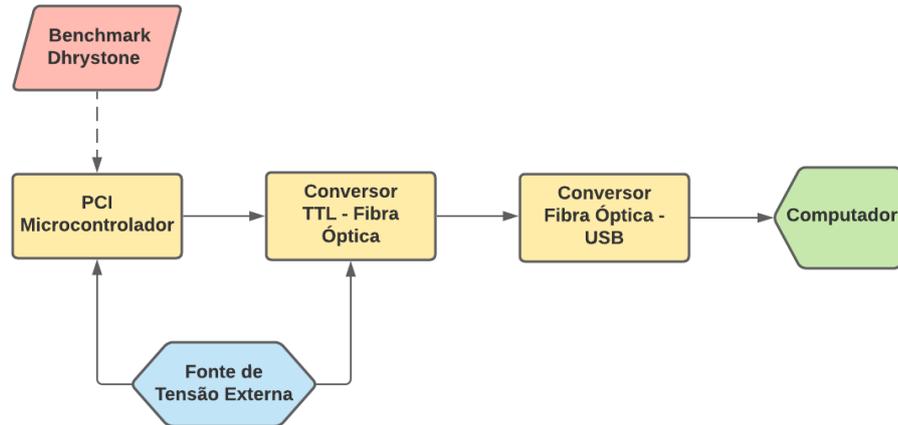


Fonte: Autor.

### 7.2.4 Visão Geral do Circuito de Teste

A Figura 40 expõe o diagrama de blocos que exemplifica o funcionamento do circuito de testes.

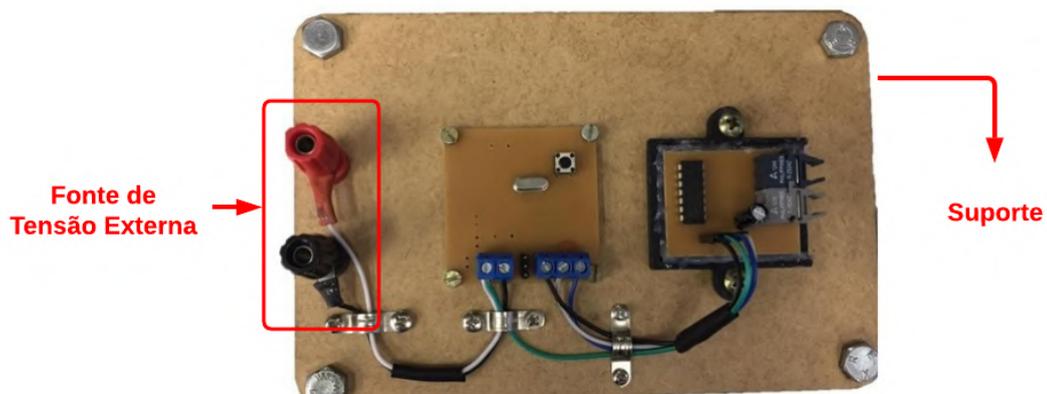
Figura 40 – Diagrama de blocos do circuito de testes em operação.



Fonte: Autor.

Considerando que os testes de EMI são realizados em diferentes intervalos de tempo, para uma maior reprodutibilidade e confiabilidade desses resultados, os circuitos foram fixados em um suporte. Esse mecanismo tem como objetivo, estabelecer que as condições de repetibilidade estarão o mais próximo possível das anteriormente executadas, inclusive a posição dos condutores. O circuito fixado no suporte é exposto na Figura 41. A fibra óptica e o conversor para USB, ficam fixados próximo ao computador utilizado para leitura dos dados.

Figura 41 – Plataforma de testes.



Fonte: Autor.

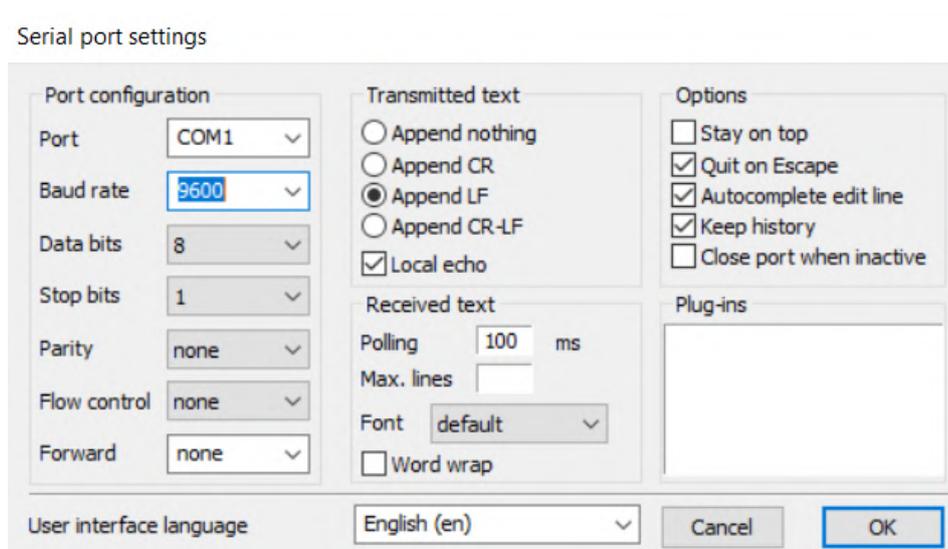
### 7.3 Software de Controle

Para controle do funcionamento do circuito, é necessário a utilização de um *software* de comunicação serial no computador. Programas com essa funcionalidade são encontrados em grande quantidade para *download* na internet. Nesse estudo, optou-se por utilizar o programa **Termite RS-232 Serial**, versão 3.4, desenvolvido pela empresa Compuphase. Sua preferência é devido ao mesmo ser disponibilizado de forma gratuita para instalação e uma simples interface de operação. Algumas das telas desse *software* são ilustradas na Figura 42 e Figura 43.

A Figura 42 apresenta a tela de configuração da comunicação serial, tais como porta serial, velocidade de transmissão e paridade. Antes do início da transmissão, é necessário realizar esse ajuste de acordo com os parâmetros definidos para operação do sistema. Foi utilizada a seguinte configuração:

- Baud rate: 9600 bps;
- Data bits: 8;
- Stop bits: 1;
- Paridade: *None*.

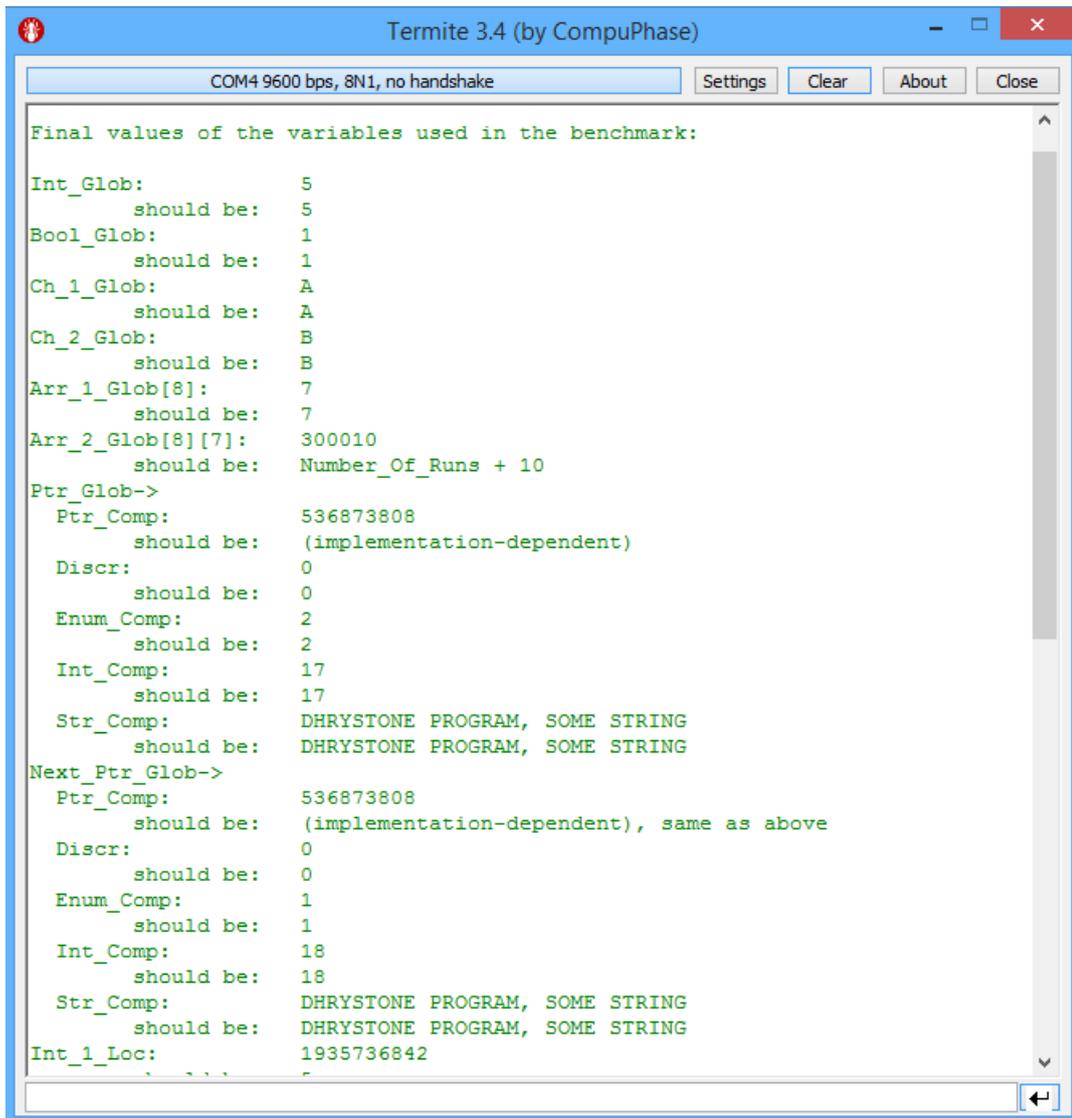
Figura 42 – Tela de configuração da comunicação serial do software de controle.



Fonte: Autor.

Na Figura 43 podemos observar a tela de exibição dos dados enviados pelo microcontrolador conforme resultados do *benchmark*. Clicando no botão "Connect", a transmissão é iniciada simultaneamente e os dados exibidos no respectivo campo.

Figura 43 – Tela de monitoramento da transmissão do software de controle.



The image shows a terminal window titled "Termite 3.4 (by CompuPhase)". The window has a status bar at the top indicating "COM4 9600 bps, 8N1, no handshake" and buttons for "Settings", "Clear", "About", and "Close". The main content area displays the following text:

```

Final values of the variables used in the benchmark:

Int_Glob:          5
    should be:    5
Bool_Glob:         1
    should be:    1
Ch_1_Glob:         A
    should be:    A
Ch_2_Glob:         B
    should be:    B
Arr_1_Glob[8]:     7
    should be:    7
Arr_2_Glob[8][7]: 300010
    should be:    Number_Of_Runs + 10
Ptr_Glob->
  Ptr_Comp:        536873808
    should be:    (implementation-dependent)
  Discr:           0
    should be:    0
  Enum_Comp:       2
    should be:    2
  Int_Comp:        17
    should be:    17
  Str_Comp:        DHRYSTONE PROGRAM, SOME STRING
    should be:    DHRYSTONE PROGRAM, SOME STRING
Next_Ptr_Glob->
  Ptr_Comp:        536873808
    should be:    (implementation-dependent), same as above
  Discr:           0
    should be:    0
  Enum_Comp:       1
    should be:    1
  Int_Comp:        18
    should be:    18
  Str_Comp:        DHRYSTONE PROGRAM, SOME STRING
    should be:    DHRYSTONE PROGRAM, SOME STRING
Int_1_Loc:         1935736842
  
```

Fonte: Autor.

## 8 PLATAFORMAS DE TESTE

### 8.1 Introdução

Para ensaios de envelhecimento e EMI foi utilizado a estrutura e equipamentos do Laboratório Especializado em Eletroeletrônica da PUCRS (LABELO). O LABELO é um complexo de laboratórios localizado no campus da universidade, atuando com calibração de instrumentos de medição e ensaios da conformidade para certificação de produtos. Em seu complexo, está localizado o Laboratório de Compatibilidade Eletromagnética, que dispunha de toda a estrutura necessária a execução dos ensaios dessa dissertação.

### 8.2 Modos de Operação

Antes das validações das plataformas de teste, foi necessária especificar quais os modos de operação do dispositivo sob ensaio. Pretendendo analisar o maior intervalo dentro das especificações apresentadas na Seção 7.2.1, delimitou-se a operação do sistema em oito diferentes modos, especificados na Tabela 9.

Tabela 9 – Condições de operação dos circuito sob teste.

Modo de Operação	Tensão de Alimentação (V)	Frequência de Operação (MHz)
A	3,3	10
B		35
C		70
D		100
E	$V_{Min}$	10
F		35
G		70
H		100

Fonte: Autor.

A tensão de 2,3V é correspondente ao valor mínimo de alimentação indicado nas especificações. Apesar do *datasheet* indicar como 2V, sem testes iniciais o circuito do microcontrolador somente entrou em operação a partir desse valor. A tensão de 3,3V correspondente ao valor típico, indicado no *datasheet*, para alimentação do microcontrolador.

Conforme visto na Seção 7.2.1, o microcontrolador tem a capacidade de funcionar com uma frequência de operação de até 72MHz. Portanto, as frequências de operação

designadas para teste utilizam valores típicos de frequência que compreendam toda essa faixa. A frequência de 100MHz foi estabelecida para compreender o funcionamento do circuito quando submetido a uma operação de *overclocking*, muito comum em diversas aplicações. O *overclocking* é o processo de forçar um sistema a operar em uma frequência de operação maior do que a especificada.

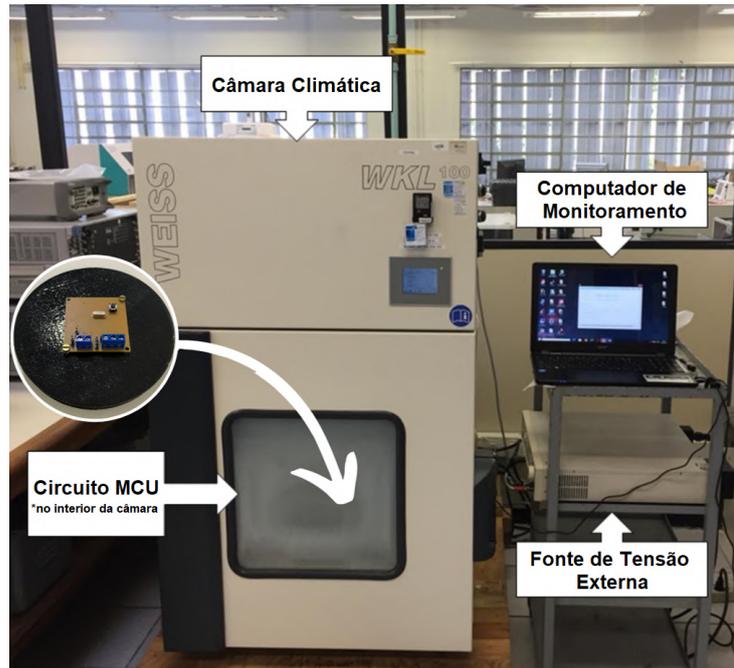
Para garantir que o processador execute o código de Dhrystone a partir de uma condição bem conhecida e sem falhas durante a injeção de ruído, o *watchdog on-chip* foi ajustado para reiniciar o processador no início de cada execução de código, em um ciclo indefinido.

### 8.3 Plataforma de Envelhecimento

Os ensaios acelerados, para avaliação da confiabilidade do microcontrolador, foram realizados utilizando uma câmara climática Weiss Technik modelo WKL-100, exibida na Figura 44. Esse equipamento apresenta a capacidade de controle da temperatura com uma taxa de elevação de  $3,5^{\circ}\text{C}/\text{min}$  e um desvio máximo de  $1,5^{\circ}\text{C}$ .

A faixa de operação do equipamento é de  $-40^{\circ}\text{C}$  até  $+180^{\circ}\text{C}$ , atendendo aos requisitos dos valores definidos conforme as normas técnicas de envelhecimento apresentadas. Para o ensaio de alta temperatura, foi adotado a temperatura de  $+120^{\circ}\text{C}$ , de acordo com os parâmetros da MIL-STD-883H. Para os ciclos térmicos, definiu-se os limites de  $-40^{\circ}\text{C}$  a  $+115^{\circ}\text{C}$ , conforme estabelecido na norma técnica JESD22-A104.

Figura 44 – Plataforma de teste de envelhecimento.



Fonte: Autor.

Em paralelo ao envelhecimento térmico, é efetuado o envelhecimento elétrico através da sobretensão na entrada da alimentação do circuito. Para essa etapa, foi utilizado uma fonte de tensão DC ajustável Chroma, modelo 62006P-30-80. O equipamento apresenta valores de tensões estáveis em uma faixa de 0V a 30V, com precisão de 0,001V.

Visto que o objetivo dessa dissertação é analisar a confiabilidade do SoC, somente a PCI do microcontrolador é submetida ao processo envelhecimento. Os demais circuitos são posicionados no exterior da câmara, evitando que tenham suas funcionalidades afetadas pelo processo de envelhecimento. Para operação do microcontrolador, foi utilizada a seguinte configuração de ensaio:

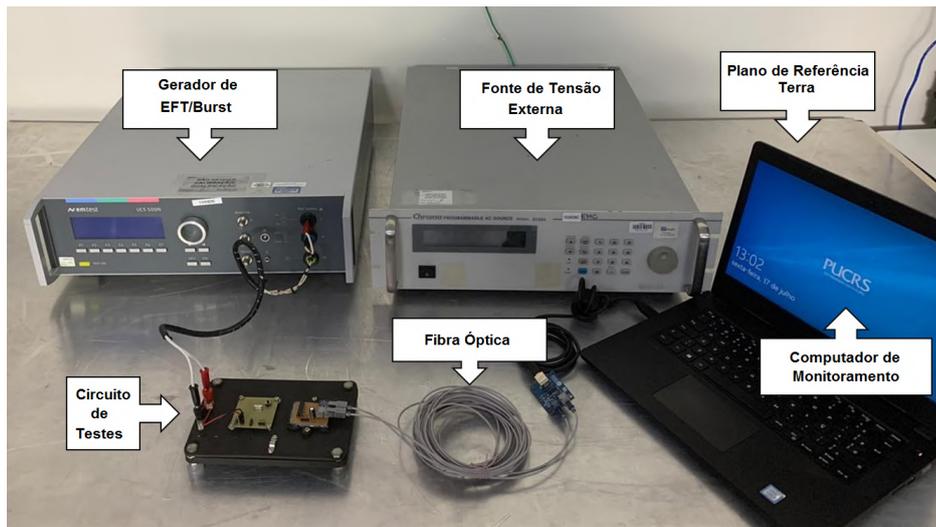
- Tensão de alimentação: 5,4V (sobretensão);
- Frequência de operação: 70MHz.

A tensão de alimentação ( $V_{CC}$ ) utilizada durante o teste de envelhecimento apresenta um valor de 150% da máxima tensão de operação declarada no *datasheet* do microcontrolador (3,6V). Em [8], os autores utilizam uma abordagem de envelhecimento elétrico com uma tensão superior em 110%; entretanto, buscando acelerar o processo, optou-se pela abordagem de 150% da tensão máxima, método apresentada com resultados satisfatórios pelos autores em [57].

## 8.4 Plataforma de EFT/Burst

A configuração do ensaio de EMI via injeção de EFTs nas linhas de alimentação, foi elaborada de acordo com os requisitos estabelecidos na IEC 61000-4-4 e apresentados anteriormente na Seção 3.7.1. A Figura 45 exhibe os equipamentos utilizados.

Figura 45 – Plataforma de teste de EFT/Burst.



Fonte: Autor.

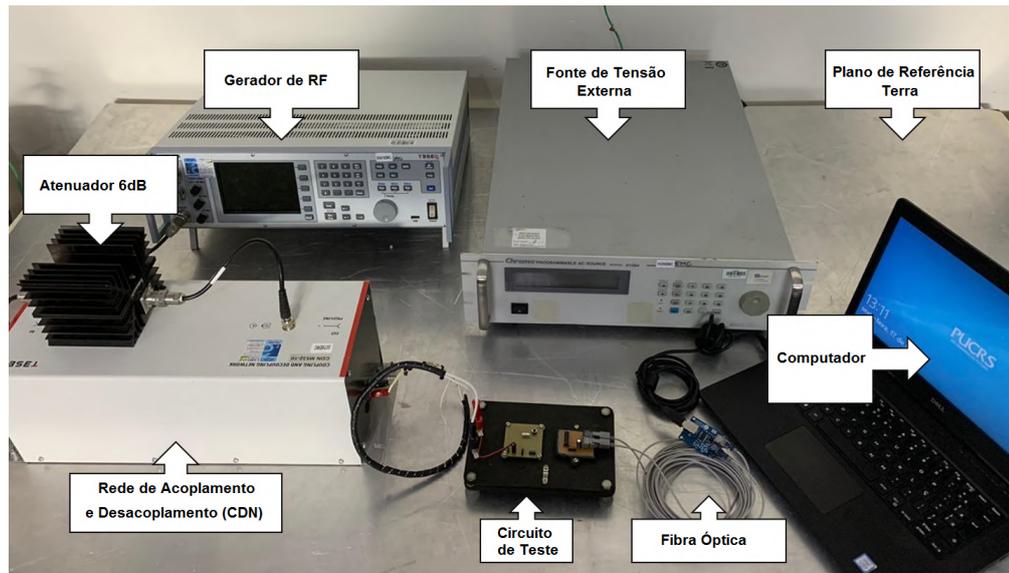
O gerador de EFT/Burst utilizado foi o modelo 500N5 da EM TEST, que foi fabricado atendendo aos requisitos da IEC 61000-4-4. Esse equipamento, apresenta a CDN internamente, evitando a conexão externa. Durante a execução do ensaio, o circuito de testes foi colocado sobre um suporte isolante de altura 10cm e o computador colocado fora do plano de referência, a uma distância significativamente longa para evitar o máximo possível de interferências. São utilizados ferrites na entrada USB do computador para garantir a eficiência do ensaio. Os testes foram executados em temperatura ambiente controlada em 23°C e umidade relativa do ar a 55%. Antes do início de cada ensaio, é realizada uma verificação do funcionamento, efetuando a medição dos parâmetros da respectiva curva normativa.

Os níveis de ensaio foram baseados nos limites estabelecidos na Tabela 2. Entretanto, visando compreender o funcionamento do circuito em diferentes níveis de ensaio, optou-se por utilizar toda a faixa de tensão de pico do gerador de EFT/Burst, variando de **0.2kV a 4kV** em ambas as polaridades da alimentação. A frequência dos pulsos utilizada foi de 5kHz e o tempo de ensaio em 1 minuto. O teste foi executado em todos os modos de operação indicados na Tabela 9.

## 8.5 Plataforma de RF Conduzido

Conforme os requisitos de ensaio estabelecidos na norma IEC 61000-4-6 e descritos na Seção 3.7.2, foi elaborada a configuração do ensaio utilizando o método por CDN. A Figura 46 exibe os equipamentos utilizados durante a execução dos ensaios.

Figura 46 – Plataforma de teste de campos de RF conduzidos.



Fonte: Autor.

Para execução dos ensaios, foi utilizado o gerador TESEQ modelo NSG 4070C, que é fabricado conforme os requisitos da IEC 61000-4-6. A CDN utilizada foi o modelo M532-10 e o atenuador é o modelo ATN 6025 de 25W, ambos do mesmo fabricante do gerador. De forma similar ao ensaio de EFT, o circuito de testes também foi colocado sobre o suporte isolante e as demais características anteriormente descritas, como posição do computador e condições ambientais, foram mantidas.

Baseado nos níveis de ensaio normativos, indicados na Tabela 3, definiu-se os níveis de tensão em **1V, 2V, 3V e 4V**, variando a faixa de frequência entre **150kHz até 80MHz** com um incremento de 1%. O teste foi executado em todos os modos de operação descritos na Tabela 9. Devido ao teste apresentar uma faixa de frequências muito ampla, a mesma foi delimitada em diferentes intervalos, possibilitando identificar a ocorrência do defeito em um intervalo específico. Dessa forma, a ocorrência do erro fica atrelada ao intervalo e não a frequência, tornando mais precisa a identificação do momento (valor de frequência) que ocorreu o defeito. A Tabela 10 apresenta a delimitação do intervalo de frequências de teste.

Tabela 10 – Faixa de frequências de teste de EMI através de campos de RF conduzidos.

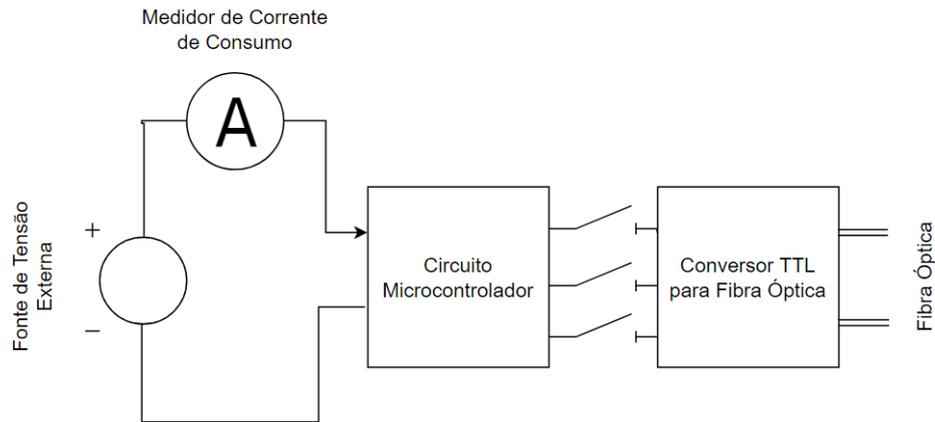
Intervalo de Teste (MHz)	Faixa	Frequência Inicial (MHz)	Frequência Final (MHz)
0,15 - 80	1	0,15	0,50
	2	0,50	1,00
	3	1,00	1,50
	4	1,50	2,00
	5	2,00	3,00
	6	3,00	4,00
	7	4,00	5,00
	8	5,00	6,00
	9	6,00	7,00
	10	7,00	8,00
	11	8,00	9,00
	12	9,00	10,00
	13	10,00	20,00
	14	20,00	30,00
	15	30,00	40,00
	16	40,00	50,00
	17	50,00	60,00
	18	60,00	70,00
	19	70,00	80,00

Fonte: Autor.

## 8.6 Plataforma de Medição de Corrente de Consumo e Tensão de Core

O microcontrolador apresenta uma corrente de consumo de valor pequeno, quando comparado a outros sistemas eletrônicos. De acordo com o *datasheet* do componente, a corrente de consumo máxima da alimentação ( $I_{DD}$ ) é de aproximadamente 78mA (com uma frequência de operação de 72MHz, todos os periféricos habilitados e uma temperatura ambiente de 25°C). Portanto, para mensurar esse parâmetro foi necessário a utilização de um instrumento preciso, com capacidade de monitorar as menores variações sucedidas. Nessa etapa, foi utilizado o wattímetro digital Yokogawa modelo WT-210, com uma precisão de 0,2% da leitura nas escalas de correntes utilizadas. Como o objeto de estudo é somente o microcontrolador, a medição é realizada somente no circuito do microcontrolador (Figura 37), evitando que os demais circuitos ocasionem um aumento de corrente devido à sua alimentação utilizar a mesma fonte de tensão externa. A Figura 47 ilustra o processo de medição da corrente de consumo do circuito do microcontrolador.

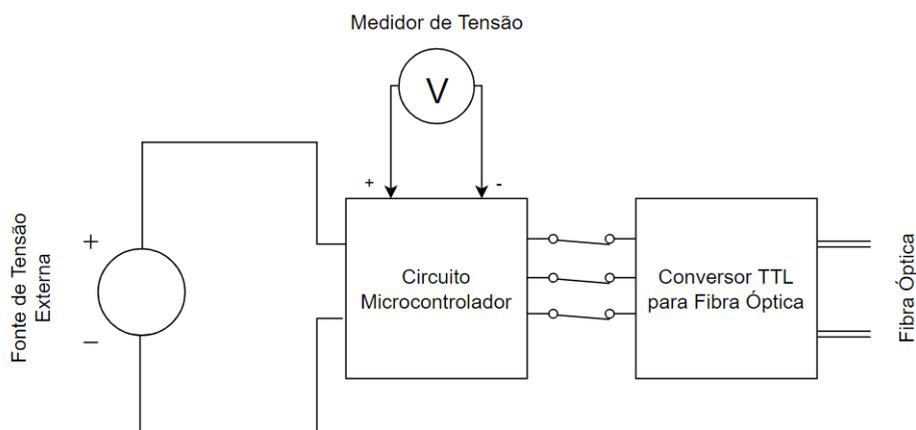
Figura 47 – Diagrama de medição da corrente de consumo.



Fonte: Autor.

A medição da tensão mínima de funcionamento do microcontrolador (Tensão de *Core*), diferentemente da medição da corrente de consumo, é realizada em todo o sistema de testes (circuito microcontrolador e circuitos conversores). A medição foi efetuada diretamente nos pinos do microcontrolador utilizando um multímetro digital Fluke modelo 117, com uma precisão de 0,5% da leitura de tensão. A Figura 48 exemplifica o procedimento de medição utilizado.

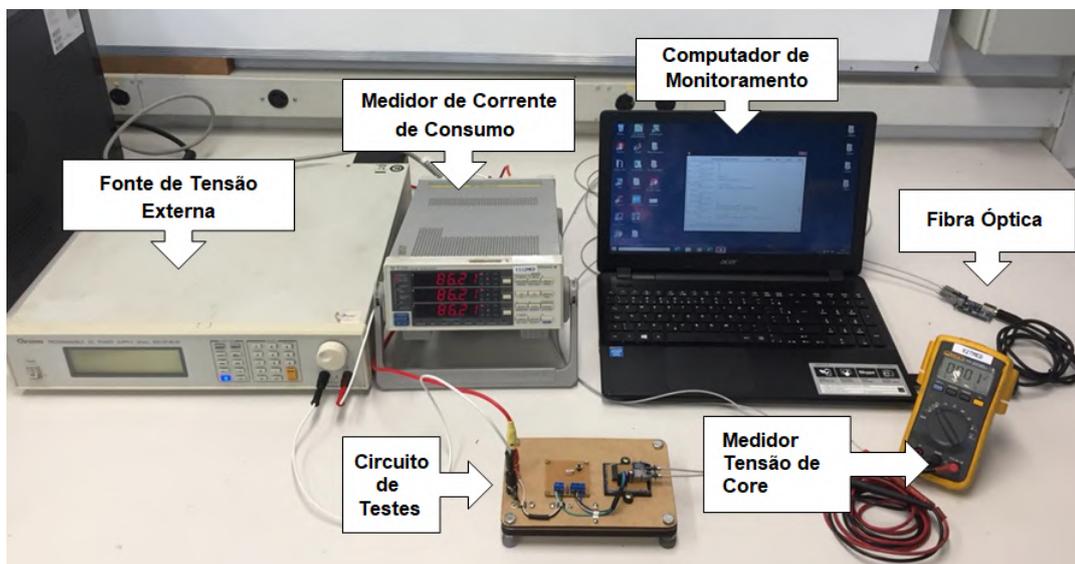
Figura 48 – Diagrama de medição da tensão mínima de operação.



Fonte: Autor.

A Figura 49 apresenta a configuração utilizada para medição da corrente de consumo e tensão mínima de operação do microcontrolador.

Figura 49 – Plataforma de teste para medição da corrente de consumo e tensão mínima de operação.



Fonte: Autor.

## 9 SISTEMATIZAÇÃO DA METODOLOGIA

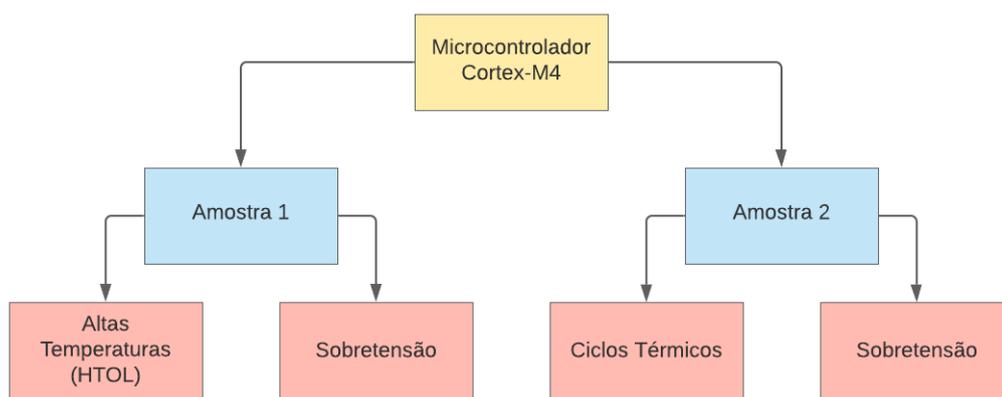
### 9.1 Introdução

Nesse capítulo é realizada a sistematização da metodologia dessa dissertação. Foi utilizado o método de pesquisa descritiva com a finalidade de avaliar a confiabilidade do microcontrolador cortex-M4, a partir da análise dos resultados de ensaio de normas técnicas já difundidas na literatura. O propósito é através de uma amostra representativa sob ensaio, elaborar uma metodologia de testes que possa ser aplicada a diferentes circuitos pertencentes a esse conjunto.

### 9.2 Procedimento de Teste

Essa dissertação está segmentada em dois métodos diferentes de ensaio, diferindo no tipo de envelhecimento térmico aplicado: altas temperaturas ou ciclos térmicos. Ambos os métodos, combinados ao envelhecimento elétrico, são efetuados em diferentes amostras do mesmo componente, conforme estabelecido no diagrama da Figura 50.

Figura 50 – Diagrama de envelhecimento do microcontrolador.



Fonte: Autor.

Em ambos os métodos, o procedimento de testes segue o mesmo padrão e é dividido em quatro etapas:

- A. Caracterização do componente (*Fresh*);
- B. Envelhecimento do dispositivo;
- C. Injeção de EMI conduzida na forma de EFT/*Burst* (norma IEC 61000-4-4);

D. Injeção de EMI conduzida na forma de campos de RF (norma IEC 61000-4-6).

A etapa da caracterização do componente é realizada inicialmente, antes de qualquer exposição ao envelhecimento ou teste de EMI, para determinar os parâmetros de "ouro" do dispositivo. Esses parâmetros, são definidos como o comportamento inicial do dispositivo e posteriormente, são utilizados como referência na medição da imunidade ao ruído conduzido nas linhas de alimentação após cada ciclo de envelhecimento.

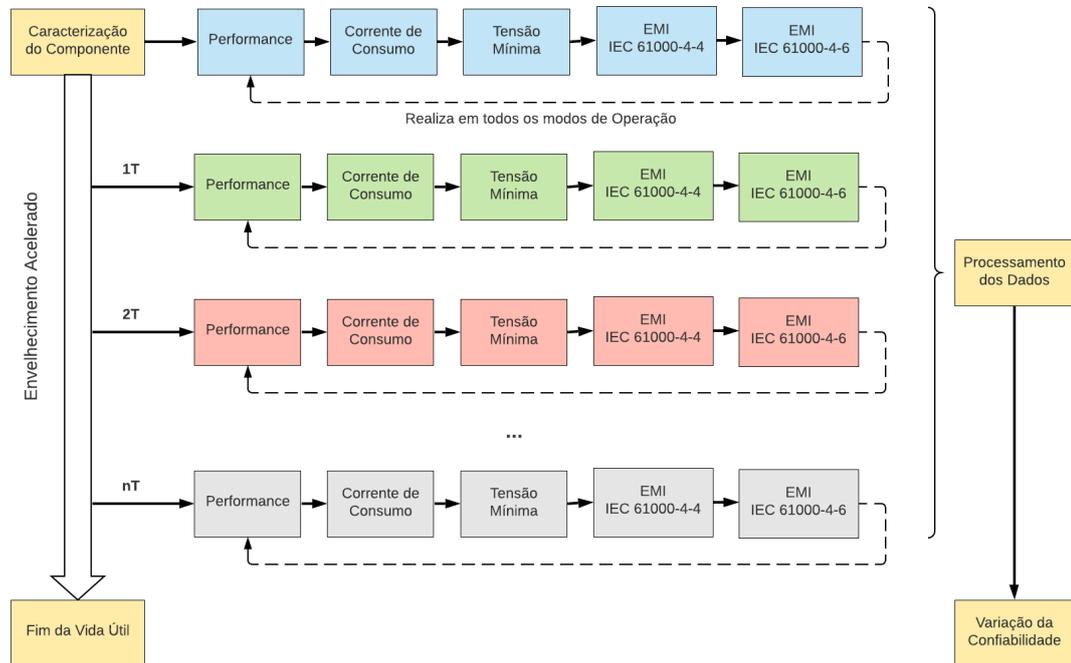
A imunidade do componente é caracterizada antes e após envelhecimento em termos da: (1) corrente de consumo ( $I_{DD}$ ), (2) mínima tensão de operação ( $V_{DD}$ ) para correto funcionamento do componente, (3) performance do componente (em *Dhrsytone per Seconds*) quando executado o *Benchmark* e a (4) confiabilidade do microcontrolador, mensurada em função do número de defeitos observados que foram produzidos pelo componente durante os testes de EMI.

Conforme definições estabelecidas em Benfica et. al (2020, p2, apud MIL-STD-883H, 2010), a medição dos parâmetros de corrente de consumo ( $I_{DD}$ ), tensão mínima de operação ( $V_{DD}$ ) e performance, não excederam o período de 96 horas após cada ciclo de envelhecimento [12].

### 9.3 Diagrama de Testes

A metodologia é baseada em um fluxo de testes contínuos que consistem em submeter o microcontrolador a ciclos de envelhecimento e remover o stress durante curtos períodos de tempo para efetuar os testes de injeção de EMI através de EFT/*Burst* e campos de RF conduzidos. Como mostrado na Figura 51, foi mantido uma sequência de testes ao longo de todo os ciclos realizados, procurando sempre igualar o mais próximo as condições iniciais realizadas durante a etapa de caracterização do componente.

Figura 51 – Diagrama da metodologia de testes combinados de envelhecimento e EMI conduzido.



Fonte: Autor.

Os dois procedimentos executados procederam de acordo com o fluxo indicado no diagrama da Figura 51. A variável  $T$ , representa o período em que o circuito ficou sob o teste de envelhecimento acelerado. A variável  $n$ , representa o número de ciclos de envelhecimento realizado. Essa variável é incrementada até o fim da vida útil do componente, caracterizado por um defeito permanente. O novo ciclo de envelhecimento somente é realizado após o sistema ter sido submetido a todos os testes em todos os diferentes modos de operação indicados na Tabela 9.

Ao longo de cada ciclo, é realizado o processamento dos dados através das medições dos parâmetros característicos da imunidade do componente, anteriormente mencionados. Após o final da vida útil, é possível através desses dados verificar a variação da confiabilidade do microcontrolador conforme os tempos de envelhecimento. Por definição, consideramos um defeito se: (a) o processador travar (*i.e.*, o componente para de funcionar e é necessário desligar e ligar a alimentação para retomar a operação normal), ou (b) o processador produzir uma falha no dados enviados ao THC identificada durante a execução do algoritmo de Dhrystone.

## Parte III

# Resultados e Conclusões

## 10 RESULTADOS

### 10.1 Introdução

O presente capítulo tem como objetivo apresentar os resultados obtidos na execução da metodologia dessa dissertação. Os resultados estão segmentados de acordo com o processo de envelhecimento térmico utilizado, apresentando distintamente o comportamento da imunidade eletromagnética do microcontrolador durante os diferentes testes e procedimentos expressos nas seções precedentes.

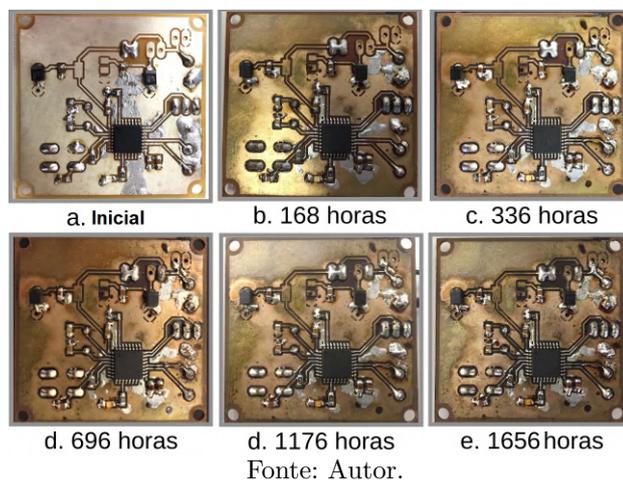
### 10.2 Envelhecimento por Alta Temperatura

Durante os testes combinados de alta temperatura ( $120^{\circ}\text{C}$ ) e sobretensão ( $150\% V_{DD}$ ), o circuito do microcontrolador foi envelhecido por um período total de 1656 horas, distribuído nos seguintes ciclos contínuos de exposição:

- Ciclo 1: 168h de exposição (7 dias);
- Ciclo 2: 168h de exposição (7 dias);
- Ciclo 3: 360h de exposição (15 dias);
- Ciclo 4: 480h de exposição (20 dias);
- Ciclo 5: 480h de exposição (20 dias);

Conforme a Figura 52, os efeitos dessa técnica de envelhecimento acelerado foram bastante perceptíveis quando analisado a degradação física do circuito.

Figura 52 – Efeitos do envelhecimento por altas temperaturas na PCI do circuito do microcontrolador.



### 10.2.1 Corrente de Consumo

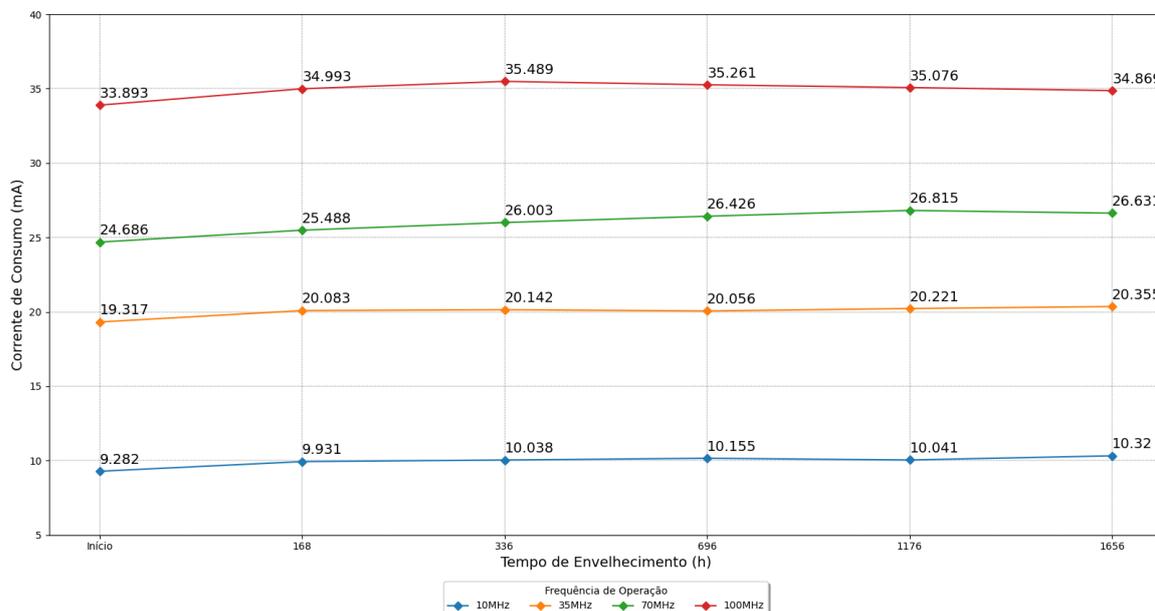
Após 1656 horas de envelhecimento, o circuito do microcontrolador, alimentado com a tensão de operação ideal (3,3V), foi observado um pequeno aumento da corrente de consumo do microcontrolador (6% em média). Em mais detalhes, o componente apresentou um aumento de 11,2% em uma frequência de operação de 10MHz, 5,4% em uma frequência de operação de 35MHz, 7,9% em uma frequência de operação de 70MHz e 2,9% em uma frequência de operação de 100MHz. A Tabela 11 e a Figura 53, resumem os dados indicados de acordo com o tempo de exposição.

Tabela 11 – Aumento da corrente de consumo após 1656 horas de envelhecimento na tensão nominal de operação (3,3V).

Tensão (V)	Frequência (MHz)	Corrente de Consumo (mA)					Aumento (%)	
		Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4		Ciclo 5
3,3	10	9,282	9,931	10,038	10,155	10,041	10,32	11,2
	35	19,317	20,083	20,142	20,056	20,221	20,355	5,4
	70	24,686	25,488	26,003	26,426	26,815	26,631	7,9
	100	33,893	34,993	35,489	35,261	35,076	34,869	2,9
<b>Média</b>		21,795	22,624	22,918	22,975	23,038	23,044	5,7

Fonte: Autor.

Figura 53 – Variação da corrente de consumo ao longo do envelhecimento na tensão de alimentação nominal (3,3V).



Fonte: Autor.

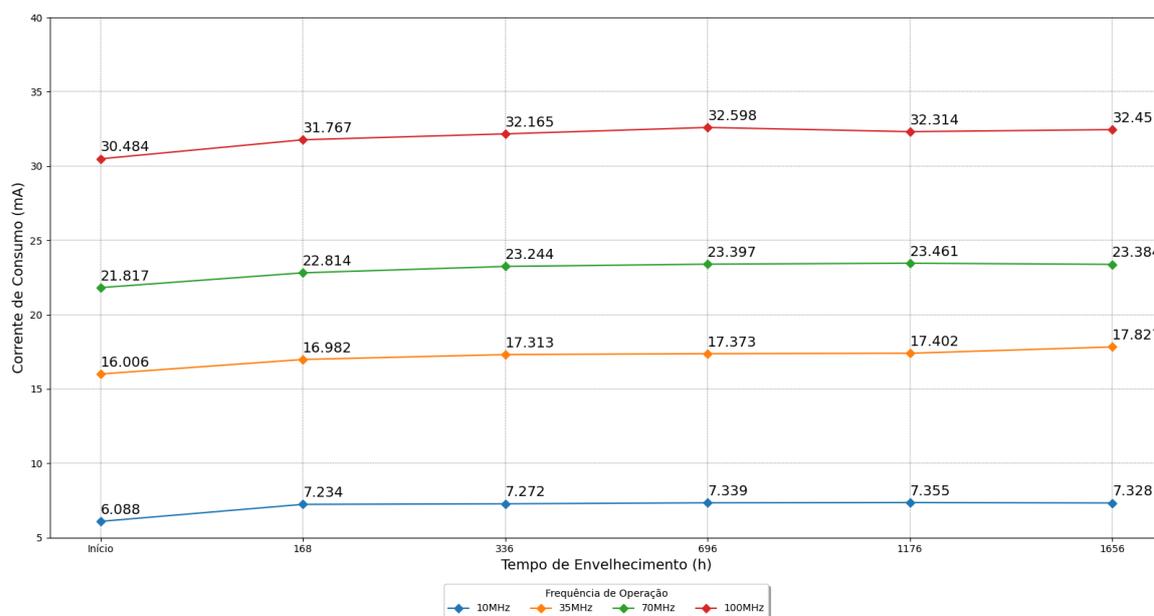
Quando alimentado na tensão mínima de operação, após 1656 horas de exposição, o circuito do microcontrolador apresentou um aumento médio de aproximadamente 9%. Detalhando em função das frequências de operação, em 10MHz ocorreu um aumento de 20,4%, em 35MHz um aumento de 11,4%, em 70MHz um aumento de 7,2% e em 100MHz um aumento de 6,5%. A Tabela 12 e a Figura 54, resumem os dados conforme o tempo de exposição.

Tabela 12 – Aumento da corrente de consumo após 1656 horas de envelhecimento na tensão mínima de operação.

Tensão (V)	Frequência (MHz)	Corrente de Consumo (mA)					Aumento (%)	
		Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4		Ciclo 5
VMin	10	6,088	7,234	7,272	7,339	7,355	7,328	20,4
	35	16,006	16,982	17,313	17,373	17,402	17,827	11,4
	70	21,817	22,814	23,244	23,397	23,461	23,384	7,2
	100	30,484	31,767	32,165	32,598	32,314	32,451	6,5
<b>Média</b>		18,599	19,699	19,999	20,177	20,133	20,248	8,9

Fonte: Autor.

Figura 54 – Variação da corrente de consumo ao longo do envelhecimento na tensão de mínima de operação.



Fonte: Autor.

## 10.2.2 Tensão Mínima de Operação

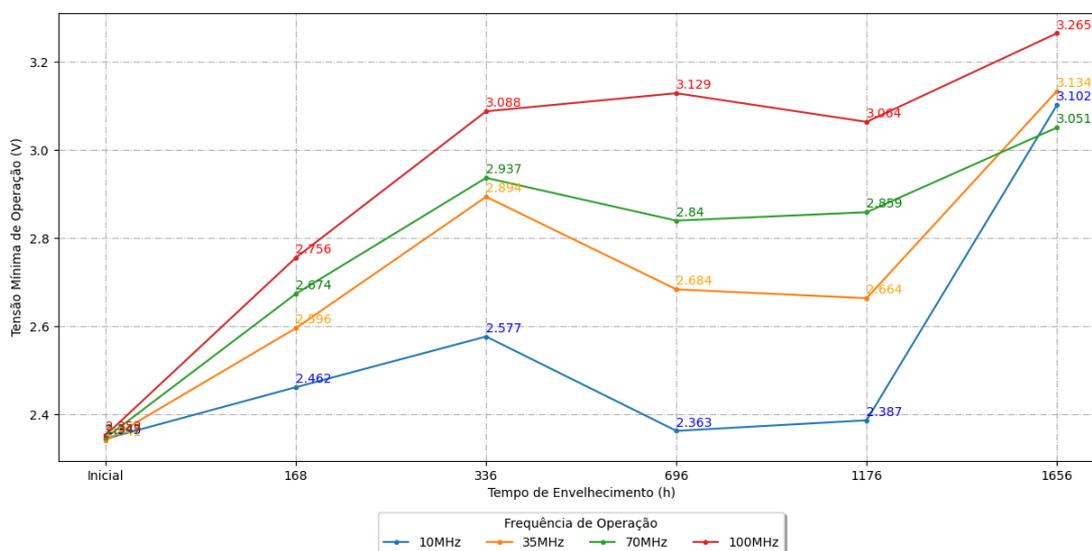
A tensão mínima de operação, após 1656 horas de envelhecimento, apresentou um aumento médio de aproximadamente 34% em relação a tensão mínima de 2,3V verificada inicialmente. Em detalhes, para a frequência de operação de 10MHz houve um aumento de aproximadamente 32%, para a frequência de 35MHz o aumento foi de aproximadamente 34%, na frequência de 70MHz o aumento foi de 30% e por fim, para a frequência de 100MHz, um aumento de aproximadamente 39%. A Tabela 13 e a Figura 55, sintetizam esses valores conforme o tempo de envelhecimento.

Tabela 13 – Variação da tensão mínima de operação em função do tempo de envelhecimento.

Frequência (MHz)	Tensão Mínima de Funcionamento (V)					Aumento (%)	
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4		Ciclo 5
10	2,345	2,462	2,577	2,363	2,387	3,102	32,3
35	2,341	2,596	2,894	2,684	2,664	3,134	33,9
70	2,347	2,674	2,937	2,840	2,859	3,051	30,0
100	2,353	2,756	3,088	3,129	3,064	3,265	38,8
<b>Média</b>	2,346	2,622	2,874	2,754	2,7435	3,138	33,7

Fonte: Autor.

Figura 55 – Variação da tensão mínima de operação em função do tempo de envelhecimento.



Fonte: Autor.

### 10.2.3 Performance

Uma vez que não foram observadas alterações na degradação do desempenho do microcontrolador, quando executado o *benchmark* de Dhrystone, em até 1656 horas de envelhecimento, é assumido que esse parâmetro é irrelevante para levantamento da variação da confiabilidade do componente. A Tabela 14 apresenta os valores fornecidos através do *benchmark* nas diferentes frequências de operação.

Tabela 14 – Valores de performance obtidos através da execução do benchmark de Dhrystone no microcontrolador.

Frequência (MHz)	<i>Dhrystone per Seconds</i>	DMIPS	Tempo de Execução por Interação (ms)	Tempo Total (ms)
10	293255,131965	115,368641	0,003410	1023
35	290416,263311	115,290742	0,003443	1033
70	202565,833896	165,290987	0,004937	1481
100	202702,702703	115,368641	0,004933	1480

Fonte: Autor.

### 10.2.4 Susceptibilidade Eletromagnética a EFT/Burst

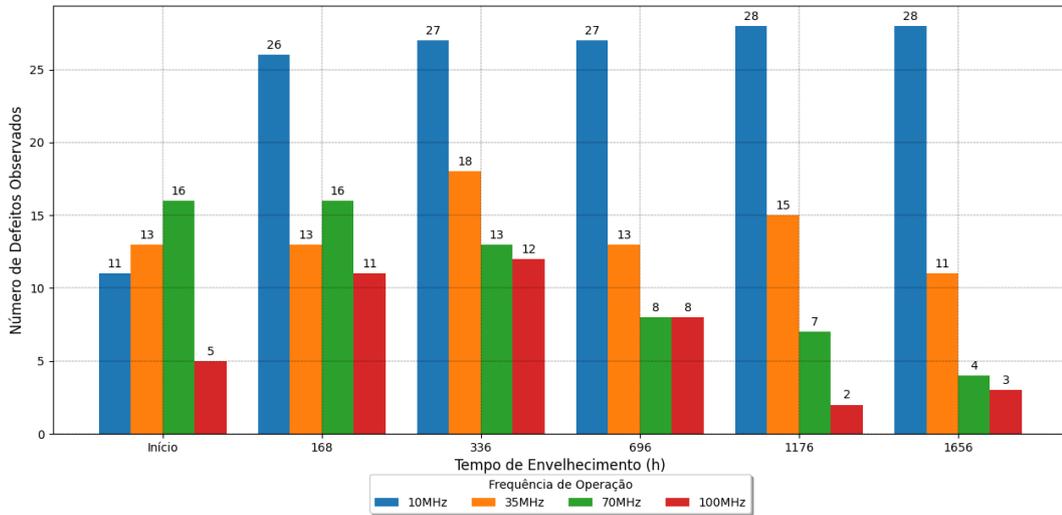
Após 1656 horas de envelhecimento o microcontrolador, alimentado com a tensão de operação ideal (3,3V), apresentou um aumento médio na taxa de defeitos observados, em torno de 2,2%. Analisando por frequências de operação, os valores foram: 10MHz (154,5%), 35MHz (-15,4%), 70MHz (-75%) e 100MHz (-40%). Esses resultados são sintetizados na Tabela 15 e Figura 56.

Tabela 15 – Relação do número de defeitos observados durante o ensaio de EFT/Burst em relação ao tempo de envelhecimento na tensão nominal de operação (3.3V).

Frequência (MHz)	Nº de Defeitos Observados					Aumento (%)	
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4		Ciclo 5
10	11	26	27	27	28	28	154,5
35	13	13	18	13	15	11	-15,4
70	16	16	13	8	7	4	-75
100	5	11	12	8	2	3	-40
<b>Subtotal</b>	45	66	70	56	52	46	2,2

Fonte: Autor.

Figura 56 – Variação do número de defeitos observados no ensaio de EFT/Burst ao longo do envelhecimento na tensão nominal de operação (3,3V).



Fonte: Autor.

A taxa de defeitos do circuito é obtida através do somatório das taxas de defeito ao longo do envelhecimento, conforme apresentado anteriormente na Equação 2. Portanto, considerando todas as frequências de operação, para a tensão de alimentação de 3,3V a taxa de defeitos é  $\lambda_{final} = 335$  defeitos/ 1656 horas. Assim, é possível calcular o tempo médio até o defeito (MTTF) através do inverso da taxa de defeitos, utilizando a Equação 1. Dessa forma, para essa situação o MTTF é de aproximadamente 5 horas.

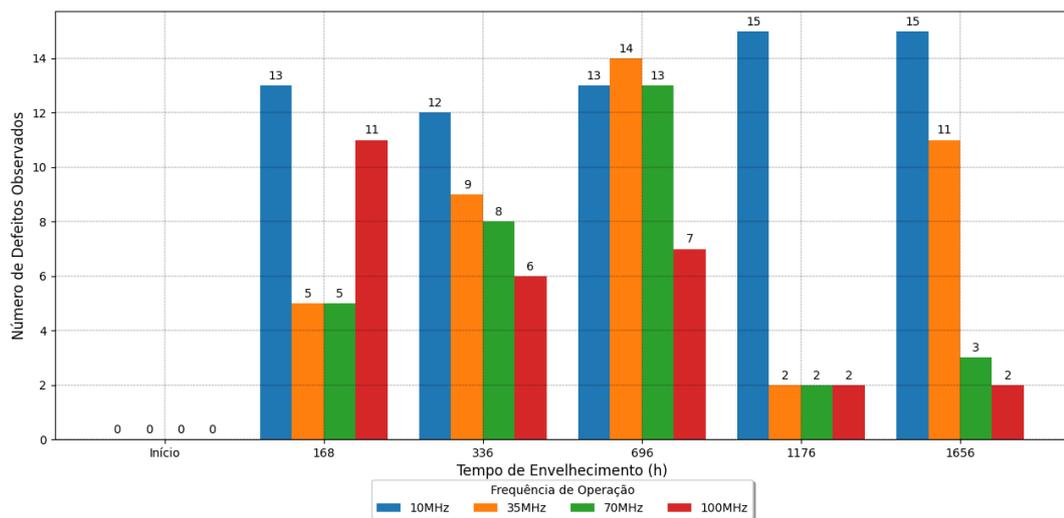
Quando alimentado com a tensão mínima de operação, após 1656 horas, o circuito do microcontrolador apresentou um aumento de 3100% no número de defeitos observados. As variações observadas foram: 10MHz (1500%), 35MHz (1100%), 70MHz (300%) e 100MHz (200%). A Tabela 16 e Figura 57 apresentam os valores medidos. Para essa configuração, a taxa de defeitos foi de  $\lambda_{final} = 168$  defeitos/ 1656 horas. Logo, através da Equação 1 resultou-se em um MTTF de aproximadamente 10 horas.

Tabela 16 – Relação do número de defeitos observados durante o ensaio de EFT/Burst em relação ao tempo de envelhecimento na tensão mínima de operação.

Frequência (MHz)	Nº de Defeitos Observados					Aumento (%)	
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4		Ciclo 5
10	0	13	12	13	15	15	1500
35	0	5	9	14	2	11	1100
70	0	5	8	13	2	3	300
100	0	11	6	7	2	2	200
<b>Subtotal</b>	0	34	35	47	21	31	3100

Fonte: Autor.

Figura 57 – Variação do número de defeitos observados no ensaio de EFT/Burst ao longo do envelhecimento na tensão mínima de operação.



Fonte: Autor.

### 10.2.5 Susceptibilidade Eletromagnética a Campos de RF Conduzidos

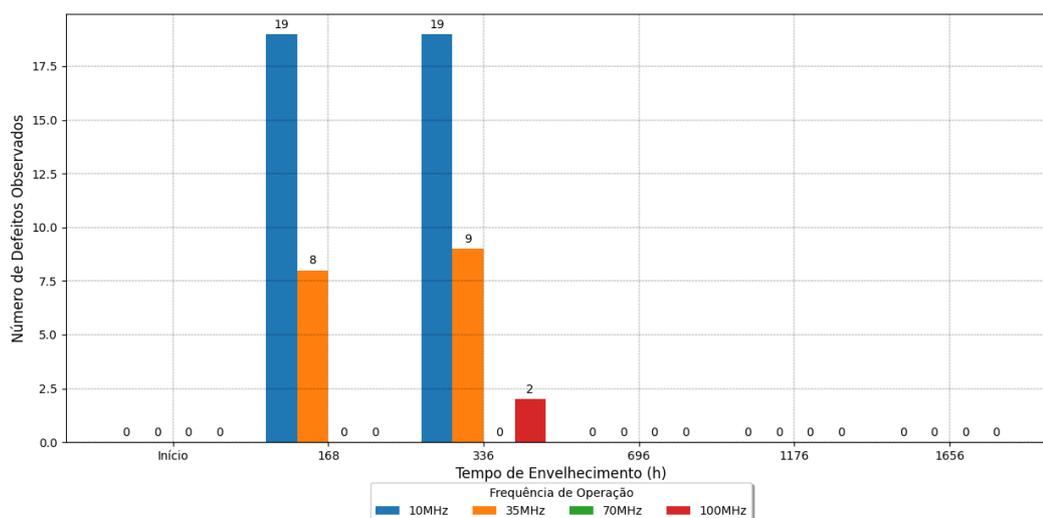
Analisando inicialmente os resultados obtidos na tensão nominal de alimentação (3,3V), quando aplicado no ensaio um nível de tensão de pico a pico de 1Vpp, o microcontrolador apresentou um alto grau de imunidade. Apesar de alguns defeitos observados a partir de 168 horas de envelhecimento, ao final do ciclo completo (1656 horas), não foi observado nenhum defeito, conforme dados na Tabela 17 e Figura 58. Nessa situação, a taxa de defeitos foi de  $\lambda_{final} = 57$  defeitos/ 1656 horas, resultando em um MTTF de aproximadamente 29 horas.

Tabela 17 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão nominal de alimentação (3,3V).

Frequência (MHz)	Nº de Defeitos Observados					Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	
10	0	19	19	0	0	0
35	0	8	9	0	0	0
70	0	0	0	0	0	0
100	0	0	2	0	0	0
<b>Subtotal</b>	0	27	30	0	0	0

Fonte: Autor.

Figura 58 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão nominal de alimentação (3,3V).



Fonte: Autor.

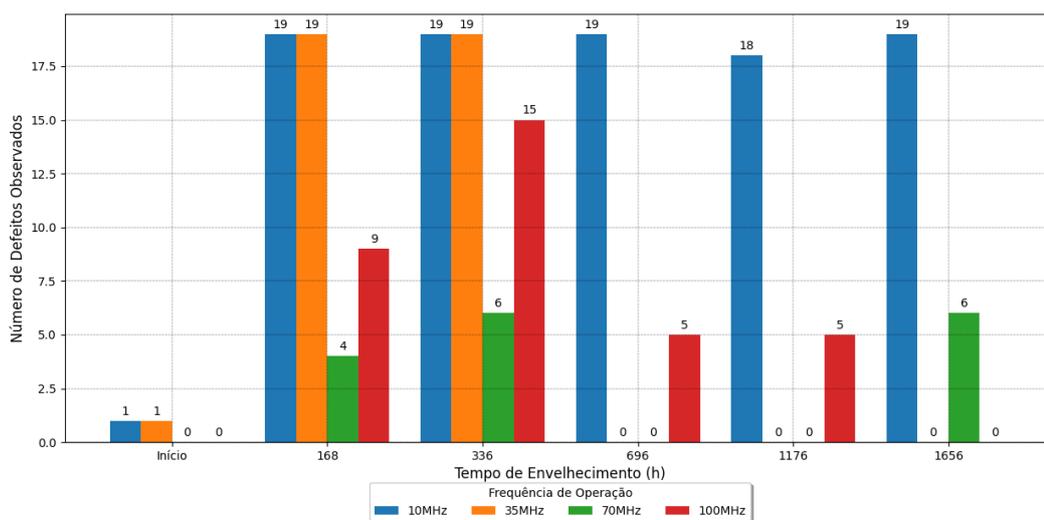
Quando elevado o nível de ensaio para 2Vpp, o microcontrolador apresentou uma queda em sua imunidade, com um aumento médio de 1150% no número de defeitos observados. Avaliando por frequências de operação, os resultados foram: 10MHz (1800%), 35MHz (0%), 70MHz (60%) e 100MHz (0%), conforme dados na Tabela 18 e Figura 59. Para essa configuração, a taxa de defeitos foi de  $\lambda_{final} = 184$  defeitos/ 1656 horas, resultando em um MTTF de 9 horas.

Tabela 18 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão nominal de alimentação (3,3V).

Frequência (MHz)	Nº de Defeitos Observados					Aumento (%)	
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4		Ciclo 5
10	1	19	19	19	18	19	1800
35	1	19	19	0	0	0	0
70	0	4	6	0	0	6	60
100	0	9	15	5	5	0	0
<b>Subtotal</b>	2	51	59	24	23	25	1150

Fonte: Autor.

Figura 59 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão nominal de alimentação (3,3V).



Fonte: Autor.

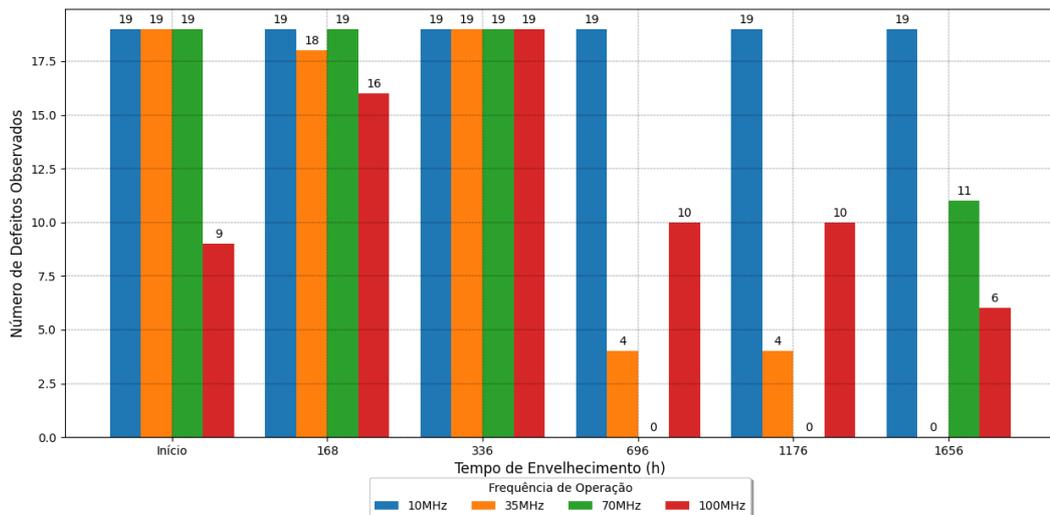
Ao nível de 3Vpp, o microcontrolador apresentou um significativo aumento nos parâmetros de "ouro" medidos inicialmente. Contudo, após 1656 horas de envelhecimento, ocorreu uma diminuição no número de defeitos observados em todas as frequências de operação (aumento médio de -45,5%), sendo: 10MHz (0%), 35MHz (-1900%), 70MHz (-42,1%) e 100MHz (-33,3%), de acordo com os dados indicados na Tabela 19 e Figura 60. Nessa configuração, a taxa de defeitos foi de  $\lambda_{final} = 316 \text{ defeitos} / 1656 \text{ horas}$ , resultando em um MTTF de 5,24 horas.

Tabela 19 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão nominal de alimentação (3,3V).

Frequência (MHz)	Nº de Defeitos Observados					Aumento (%)	
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4		Ciclo 5
10	19	19	19	19	19	19	0
35	19	18	19	4	4	0	-1900
70	19	19	19	0	0	11	-42,1
100	9	16	19	10	10	6	-33,3
<b>Subtotal</b>	66	72	76	33	33	36	-45,5

Fonte: Autor.

Figura 60 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão nominal de alimentação (3,3V).



Fonte: Autor.

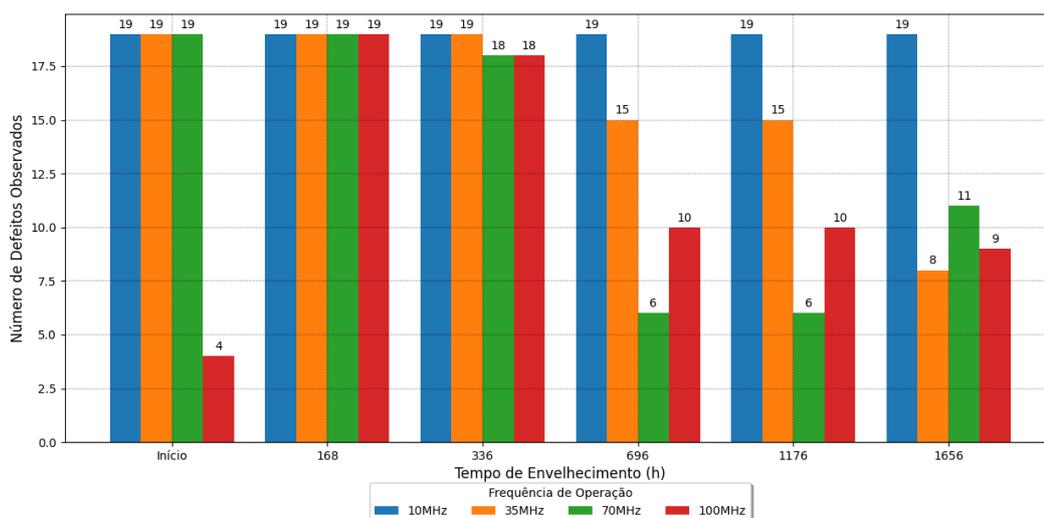
Por fim, para o nível de 4Vpp o microcontrolador apresentou uma menor imunidade inicial; entretanto, ao final de 1656 horas, apresentou uma queda no número de defeitos observados com um aumento médio de -23%. Os valores observados foram: 10MHz (0%), 35MHz (-57,9%), 70MHz (-42,1%) e 100MHz (125%). Para esse nível, a taxa de defeitos foi de  $\lambda_{final} = 358$  defeitos/ 1656 horas, resultando em um MTTF de 4,62 horas. Os dados são sintetizados na Tabela 20 e Figura 61.

Tabela 20 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão nominal de alimentação (3,3V).

Frequência (MHz)	Nº de Defeitos Observados					Aumento (%)	
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4		Ciclo 5
10	19	19	19	19	19	19	0
35	19	19	19	15	15	8	-57,9
70	19	19	18	6	6	11	-42,1
100	4	19	18	10	10	9	125
<b>Subtotal</b>	61	76	74	50	50	47	-23

Fonte: Autor.

Figura 61 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão nominal de alimentação (3,3V).



Fonte: Autor.

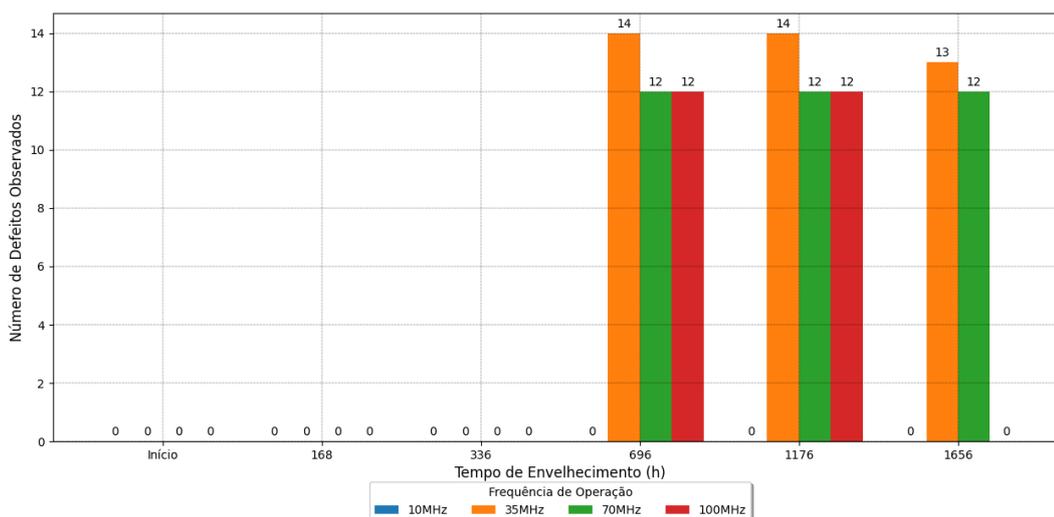
Avaliando os resultados na tensão mínima de operação, para o nível de tensão de 1Vpp, o circuito do microcontrolador apresentou imunidade nas frequências de 10MHz e 100MHz. Contudo, a partir de 696 horas de envelhecimento, houve ocorrências de defeitos, totalizando ao final de 1656 horas, um aumento de 1300% para a frequência de 35MHz e 1200% para a frequência de 70MHz, resultando em um aumento médio de 2500%, conforme dados na Tabela 21 e Figura 62. Para esse modo de operação, a taxa de defeitos foi de  $\lambda_{final} = 101 \text{ defeitos} / 1656 \text{ horas}$ , resultando em um MTTF de 16,4 horas.

Tabela 21 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão mínima de operação.

Frequência (MHz)	Nº de Defeitos Observados						Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	
10	0	0	0	0	0	0	0
35	0	0	0	14	14	13	1300
70	0	0	0	12	12	12	1200
100	0	0	0	12	12	0	0
<b>Subtotal</b>	0	0	0	38	38	25	2500

Fonte: Autor.

Figura 62 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão mínima de operação.



Fonte: Autor.

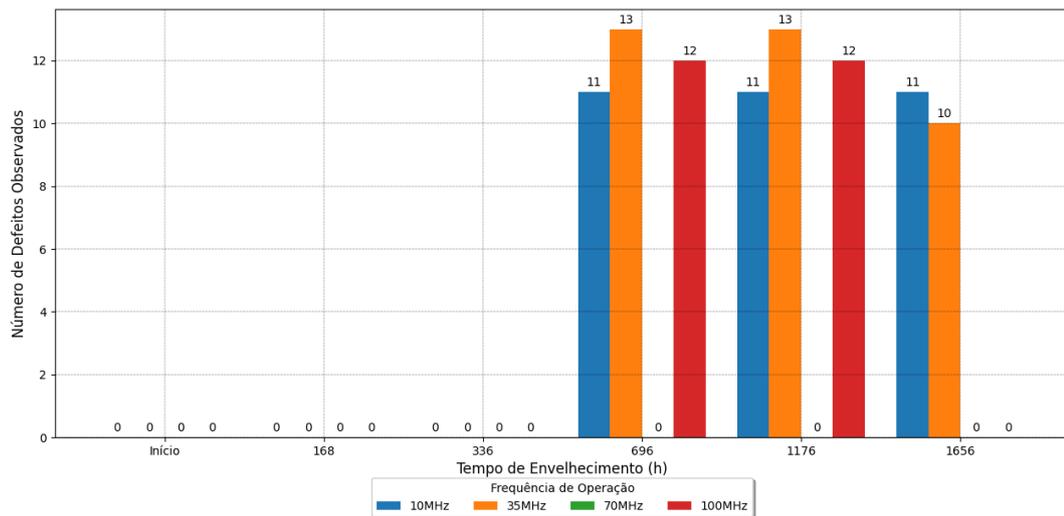
Ao nível de 2Vpp, na tensão mínima de operação, o microcontrolador ainda apresentou uma alta imunidade eletromagnética até 336 horas de envelhecimento. Contudo, a partir de um tempo de exposição maior, defeitos foram identificados, totalizando ao final de 1656 horas um aumento de 1100% para a frequência de operação de 10MHz e 1000% para a frequência de 35MHz. As frequências de 70MHz e 100MHz, apesar de observado defeitos durante o envelhecimento, ao final não apresentaram nenhuma evidência, de acordo com os dados da Tabela 22 e Figura 63. Nesse modo de operação, a taxa de defeitos foi de  $\lambda_{final} = 93 \text{ defeitos} / 1656 \text{ horas}$ , resultando em um MTTF de 17,81 horas.

Tabela 22 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão mínima de operação.

Frequência (MHz)	Nº de Defeitos Observados						Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	
10	0	0	0	11	11	11	1100
35	0	0	0	13	13	10	1000
70	0	0	0	0	0	0	00
100	0	0	0	12	12	0	0
<b>Subtotal</b>	0	0	0	36	36	21	2100

Fonte: Autor.

Figura 63 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão mínima de operação.



Fonte: Autor.

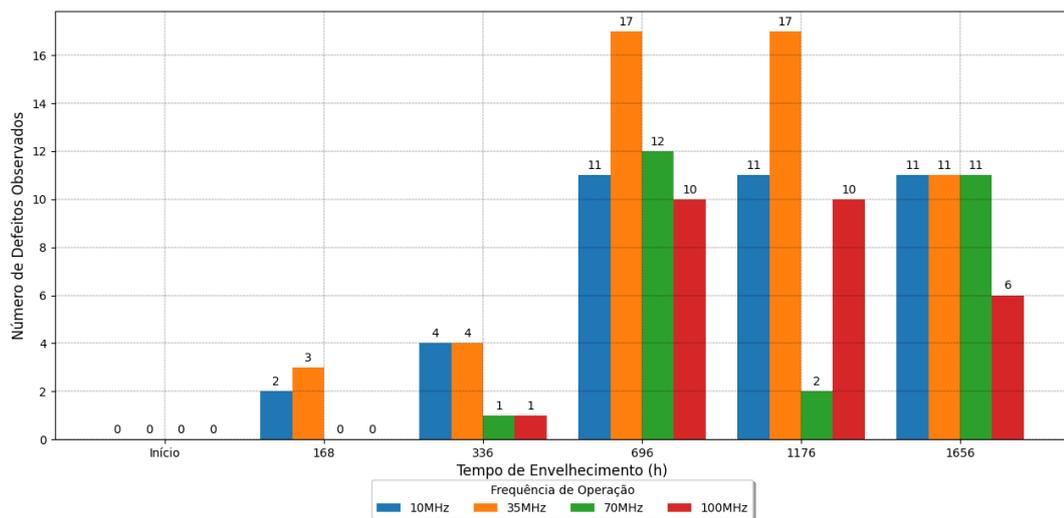
Com o incremento para o nível de tensão de 3Vpp, os defeitos começaram a ser observados após 168 horas de envelhecimento. Ao final dos ciclos, após 1656 horas, foram verificados aumentos em todas as frequências de operação, sendo: 10MHz (1100%), 35MHz (1100%), 70MHz (1100%) e 100MHz (600%), de acordo com os dados apresentados na Tabela 23 e Figura 64. Para esse modo de operação, a taxa de defeitos foi de  $\lambda_{final} = 154$  defeitos/ 1656 horas, resultando em um MTTF de 10,8 horas.

Tabela 23 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão mínima de operação.

Frequência (MHz)	Nº de Defeitos Observados						Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	
10	0	2	4	11	11	11	1100
35	0	3	4	17	17	11	1100
70	0	0	1	12	12	11	1100
100	0	0	1	10	10	6	600
<b>Subtotal</b>	0	5	10	50	50	39	3900

Fonte: Autor.

Figura 64 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão mínima de operação.



Fonte: Autor.

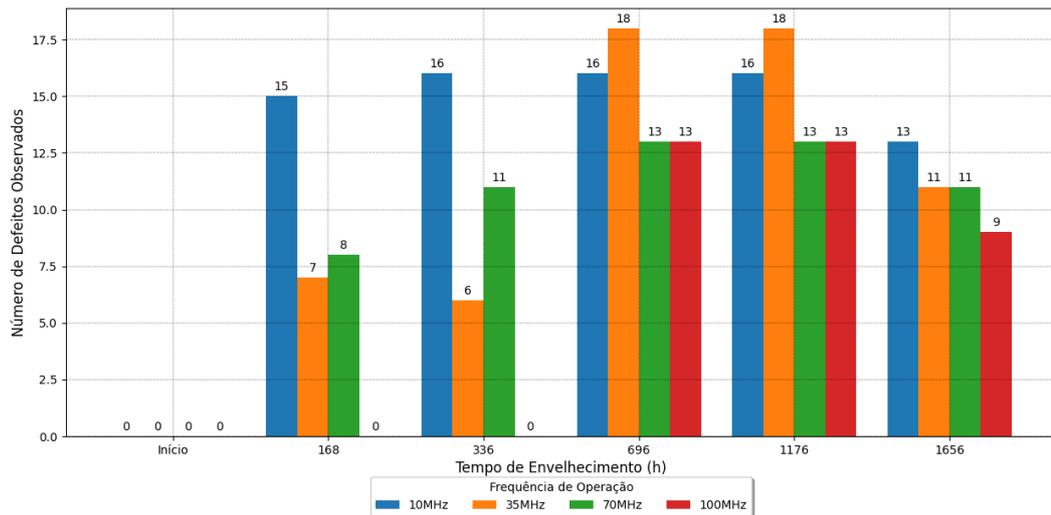
Na última configuração de ensaio, com um nível de tensão de 4Vpp e tensão mínima de alimentação, ocorreu um leve aumento no número de defeitos observados, resultando em um aumento médio de 4400%. Analisando os dados conforme as frequências de operação, temos: 10MHz (1300%), 35MHz (1100%), 70MHz (1100%) e 100MHz (900%). Os dados são apresentados na Tabela 24 e Figura 65.

Tabela 24 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão mínima de operação.

Frequência (MHz)	Nº de Defeitos Observados					Aumento (%)	
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4		Ciclo 5
10	0	15	16	16	16	13	1300
35	0	7	6	18	18	11	1100
70	0	8	11	13	13	11	1100
100	0	0	0	13	13	9	900
<b>Subtotal</b>	0	30	33	60	60	44	4400

Fonte: Autor.

Figura 65 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão mínima de operação.



Fonte: Autor.

### 10.3 Envelhecimento por Ciclos Térmicos

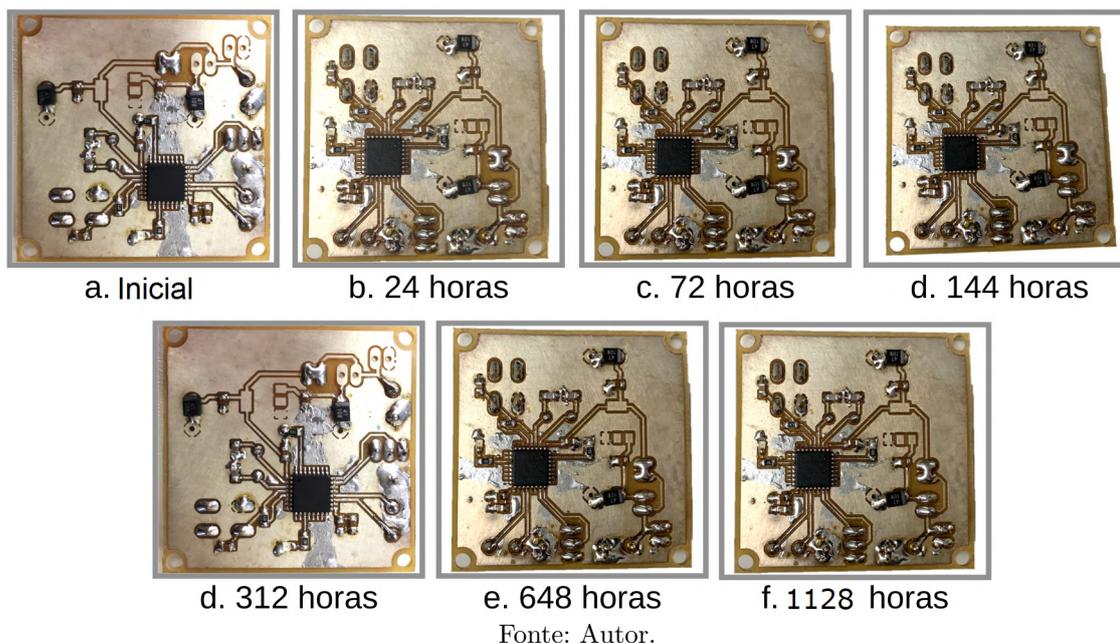
No decorrer dos testes combinados utilizando ciclos térmicos (-40°C a +115°C) e sobretensão na alimentação (150%  $V_{DD}$ ), o circuito do microcontrolador foi envelhecido por um período total de 1128 horas, distribuído nos seguintes ciclos contínuos de exposição:

- Ciclo 1: 24h de exposição (1 dia);
- Ciclo 2: 48h de exposição (2 dias);
- Ciclo 3: 72h de exposição (3 dias);
- Ciclo 4: 168h de exposição (7 dias);

- Ciclo 5: 336h de exposição (14 dias);
- Ciclo 6: 480h de exposição (20 dias).

A análise da Figura 66, demonstra que os efeitos visíveis desse método, não foram tão perceptíveis quando comparado aos efeitos apresentados na Figura 52.

Figura 66 – Efeitos do envelhecimento por ciclos térmicos na PCI do microcontrolador.



### 10.3.1 Corrente de Consumo

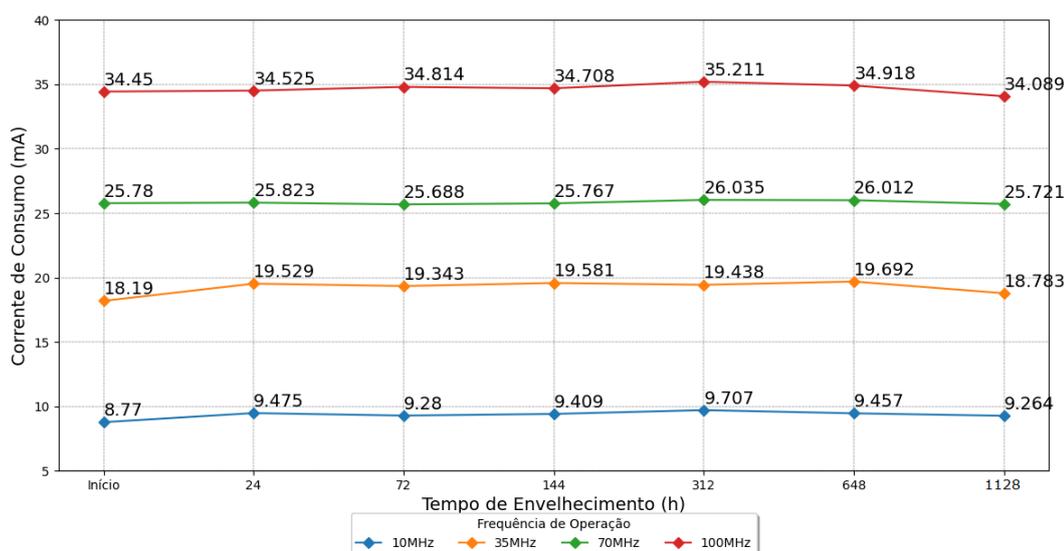
Após 1128 horas de envelhecimento, o circuito do microcontrolador, alimentado com a tensão de operação ideal (3,3V), apresentou um aumento médio na corrente de aproximadamente 0,8%. Para as frequências de operação de 10MHz e 35MHz, houve um aumento de, respectivamente, 5,6% e 3,3% na corrente de consumo. Entretanto, para as frequências de 70MHz e 100MHz, ocorreu uma diminuição desse parâmetro, resultando em redução de 0,2% e 1,0%. Esses dados são representados na Tabela 25 e Figura 67.

Tabela 25 – Aumento da corrente de consumo após 1128 horas de envelhecimento na tensão nominal de operação (3,3V).

Frequência (MHz)	Corrente de Consumo (mA)						Aumento (%)	
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5		Ciclo 6
10	8,770	9,475	9,280	9,409	9,707	9,457	9,264	5,6
35	18,190	19,529	19,343	19,581	19,438	19,692	18,783	3,3
70	25,780	25,823	25,688	25,767	26,035	26,012	25,721	-0,2
100	34,450	34,525	34,814	34,708	35,211	34,918	34,089	-1,0
<b>Média</b>	21,798	22,338	22,281	22,366	22,598	22,520	21,964	0,76

Fonte: Autor.

Figura 67 – Aumento da corrente de consumo após 1128 horas de envelhecimento na tensão nominal de operação (3,3V).



Fonte: Autor.

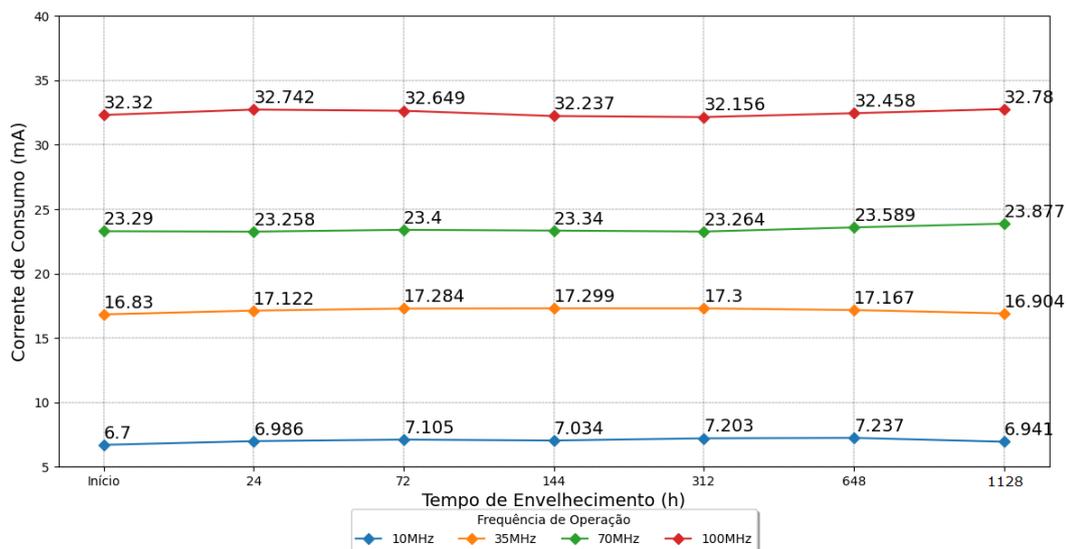
Alimentado na tensão mínima de operação, após 1128 horas de envelhecimento, o microcontrolador apresentou um aumento médio de aproximadamente 1,7% na corrente de consumo. Em mais detalhes, houve um acréscimo para ambas as frequências de operação, sendo de 3,6% para a frequência de 10MHz, 0,4% para a frequência de 35MHz, 2,5% para a frequência de 70MHz e 1,4% para a frequência de 100MHz. A variação desse parâmetro é indicada na Tabela 26 e Figura 68.

Tabela 26 – Aumento da corrente de consumo após 1128 horas de envelhecimento na tensão mínima de operação.

Frequência (MHz)	Corrente de Consumo (mA)						Aumento (%)	
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5		Ciclo 6
10	6,700	6,986	7,105	7,034	7,203	7,237	6,941	3,6
35	16,830	17,122	17,284	17,299	17,300	17,167	16,904	0,4
70	23,290	23,258	23,400	23,340	23,264	23,589	23,877	2,5
100	32,320	32,742	32,649	32,237	32,156	32,458	32,780	1,4
<b>Média</b>	19,785	20,027	20,109	19,978	19,981	20,113	20,126	1,7

Fonte: Autor.

Figura 68 – Aumento da corrente de consumo após 1128 horas de envelhecimento na tensão mínima de operação.



Fonte: Autor.

### 10.3.2 Tensão Mínima de Operação

A tensão mínima de operação do microcontrolador, inicialmente teve um desempenho similar ao envelhecimento por alta temperatura, apresentando um aumento nesse parâmetro até 72 horas de exposição. Contudo, a partir de períodos maiores, houve um decréscimo onde ao final de 1128 horas, esses valores ficaram próximos do inicial, com um aumento médio de 3,36%, analisando por frequências foram obtidos os seguintes valores: 10MHz (6,3%),

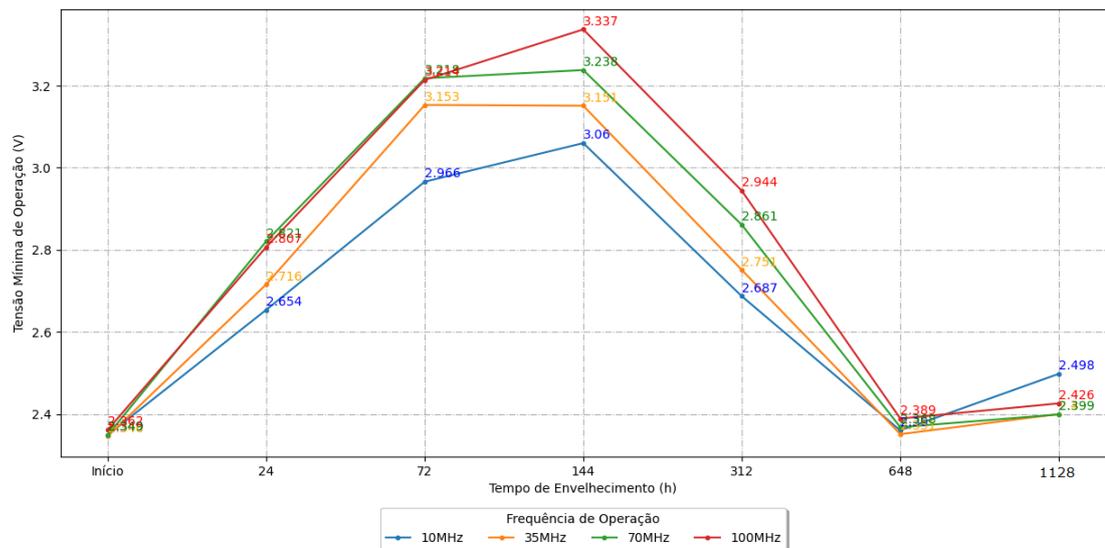
35MHz (2,3%), 70MHz (2,1%) e 100MHz (2,7%). A variação é apresentada detalhadamente na Tabela 27 e Figura 69.

Tabela 27 – Variação da tensão mínima de operação em função do envelhecimento.

Frequência (MHz)	Tensão Mínima de Funcionamento (V)						Aumento (%)	
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5		Ciclo 6
10	2,349	2,654	2,966	3,060	2,687	2,360	2,498	6,34
35	2,346	2,716	3,153	3,151	2,751	2,351	2,400	2,30
70	2,349	2,821	3,218	3,238	2,861	2,368	2,399	2,13
100	2,362	2,807	3,214	3,337	2,944	2,389	2,426	2,71
<b>Média</b>	2,352	2,750	3,138	3,197	2,811	2,367	2,431	3,36

Fonte: Autor.

Figura 69 – Variação da tensão mínima de operação em função do envelhecimento.



Fonte: Autor.

### 10.3.3 Performance

Da mesma forma que apresentado na Seção 10.2.3, para o método de ciclos térmicos, o desempenho do componente não foi alterada quando executado o *benchmark* de Dhrystone, assumindo novamente que esse parâmetro é irrelevante para avaliar a confiabilidade do microcontrolador. Os valores fornecidos pelo algoritmo nos diferentes modos de operação, foram os mesmos anteriormente apresentados na Tabela 14.

### 10.3.4 Susceptibilidade Eletromagnética a EFT/Burst

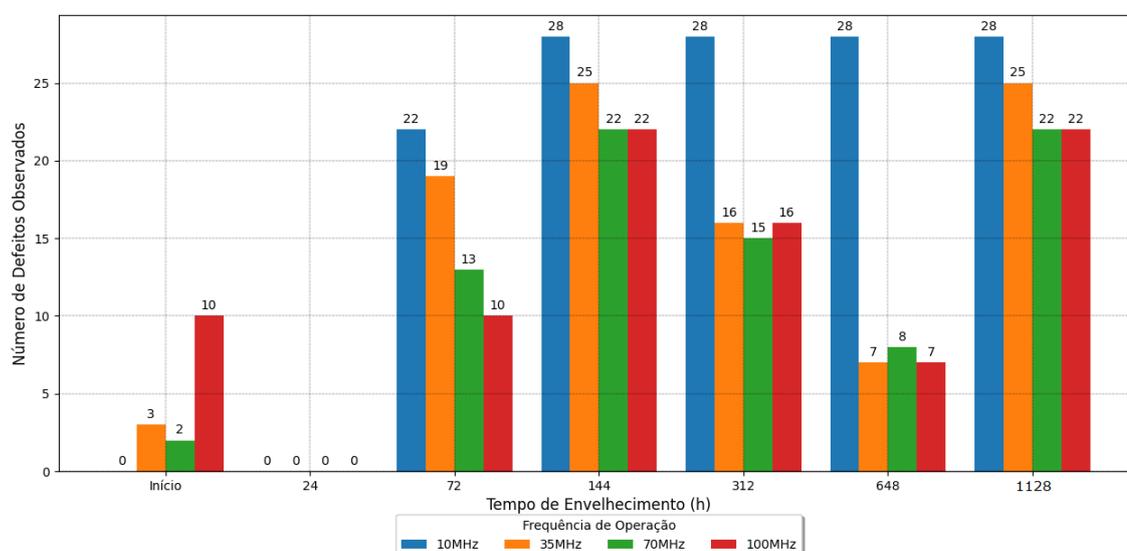
Quando operado com a tensão nominal 3,3V, o microcontrolador sob ensaio a injeção eletromagnética por EFT/Burst, apresentou um aumento médio no número de defeitos observados em aproximadamente 546,7%, havendo ocorrência no número de defeitos em todas as frequências de operação, conforme dados da Tabela 28 e Figura 70, sendo: 10MHz (2800%), 35MHz (733,3%), 70MHz(1000%) e 100MHz (120%). Para esse ensaio, a taxa de defeitos total foi de  $\lambda_{final} = 398$  defeitos/ 1128 horas, resultando em um MTTF de aproximadamente 2,8 horas.

Tabela 28 – Relação do número de defeitos observados durante o ensaio de EFT/Burst em relação ao tempo de envelhecimento na tensão nominal de operação (3,3V).

Frequência (MHz)	Nº de Defeitos Observados							Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	
10	0	0	22	28	28	28	28	2800
35	3	0	19	25	16	7	25	733,3
70	2	0	13	22	15	8	22	1000
100	10	0	10	22	16	7	22	120
<b>Subtotal</b>	15	0	64	97	75	50	97	546,7

Fonte: Autor.

Figura 70 – Variação do número de defeitos observados no ensaio de EFT/Burst ao longo do envelhecimento na tensão nominal de operação (3,3V).



Fonte: Autor.

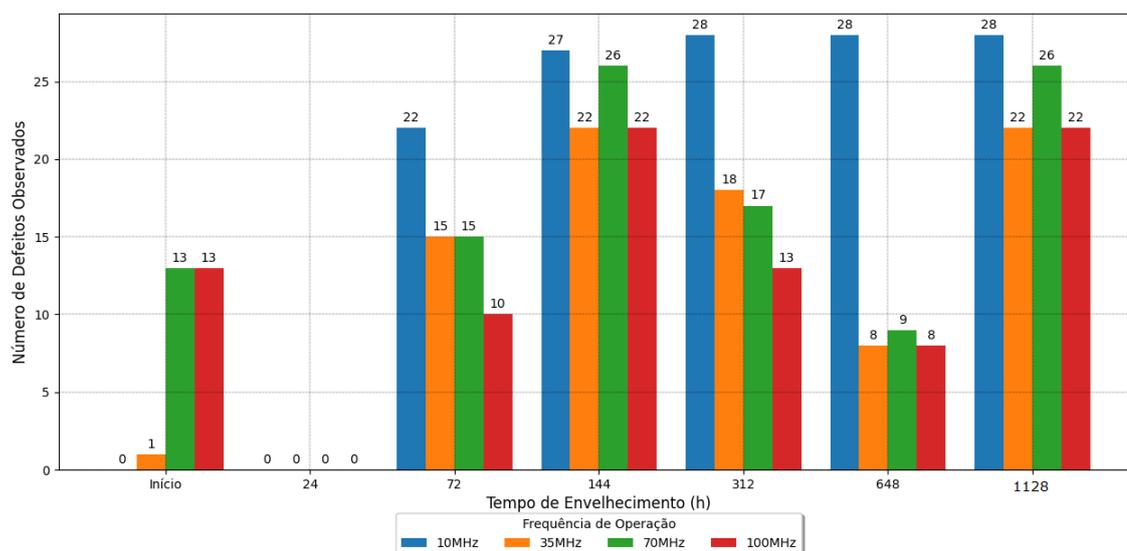
Com a tensão mínima de operação, após 1128 horas de envelhecimento, o número de defeitos observados apresentou um aumento médio de 263%, havendo um aumento substancial em todas as frequências de operação. Esses aumentos foram: 10MHz (2800%), 35MHz (2100%), 70MHz (100%) e 100MHz (69,2%). Os dados são ilustrados na Tabela 29 e Figura 71. Nesse ensaio, a taxa de defeitos foi de  $\lambda_{final} = 413$  defeitos/ 1128 horas, resultando em um MTTF de aproximadamente 2,7 horas.

Tabela 29 – Relação do número de defeitos observados durante o ensaio de EFT/Burst em relação ao tempo de envelhecimento na tensão mínima de operação.

Frequência (MHz)	Tensão Mínima de Funcionamento (V)							Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	
10	0	0	22	27	28	28	28	2800
35	1	0	15	22	18	8	22	2100
70	13	0	15	26	17	9	26	100
100	13	0	10	22	13	8	22	69,2
<b>Subtotal</b>	27	0	62	97	76	53	98	263

Fonte: Autor.

Figura 71 – Variação do número de defeitos observados no ensaio de EFT/Burst ao longo do envelhecimento na tensão mínima de operação.



Fonte: Autor.

### 10.3.5 Susceptibilidade Eletromagnética a Campos de RF Conduzidos

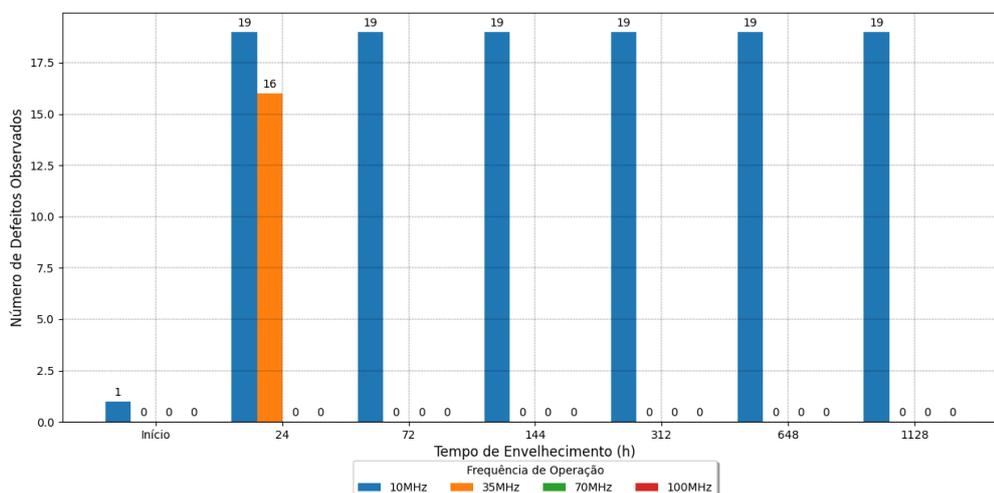
Inicialmente, analisando os resultados sob modos de operação na tensão de 3,3V, quando aplicado um nível de tensão de 1Vpp, para a maioria das frequências de operação, o microcontrolador apresentou um alto grau de imunidade. Contudo, para a frequência de 10MHz, a partir de 24 horas de envelhecimento, ocorreu um alto número de defeitos observados, se mantendo constante ao longo de todo o ciclo de envelhecimento, resultando em um aumento médio de 1800%. Essas informações são mais detalhadas na Tabela 30 e Figura 72. Para essa configuração, a taxa de defeitos foi de  $\lambda_{final} = 81$  defeitos/ 1128 horas, resultando em um MTTF de aproximadamente 13,9 horas.

Tabela 30 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão nominal de alimentação (3,3V).

Frequência (MHz)	Nº de Defeitos Observados							Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	
10	1	19	19	19	19	19	19	1800
35	0	16	0	0	0	0	0	0
70	0	0	0	0	0	0	0	0
100	0	0	0	0	0	0	0	0
<b>Subtotal</b>	1	35	19	19	19	19	19	1800

Fonte: Autor.

Figura 72 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão nominal de alimentação (3,3V).



Fonte: Autor.

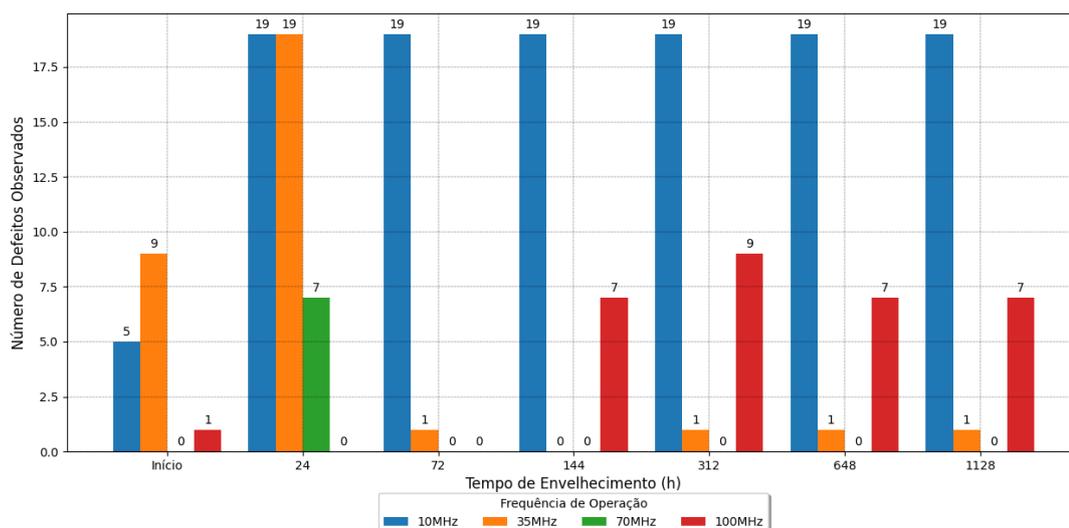
O ensaio executado com nível de 2Vpp, apresentou um pequeno aumento no número de defeitos observados, resultando em aumento médio de aproximadamente 80%. Analisando por frequências, os valores observados foram: 10MHz (280%), 35MHz (-88,9%), 70MHz (0%) e 100MHz (600%). Os dados são apresentados na Tabela 31 e Figura 73. Nessa configuração, a taxa de defeitos foi de  $\lambda_{final} = 189$  defeitos/ 1128 horas, sucedendo em um MTTF de aproximadamente 6 horas.

Tabela 31 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão nominal de alimentação (3,3V).

Frequência (MHz)	Nº de Defeitos Observados							Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	
10	5	19	19	19	19	19	19	280
35	9	19	1	0	1	1	1	-88,9
70	0	7	0	0	0	0	0	0
100	1	0	0	7	9	7	7	600
<b>Subtotal</b>	15	45	20	26	29	27	27	80

Fonte: Autor.

Figura 73 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão nominal de alimentação (3,3V).



Fonte: Autor.

Quando executado com o nível de tensão de 3Vpp, diferentemente dos outros resultados anteriormente apresentados, o microcontrolador apresentou, na maioria das

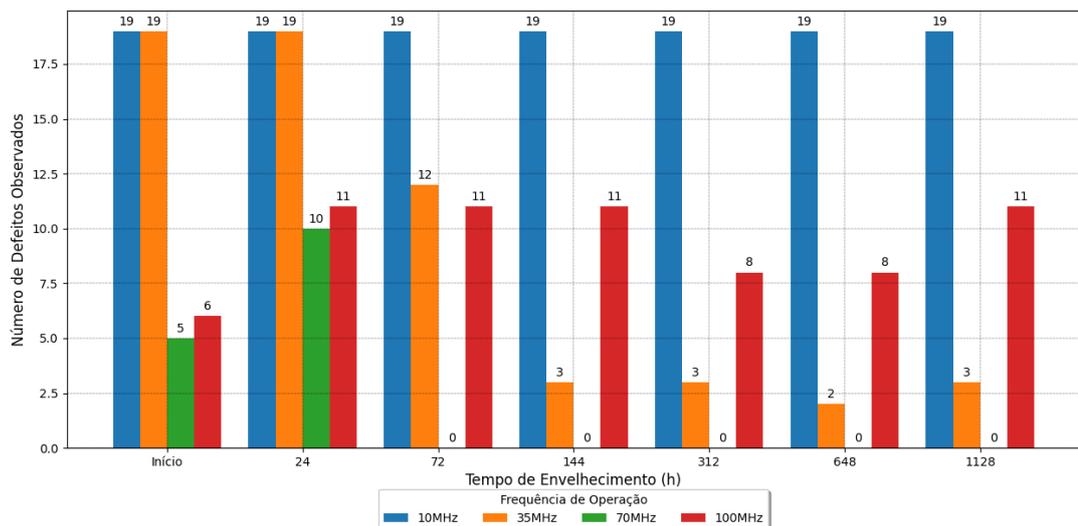
frequências de operação, uma redução no número de defeitos observados quando comparado aos resultados iniciais (redução média de -32,6%), de acordo com a Tabela 32 e Figura 74. Essas diminuições foram: 10MHz (0%), 35MHz (-84,2%), 70MHz (-100%) e um aumento em 100MHz (83,3). A taxa de defeitos apresentou um valor elevado de  $\lambda_{final} = 275$  defeitos/1128 horas, resultando em um MTTF de aproximadamente 4,1 horas.

Tabela 32 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão nominal de alimentação (3,3V).

Frequência (MHz)	Nº de Defeitos Observados							Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	
10	19	19	19	19	19	19	19	0
35	19	19	12	3	3	2	3	-84,2
70	5	10	0	0	0	0	0	-100
100	6	11	11	11	8	8	11	83,3
<b>Subtotal</b>	49	59	42	33	30	29	33	-32,6

Fonte: Autor.

Figura 74 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão nominal de alimentação (3,3V).



Fonte: Autor.

No último nível de ensaio (4Vpp), para a tensão nominal de alimentação, o circuito apresentou um aumento médio de 17,2%, se destacando pelo comportamento similar aos resultados encontrados durante a etapa inicial da medição dos parâmetros de "ouro".

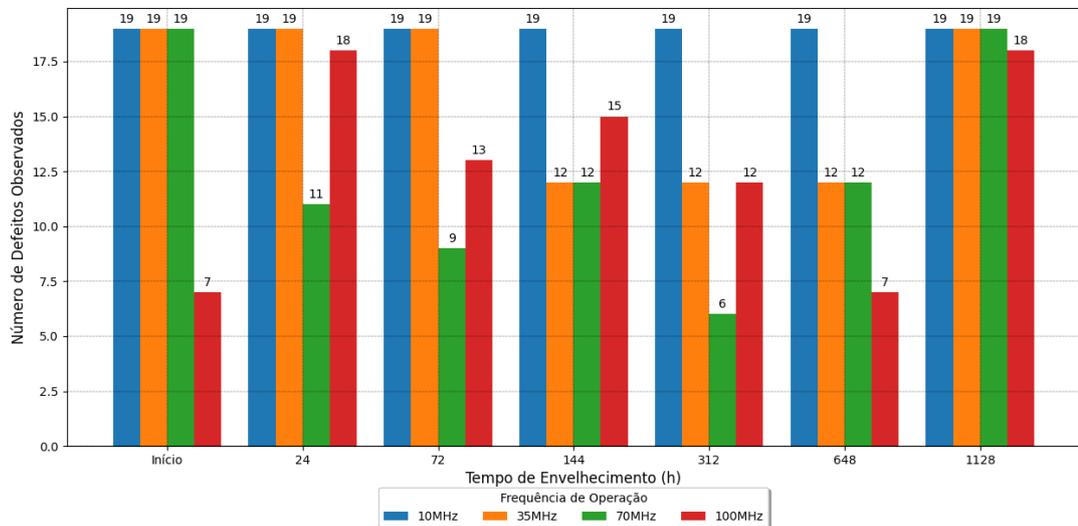
Esses resultados foram: 10MHz (0%), 35MHz (0%), 70MHz (0%) e 100MHz (157,2%), sintetizados na Tabela 33 e Figura 75. A taxa de defeitos foi de  $\lambda_{final} = 423$  defeitos/ 1128 horas, e o MTTF de aproximadamente 2,7 horas.

Tabela 33 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão nominal de alimentação (3,3V).

Frequência (MHz)	Nº de Defeitos Observados							Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	
10	19	19	19	19	19	19	19	0
35	19	19	19	12	12	12	19	0
70	19	11	9	12	6	12	19	0
100	7	18	13	15	12	7	18	157,2
<b>Subtotal</b>	64	67	60	58	49	50	75	17,2

Fonte: Autor.

Figura 75 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão nominal de alimentação (3,3V).



Fonte: Autor.

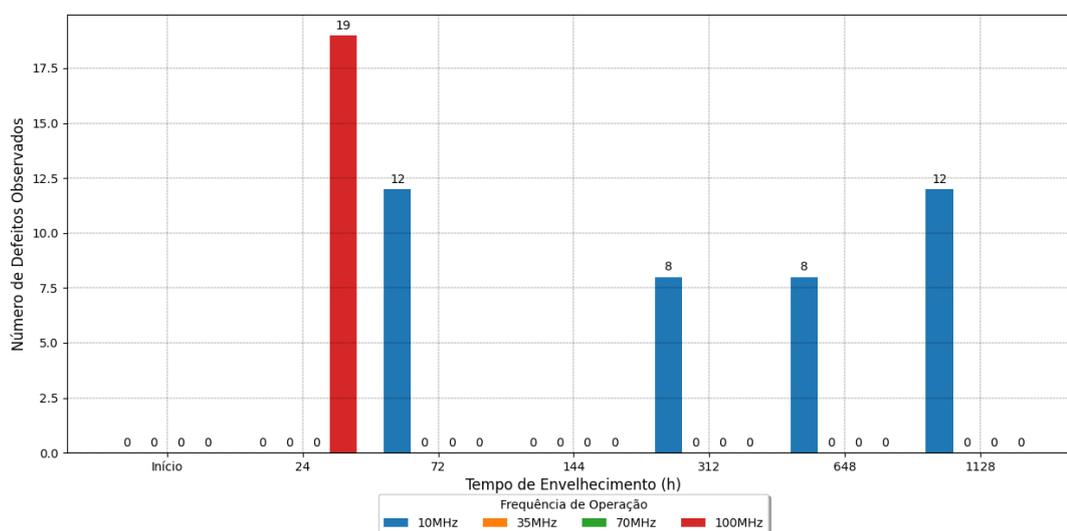
Analisando os resultados obtidos com a mínima tensão de operação, inicialmente para o nível de tensão de 1Vpp, o microcontrolador, apresentou um aumento médio de 1100%. Ressalta-se que nas frequências de 35MHz, 70MHz e 100MHz, não houve aumento no número de defeitos conforme indicado na Tabela 34 e Figura 76; entretanto, para a frequências de 10MHz, ocorreu um aumento de 1100%. A taxa de defeitos foi de  $\lambda_{final} = 59$  defeitos/ 1128 horas, e o MTTF de aproximadamente 19 horas.

Tabela 34 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão mínima de operação.

Frequência (MHz)	Nº de Defeitos Observados							Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	
10	0	0	12	0	8	8	12	1100
35	0	0	0	0	0	0	0	0
70	0	0	0	0	0	0	0	0
100	0	19	0	0	0	0	0	0
<b>Subtotal</b>	0	19	12	0	8	8	12	1100

Fonte: Autor.

Figura 76 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 1Vpp e tensão mínima de operação.



Fonte: Autor.

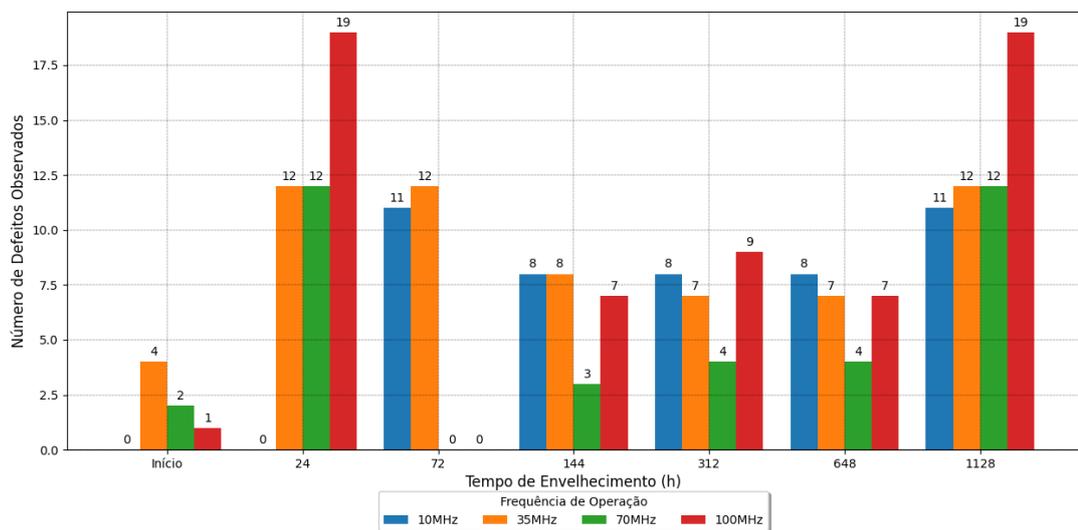
Ao nível de 2Vpp, o microcontrolador apresentou uma menor imunidade, com um aumento médio de 671,4% no número de defeitos observados, conforme dados representados na Tabela 35 e Figura 77. Verificando de acordo com as frequências de operação, esses aumentos foram de: 10MHz (1100%), 35MHz (200%), 70MHz (500%) e 100MHz (1800%). A taxa de defeitos foi de  $\lambda_{final} = 207$  defeitos/ 1128 horas, resultando em um MTTF de aproximadamente 5,5 horas.

Tabela 35 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão mínima de operação.

Frequência (MHz)	Nº de Defeitos Observados							Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	
10	0	0	11	8	8	8	11	1100
35	4	12	12	8	7	7	12	200
70	2	12	0	3	4	4	12	500
100	1	19	0	7	9	7	19	1800
<b>Subtotal</b>	7	43	23	26	28	26	54	671,4

Fonte: Autor.

Figura 77 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 2Vpp e tensão mínima de operação.



Fonte: Autor.

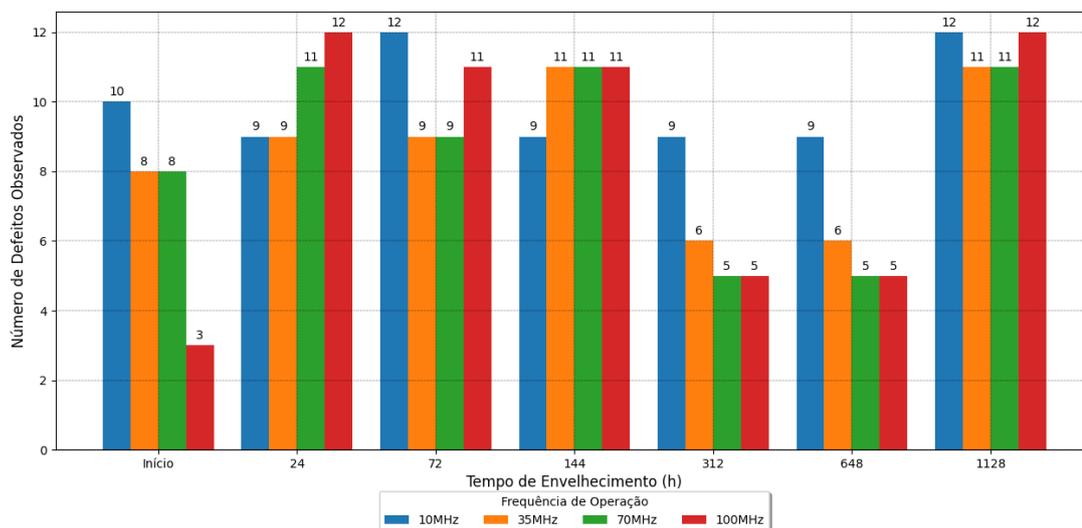
No nível de 3Vpp, o microcontrolador apresentou um aumento médio no número de defeitos observados de aproximadamente 56,2%, conforme indicado na Tabela 36 e Figura 78. Os aumentos conforme a frequência de operação foram: 10MHz (20%), 35MHz (37,5%), 70MHz (37,5%) e 100MHz (300%). Nessa configuração, a taxa de defeitos foi de  $\lambda_{final} = 249$  defeitos/ 1128 horas, resultando em um MTTF de aproximadamente 4,5 horas.

Tabela 36 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão mínima de operação.

Frequência (MHz)	Nº de Defeitos Observados							Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	
10	10	9	12	9	9	9	12	20
35	8	9	9	11	6	6	11	37,5
70	8	11	9	11	5	5	11	37,5
100	3	12	11	11	5	5	12	300
<b>Subtotal</b>	29	41	41	42	25	25	46	58,6

Fonte: Autor.

Figura 78 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 3Vpp e tensão mínima de operação.



Fonte: Autor.

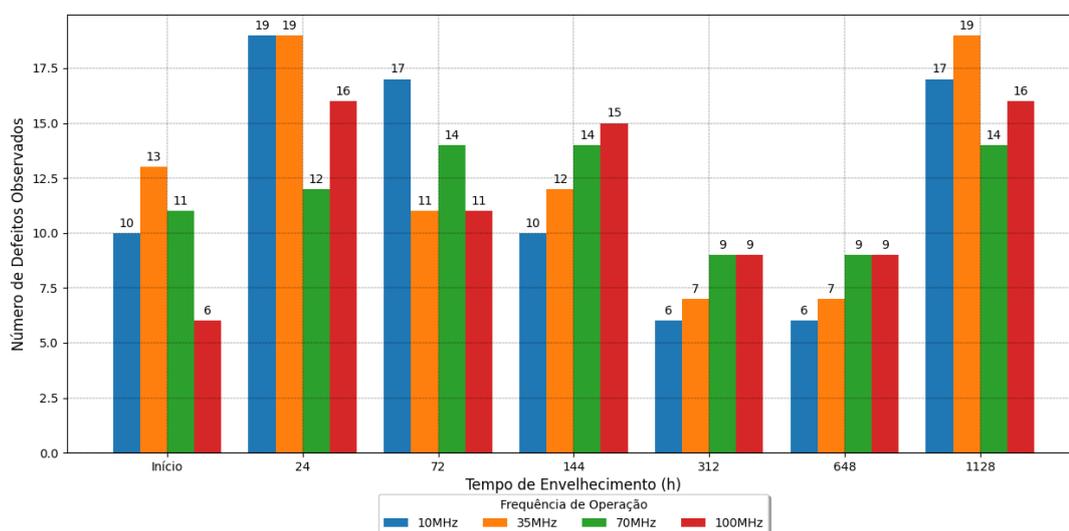
Por último, no nível de 4Vpp, o microcontrolador apresentou um aumento médio de 65% no número de defeitos observados, conforme os dados na Tabela 37 e Figura 79. Os aumentos conforme a frequência de operação foram: 10MHz (70%), 35MHz (46,2%), 70MHz (27,3%) e 100MHz (166,7%). Nesse ensaio, a taxa de defeitos foi de  $\lambda_{final} = 338$  defeitos/ 1128 horas, resultando em um MTTF de aproximadamente 3,3 horas.

Tabela 37 – Relação do número de defeitos observados durante o ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão mínima de operação.

Frequência (MHz)	Nº de Defeitos Observados							Aumento (%)
	Inicial	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5	Ciclo 6	
10	10	19	17	10	6	6	17	70
35	13	19	11	12	7	7	19	46,2
70	11	12	14	14	9	9	14	27,3
100	6	16	11	15	9	9	16	166,7
<b>Subtotal</b>	40	66	53	51	31	31	66	65

Fonte: Autor.

Figura 79 – Variação do número de defeitos observados no ensaio de campos de RF conduzidos, com nível de ensaio de 4Vpp e tensão mínima de operação.



Fonte: Autor.

## 11 DISCUSSÃO

Essa seção abordará as análises e discussões dos resultados obtidos nessa dissertação. Para tal, a argumentação será fundamentada com base nos parâmetros anteriormente mensurados durante a execução dos ensaios.

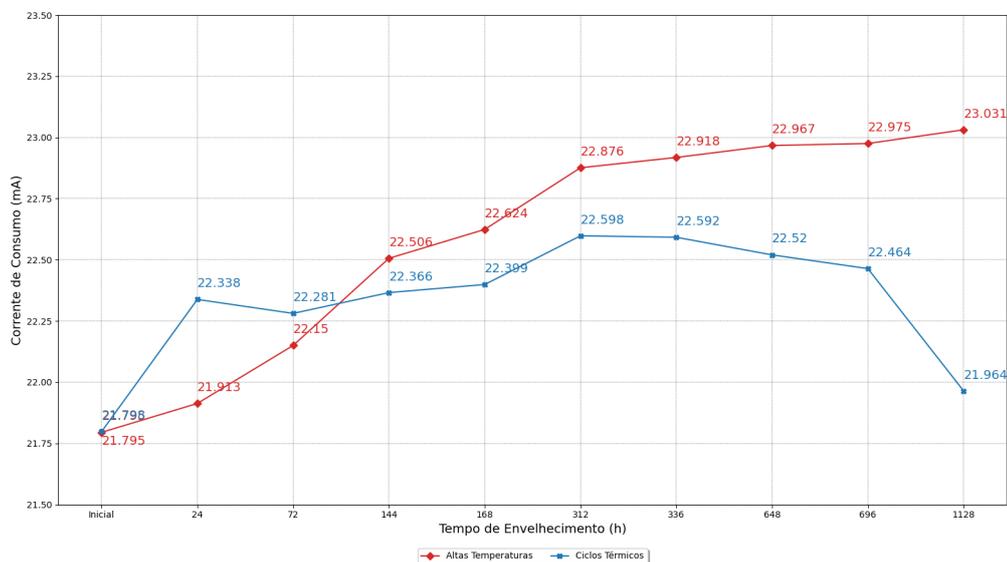
Visando comparar os efeitos dos diferentes métodos de envelhecimento utilizados, os dados obtidos serão analisados considerando o menor período total de envelhecimento obtido, nesse caso 1128 horas. São analisados os dados de todos os intervalos medidos, não superiores ao período de envelhecimento. Para os instantes de envelhecimento que não houve medição, os valores são estipulados por interpolação linear.

### 11.1 Corrente de Consumo

Para analisar os dados referente a corrente de consumo, foi considerado o valor médio calculado de todas as frequências de operação. Inicialmente, na tensão de operação de 3,3V, após 1128 horas de envelhecimento o método de altas temperaturas apresentou um aumento maior da corrente inicial, quando comparado ao método de ciclos térmicos, conforme ilustração na Figura 80. Apesar do envelhecimento por ciclos, apresentar uma maior variação inicial, ao fim do período houve uma queda e posterior estabilização, ao contrário do outro método, que apresentou um aumento gradativo até o final do período de exposição.

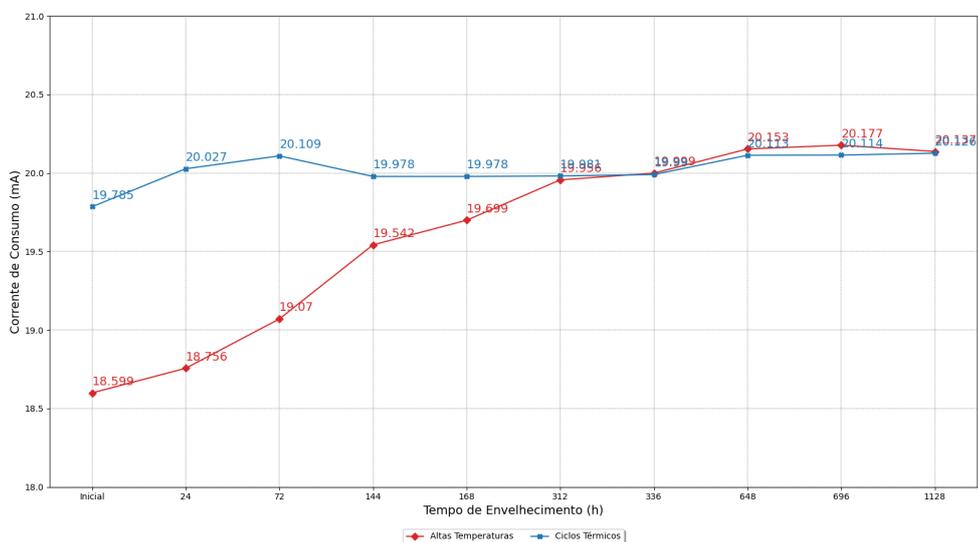
Quando operado na tensão mínima de alimentação, ao final do período, as correntes de consumo medidas em ambos os métodos apresentaram valores próximos, com pequenas variações. Entretanto, conforme analisado na Figura 81, o método por altas temperaturas apresentou uma maior variação final, quando comparado aos valores iniciais, dado que as medições iniciais da amostra sob altas temperatura tiveram valores inferiores ao da amostra sob ciclos térmicos.

Figura 80 – Comparação entre a corrente de consumo medida para os métodos de envelhecimento por alta temperatura e ciclos térmicos, na tensão de alimentação de 3,3V.



Fonte: Autor.

Figura 81 – Comparação entre a corrente de consumo medida para os métodos de envelhecimento por alta temperatura e ciclos térmicos, na tensão mínima de alimentação.



Fonte: Autor.

Portanto, é evidenciado que a corrente de consumo do microcontrolador, apresentou variações significativas conforme o tempo de envelhecimento. Ademais, conclui-se que o método de envelhecimento por altas temperaturas combinado a uma sobretensão de 150%

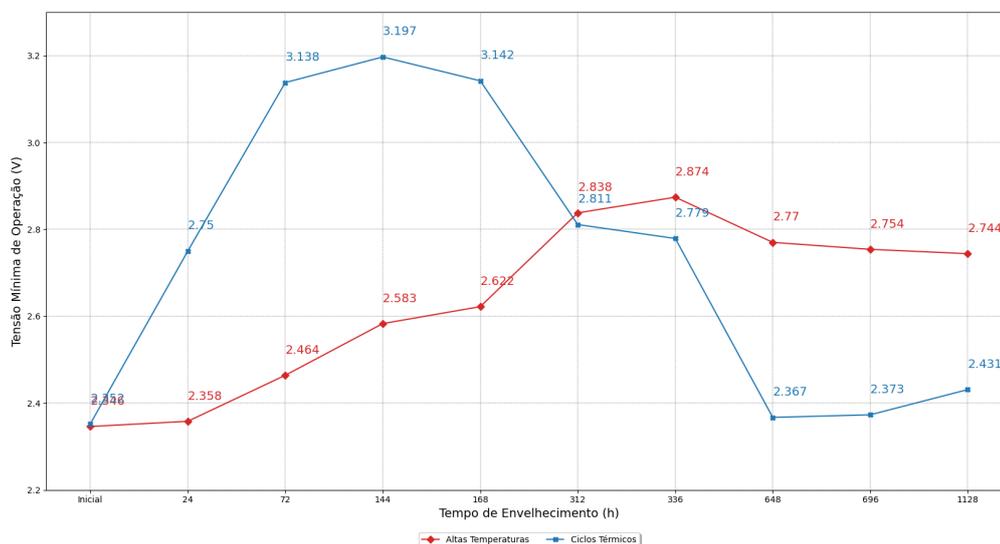
da máxima tensão de operação ( $V_{DD}$ ), é mais danoso ao componente quando comparado ao método combinado de ciclos térmicos com sobretensão na alimentação.

## 11.2 Tensão Mínima de Operação

A tensão mínima de operação, apresentou comportamentos distintos para ambos os métodos de envelhecimento, conforme ilustrado na Figura 82. Analisando inicialmente os resultados para o método de altas temperaturas, o parâmetro apresentou um aumento sucessivo até aproximadamente 336 horas de exposição. Após essa exposição, houve uma diminuição gradual e posterior estabilização em torno de 2,7V.

Para o método de ciclos térmicos, o comportamento da tensão mínima de operação do componente foi de forma oposta. Até 168 horas de envelhecimento, ocorreu um aumento significativo se aproximando da tensão nominal de operação de 3,3V. Entretanto, períodos superiores demonstraram uma expressiva diminuição, onde ao final de 1128 horas o parâmetro estabilizou-se próximo ao inicial medido.

Figura 82 – Comparação entre a tensão mínima de operação medida para os métodos de envelhecimento por alta temperatura e ciclos térmicos.



Fonte: Autor.

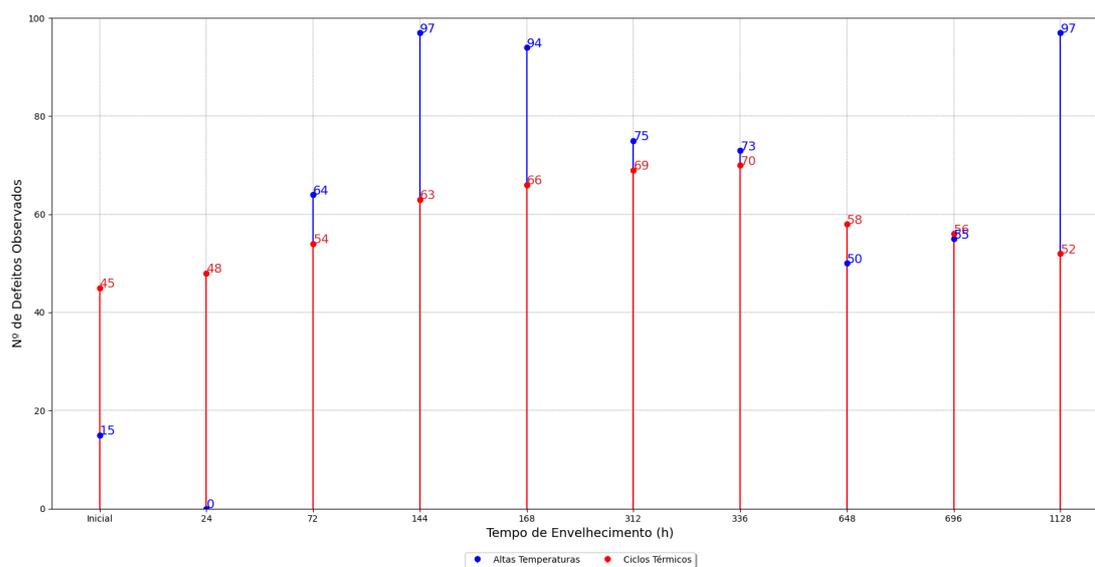
Assim sendo, se considerado o valor ao final do 1128 horas de envelhecimento, concluímos que o método de envelhecimento por altas temperaturas foi mais danoso ao microcontrolador. Entretanto, vale ressaltar o elevado aumento observado para o método de ciclos térmicos nos períodos iniciais de envelhecimento, onde essa abrupta elevação,

pode ser prejudicial a confiabilidade dos componentes, principalmente em aplicações que utilizem SoCs, visto que as tensões de operação são cada vez menores [82].

### 11.3 Susceptibilidade Eletromagnética a EFT/Burst

Primeiramente, analisando o somatório dos números de defeitos observados durante os ensaios de imunidade eletromagnética a EFT/Burst nas linhas de alimentação com a tensão de alimentação de 3,3V, observa-se que o método de envelhecimento por altas temperaturas resultou em um maior número de ocorrências, para o mesmo período de exposição, quando comparado ao método de ciclos térmicos, vide Figura 83.

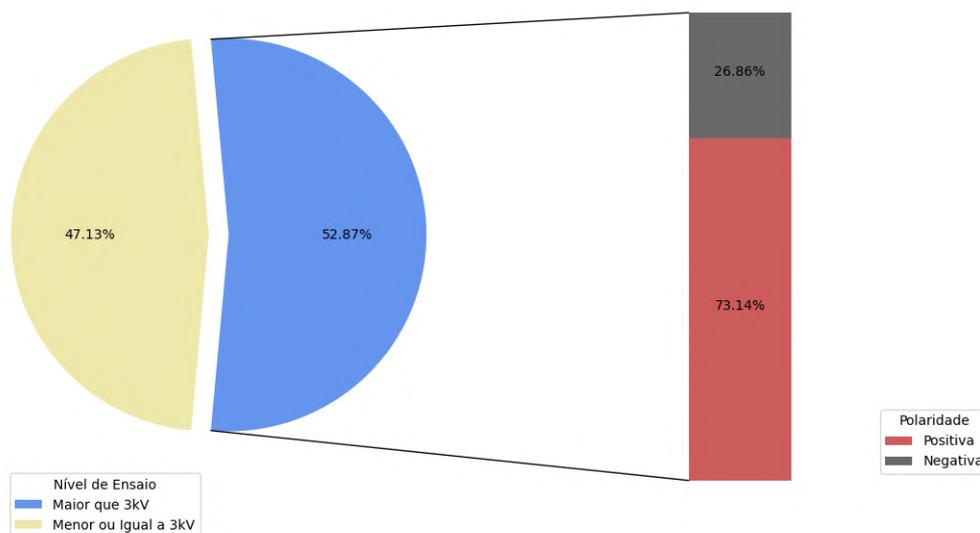
Figura 83 – Comparação entre o número de defeitos observados para os métodos de envelhecimento por alta temperatura e ciclos térmicos na tensão de alimentação de 3,3V.



Fonte: Autor.

Conseqüentemente, os resultados obtidos podem ser avaliados sob dois pontos distintos: nível de tensão que ocorreu o defeito (1) e polaridade do pulso de ensaio (2). No método de envelhecimento através de altas temperaturas, os defeitos observados ocorreram de forma bem distribuída conforme o nível de ensaio, onde 52,87% dos defeitos ocorreram em níveis de tensão maior que 3kV e 47,13% ocorreram em níveis menores ou iguais a 3kV. Dentre a faixa de maior ocorrência dos defeitos, 73,14% destes ocorreram na polaridade positiva do ensaio, enquanto que 26,86% na polaridade negativa. Na Figura 84, são ilustrados esses valores abordados.

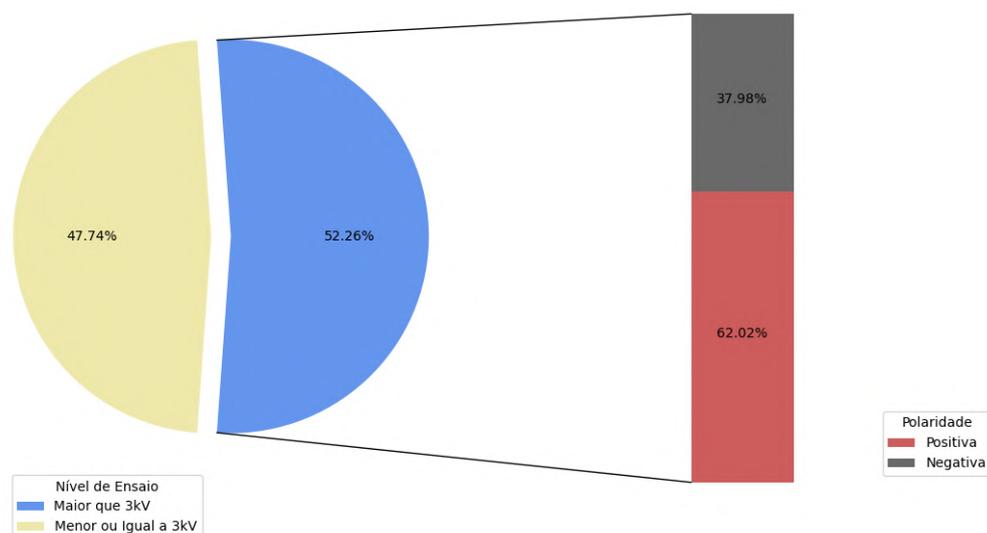
Figura 84 – Distribuição do número de defeitos observados no envelhecimento por altas temperaturas, em relação ao nível de ensaio e polaridade, com tensão de alimentação de 3,3V.



Fonte: Autor.

Já para o método de envelhecimento por ciclos térmicos, os defeitos observados também ocorreram de forma bem distribuída conforme o nível de ensaio. Dessa distribuição, 52,26% dos defeitos ocorreram em níveis de tensão maior que 3kV e 47,74% ocorreram em níveis menores ou iguais a 3kV. Para a faixa de maior incidência, 62,02% dos defeitos ocorreram na polaridade positiva e 31,98% na polaridade negativa, vide Figura 85.

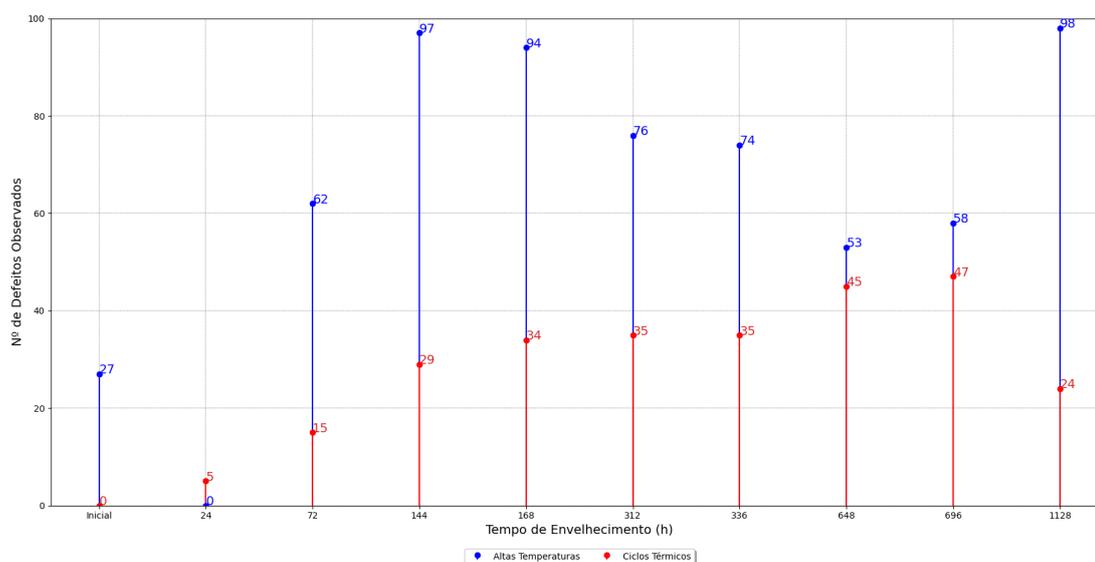
Figura 85 – Distribuição do número de defeitos observados no envelhecimento por ciclos térmicos, em relação ao nível de ensaio e polaridade, com tensão de alimentação de 3,3V.



Fonte: Autor.

Subsequentemente, analisando os resultados dos ensaios na tensão mínima de operação, verifica-se que o método de altas temperaturas foi consideravelmente mais danoso ao componente, visto que o número de defeitos observados foi muito maior quando comparado ao método de ciclos térmicos. Através da Figura 86, é possível verificar o quão significativa foi essa diferença.

Figura 86 – Comparação entre o número de defeitos observados para os métodos de envelhecimento por alta temperatura e ciclos térmicos na tensão mínima de operação.

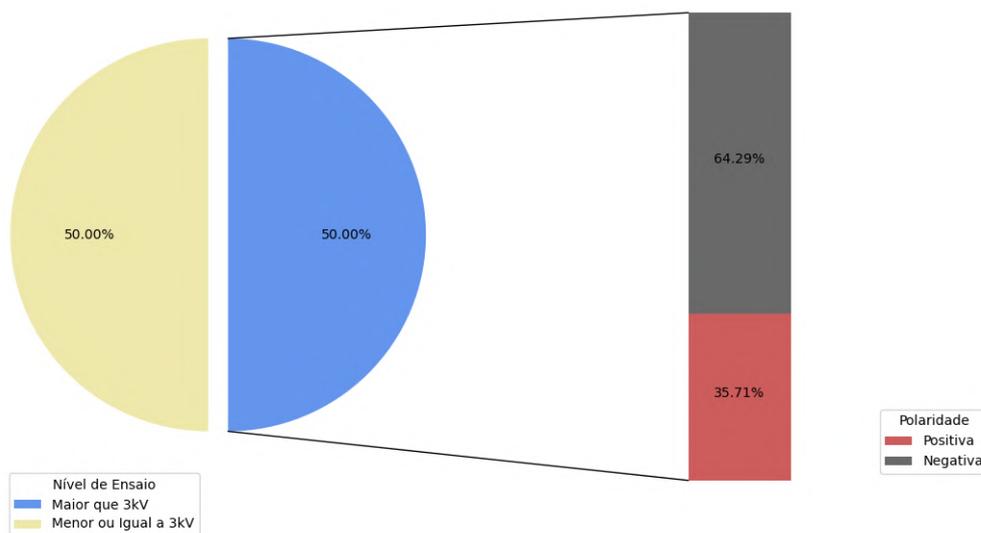


Fonte: Autor.

Para o método de altas temperaturas, ocorreu uma distribuição uniforme do número de defeitos de acordo com o nível de ensaio, ocorrendo 50% destes em tensões maiores que 3kV e 50% em tensões menores ou iguais a 3kV. Já na polaridade, analisando os defeitos observados no primeiro intervalo, 64,29% ocorreram na polaridade negativa e 35,71% na polaridade positiva. Os dados apresentados estão ilustrados na Figura 87.

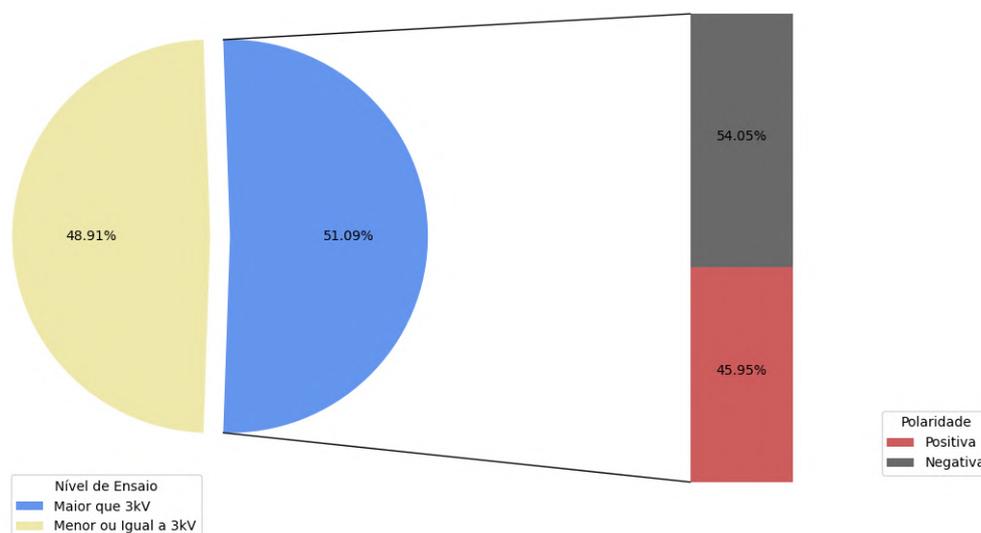
No método de ciclos térmicos, novamente a distribuição ocorreu de forma similar, legitimando os resultados anteriormente apresentados. Foram verificados que 48,91% dos defeitos ocorreram em tensões menores ou igual a 3kV e 51,09% em níveis maiores que 3kV. Do maior intervalo, 54,05% dos defeitos ocorreram na polaridade negativa e 45,95% na polaridade positiva, conforme dados ilustrados na Figura 88.

Figura 87 – Distribuição do número de defeitos observados no envelhecimento por altas temperaturas, em relação ao nível de ensaio e polaridade, com tensão mínima de operação.



Fonte: Autor.

Figura 88 – Distribuição do número de defeitos observados no envelhecimento por ciclos térmicos, em relação ao nível de ensaio e polaridade, com tensão mínima de operação.



Fonte: Autor.

Desse modo, em vista dos resultados e análise apresentados, conclui-se que o método de envelhecimento por altas temperaturas foi mais prejudicial a confiabilidade do microcontrolador, visto que conforme a Figura 83 e Figura 86, induziu um maior número de defeitos observados, principalmente na menor tensão de operação. Além disso, observou-se que a distribuição do número de defeitos ocorreu amplamente ao longo dos

níveis de ensaio. Comparando as polaridade de ensaio, observou-se que para tensões de alimentação próximas do valor mínimo estabelecido pelo fabricante, o ensaio na polaridade negativa tende a induzir um maior número de defeitos, enquanto que para o valor nominal de tensão, a polaridade positiva de ensaios induz um maior número de defeitos.

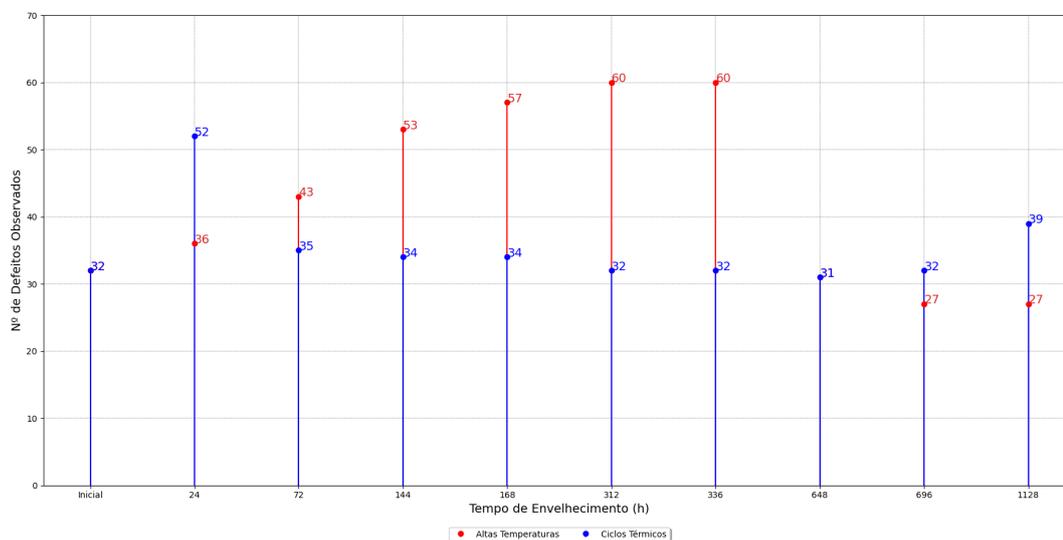
#### 11.4 Susceptibilidade Eletromagnética a Campos de RF Conduzidos

Através dos limites de ensaio estabelecidos na Tabela 3, observa-se o nível máximo de tensão estabelecido é de 10Vpp. Contudo, durante os ensaios iniciais para avaliar o comportamento inicial do componente, verificou-se que para valores superiores a 4Vpp, o microcontrolador apresentava defeitos em toda a escala de frequência. Portanto, visando analisar o comportamento ao longo do tempo de envelhecimento, somente foram utilizados os níveis de tensão até 4Vpp.

Para a analisar a confiabilidade do microcontrolador de acordo com os resultados obtidos nos ensaios de imunidade a campos de RF conduzidos nas linhas de alimentação, primeiramente será comparado o número de defeitos observados nos diferentes tempos de envelhecimento. Esse valor é calculado pela média dos defeitos observados nos quatro níveis de ensaio: 1Vpp, 2Vpp, 3Vpp e 4Vpp. Adiante, também é realizado o levantamento dos defeitos de acordo com três faixas de frequência estabelecidas: 0,15MHz a 4MHz (1), 4MHz a 10MHz (2) e 10MHz a 80MHz (3).

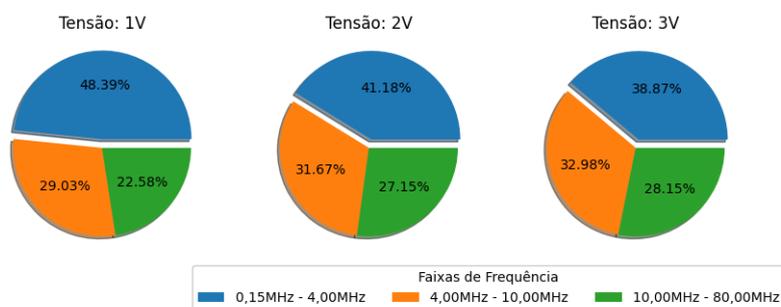
Na tensão de alimentação de 3,3V verificou-se que, conforme Figura 89, o método de envelhecimento por altas temperaturas foi mais prejudicial a confiabilidade do circuito do microcontrolador, induzindo um maior número de defeitos em um mesmo período de envelhecimento, quando comparado ao método por ciclos térmicos. Analisando a distribuição do somatórios dos defeitos nas diferentes faixas de frequência, observou-se que os mesmos ocorreram de forma bem abrangente em toda a escala. Em praticamente todos os níveis de tensão, houve uma predominância dos defeitos ocorreram na escala de 0,15MHz a 4MHz, para ambos os métodos de envelhecimento. Esses dados são indicados conforme Figura 90 e Figura 91.

Figura 89 – Comparação entre o número de defeitos observados no teste de campos de RF conduzidos para os métodos de envelhecimento por alta temperatura e ciclos térmicos na tensão de alimentação de 3,3V.



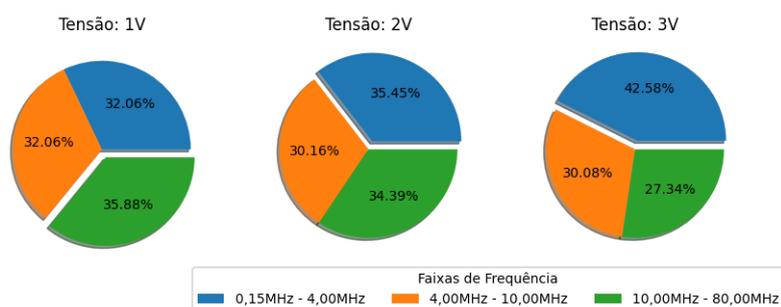
Fonte: Autor.

Figura 90 – Distribuição do número de defeitos observados no envelhecimento por altas temperaturas, em relação ao nível de tensão de ensaio e faixas de frequências, com tensão de alimentação de 3,3V.



Fonte: Autor.

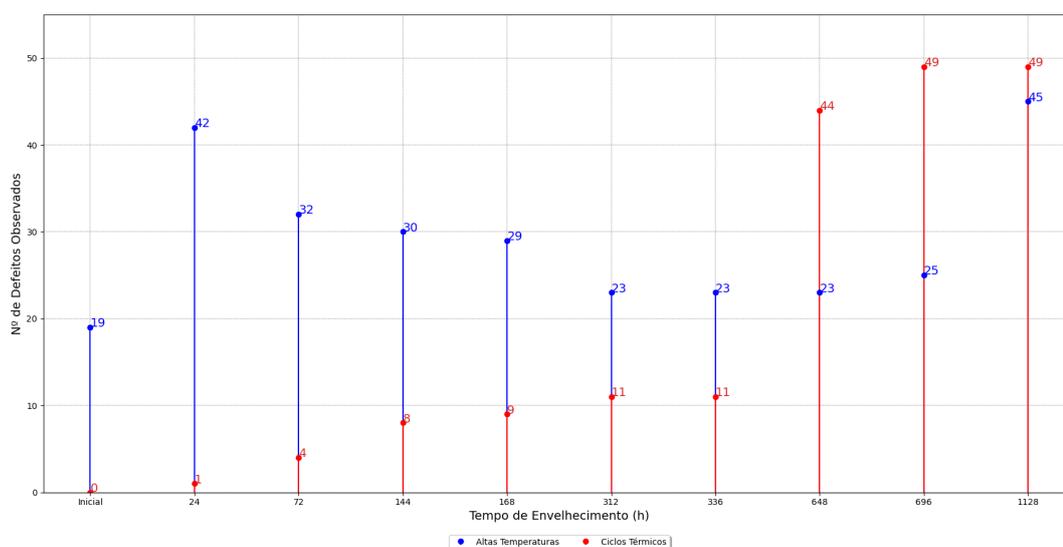
Figura 91 – Distribuição do número de defeitos observados no envelhecimento por ciclos térmicos, em relação ao nível de tensão de ensaio e faixas de frequências, com tensão de alimentação de 3,3V.



Fonte: Autor.

Quando em alimentação na tensão mínima de operação, até aproximadamente 336 horas de envelhecimento, o método por altas temperaturas mostrou-se mais danoso ao circuito do microcontrolador. Todavia, após esse tempo de exposição, o método de ciclos térmicos mostrou-se mais prejudicial a confiabilidade do circuito, induzindo um número maior de defeitos, conforme Figura 92.

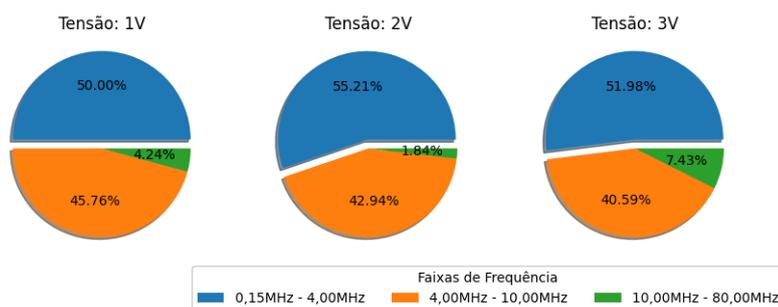
Figura 92 – Comparação entre o número de defeitos observados no teste de campos de RF conduzidos para os métodos de envelhecimento por alta temperatura e ciclos térmicos na tensão mínima de operação.



Fonte: Autor.

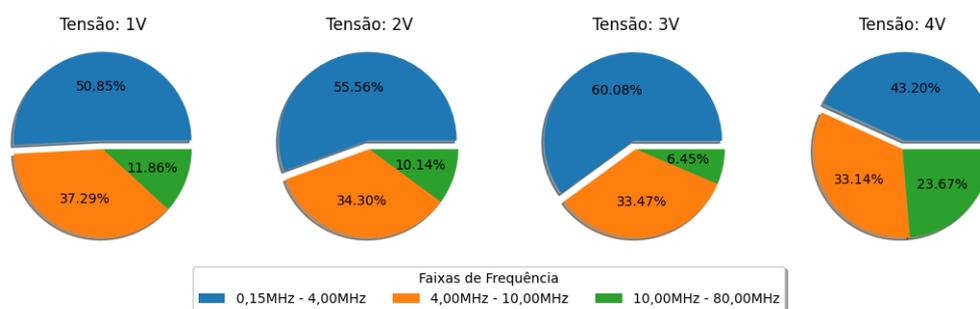
Analisando a distribuição do somatório dos defeitos nas diferentes faixas de frequência, de forma similar ao observado para a tensão de operação de 3,3V, houve a distribuição dos defeitos ao longo de toda a faixa de frequência, predominando novamente a escala de 0,15MHz a 4MHz, conforme dados na Figura 93 e Figura 94.

Figura 93 – Distribuição do número de defeitos observados no envelhecimento por altas temperaturas, em relação ao nível de tensão de ensaio e faixas de frequências, com tensão mínima de operação.



Fonte: Autor.

Figura 94 – Distribuição do número de defeitos observados no envelhecimento por ciclos térmicos, em relação ao nível de tensão de ensaio e faixas de frequências, com tensão mínima de operação.



Fonte: Autor.

Assim, em virtude dos resultados e análises apresentados, conclui-se que ambos os métodos de envelhecimento degradaram circunstancialmente a confiabilidade do circuito. Diferentemente das análises anteriormente efetuadas, para o ensaio de imunidade a campos de RF conduzidos nas linhas de alimentação, não é possível determinar qual método de envelhecimento foi mais prejudicial a confiabilidade do microcontrolador, visto que conforme as Figuras 89 e Figura 92, os defeitos induzidos para ambos os métodos ocorreram em quantidade semelhante. Contudo, de acordo com as análises da Figura 90, Figura 91, Figura 93 e Figura 94 verifica-se que houve ocorrência de defeitos em toda a faixa de frequência de ensaio, com uma grande predominância na escala de 0,15MHz a 4MHz.

## 12 CONCLUSÃO

O conhecimento da confiabilidade e robustez de circuitos integrados e sistemas, representam um dos maiores desafios no desenvolvimento de projetos. Visando preencher essa lacuna, esse estudo apresentou como objetivo principal o desenvolvimento de uma metodologia de testes para análise do comportamento de microcontroladores considerando os efeitos do envelhecimento e da interferência eletromagnética nas linhas de alimentação, através dos fenômenos de EFT/Burst e campos de RF conduzidos. Para a realização desse propósito foi necessário a implementação das seguintes etapas:

1. Pesquisar e avaliar documentos técnicos consagrados da literatura que descrevessem os métodos de envelhecimento e ensaios de interferência eletromagnética nas linhas de alimentação;
2. Projetar as placas de circuito impresso e a plataforma de testes para serem submetidas aos ensaios, definindo os respectivos modos de operação;
3. Implementar a configuração de ensaio e realizar os testes de envelhecimento e imunidade eletromagnética, que foram realizados nas instalações dos Laboratórios Especializados em Eletroeletrônica (LABELO) da PUCRS;
4. Verificar os níveis de ensaio pertinentes para levantamento da confiabilidade do microcontrolador conforme o nível de envelhecimento.

Portanto, com base nos estudos, resultados e análises apresentados anteriormente, foram obtidas as seguintes conclusões:

- i. Os ensaios combinados de interferência eletromagnético e envelhecimento, indicaram que o circuito do microcontrolador Cortex-M4, modelo STM32F103C8T6, apresentou uma baixa imunidade eletromagnética, sendo sua confiabilidade muito influenciada pela combinação de variações de temperatura com sobretensão na alimentação;
- ii. A utilização de metodologia de envelhecimento combinando alta temperatura a  $120^{\circ}\text{C}$  e sobretensão de  $150\% V_{DD}$ , foi levemente mais prejudicial a confiabilidade do microcontrolador do que a metodologia de envelhecimento por ciclos térmicos e sobretensão de  $150\% V_{DD}$ . Contudo, ambos os métodos se mostraram eficazes na indução de defeitos inerentes ao comportamento do componente;

- iii. A metodologia de ensaios deve abranger praticamente toda a faixa de tensão de alimentação descrita nas especificações do componente. Portanto, é aconselhado executar os testes na mínima tensão de operação e na tensão nominal indicada para operação. De mesmo modo, também realiza-se o mesmo procedimento para as frequências de operação. Contudo, é aconselhado executar os testes em uma frequência acima da máxima especificada, a fim de simular situações de *overclock*, muito comuns em aplicações;
- iv. A utilização da norma IEC 61000-4-6 é eficiente para avaliação da confiabilidade do microcontrolador mediante interferências eletromagnéticas contínuas nas linhas de alimentação. Contudo, devem ser avaliados os níveis de tensão de ensaio adequados para levantamento do erro em função do envelhecimento. Para SoC's com faixas de alimentação entre 2V e 4V, admitem-se os níveis de tensão de 1Vpp, 2Vpp, 3Vpp e 4Vpp;
- v. Para a norma de ensaio IEC 61000-4-4, é adequado executar os ensaios utilizando a escala de 0,2kV a 4kV, visto o fato dos resultados demonstrarem defeitos em todos esse níveis;
- vi. O uso dos métodos de envelhecimento acelerado descritos nos documentos normativos MIL-STD-883H e JESD22-A104D são aplicáveis para utilização em testes de circuitos integrados. Entretanto, os valores recomendados de temperatura e sua duração, devem ser verificados para cada tipo de sistema ensaiado;
- vii. O parâmetro de performance do microcontrolador, medido através da saída fornecida pelo algoritmo de Dhrystone, é irrelevante para levantamento das características da confiabilidade do microcontrolador, dado o fato de que o valor de Dhrystone per Seconds não sofreu alterações em nenhum dos métodos de envelhecimento acelerado utilizados;
- viii. Os resultados demonstraram que a tensão mínima de operação do componente é uma importante métrica a ser levada em conta nas diferentes metodologias de testes de SoC's, visto que independente da metodologia de envelhecimento acelerado utilizada, significativas variações foram verificadas.

Os resultados obtidos demonstraram que os microcontroladores apresentam uma baixa imunidade eletromagnética quando expostos a interferências eletromagnéticas conduzidas nas linhas de alimentação, oriundas de EFT/Burst e campos de RF conduzidos.

Os dados expostos, corroboraram que o envelhecimento, é um fator crítico, afetando a confiabilidade e robustez do projeto, sendo importante o conhecimento do desempenho do sistema desde a etapa de prototipação. Dessa forma, a metodologia aqui proposta busca através da implementação e estudo de normas técnicas consagradas na literatura, qualificar os projetos de pesquisa e desenvolvimento que utilizem de SoC's, auxiliando os desenvolvedores em formas de identificação de defeitos nos sistemas quando operados sob efeitos desses fenômenos.

### **12.1 Propostas para Trabalhos Futuros**

Na Seção 3.5, foram abordados diversos tipos de ensaios de EMI conduzida além dos executados nessa dissertação. Incorporando características desse estudo como métodos de envelhecimento e utilização do mesmo sistema, sugere-se como trabalho futuro realizar o estudo da confiabilidade do microcontrolador frente aos ensaios de EMI conduzida por ESD e Surtos. O complemento dessas informações, contribuiria em uma metodologia mais robusta, abrangendo mais fenômenos que possam vir a ocasionar defeitos nos sistemas.

Uma outra alternativa de trabalho, visaria o estudo das emissões eletromagnéticas do componente, avaliando como o mesmo se comporta conforme os diversos níveis de envelhecimento acelerado. Esse projeto forneceria embasamento na análise do sistema como um todo, permitindo aos projetista saber a influência dos microcontroladores em demais componentes do sistema.

## REFERÊNCIAS

- 1 ALVARES, Manoel Guidi. **Desenvolvimento de Metodologia de Ensaios de Compatibilidade Eletromagnética para acessórios de Rede de uma Softstarter**. Orientador: Adroaldo Raizer. 2017. 99 p. Trabalho de conclusão de curso (Bacharel em Engenharia de Controle e Automação) - Universidade Federal de Santa Catarina, Florianópolis, 2017.
- 2 ASHCROFT , Neil; NERMIN, N. David. **Física do Estado Sólido**. 1. ed. São Paulo: Cengage Learning, 2010. 500 p. v. 1. ISBN 978-8522109029.
- 3 AVIZIENIS, A. et al. Basic concepts and taxonomy of dependable and secure computing. **IEEE Transactions on Dependable and Secure Computing**, v. 1, ed. 1, p. 11-33, 2004. DOI: 10.1109/TDSC.2004.2.
- 4 BARRETT, Steven Frank PACK, Daniel J. **Microcontrollers Fundamentals for Engineers and Scientists**. 1. ed.: Morgan & Claypool, 2006. 126p. v. 1. ISBN 1598290584.
- 5 BAUER, S. et al. Prediction of the robustness of integrated circuits against EFT/BURST. **2015 IEEE International Symposium on Electromagnetic Compatibility (EMC)**, pp. 45-49, 2015. DOI: 10.1109/ISEMC.2015.7256130.
- 6 BECKER, Carlos André. **Detecção Distribuída de Falhas em Soc Multiprocessado**. Dissertação (Dissertação de Mestrado) Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Faculdade de Engenharia, Programa de Pós-Graduação em Engenharia Elétrica. Porto Alegre, 2008.
- 7 BEN DHIA, Sonia, RAMDANI, Mohamed, SICARD, Etienne. **Electromagnetic Compatibility of Integrated Circuits: Techniques for low emission and susceptibility**. 1. ed. Springer Publishing Company, 2006. 473 p. v. 1. ISBN 978-1-4614-9831-5.
- 8 BEN DHIA, S. e BOYER, A. Electro-magnetic robustness of integrated circuits: from statement to prediction. **2013 9th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo)**, Nara, 2013, pp. 208-213, DOI: 10.1109/EMCCompo.2013.6735202.
- 9 BEN DHIA, S. e BOYER, A. A review of research on the effect of aging on the EMC of integrated circuits. **2016 Asia-Pacific International Symposium on**

**Electromagnetic Compatibility (APEMC)**, Shenzhen, 2016, pp. 1153-1155, DOI: 10.1109/APEMC.2016.7522971.

10 BENFICA, Juliano D'Ornellas. **Plataforma para Desenvolvimento de SoC (System-on-Chip) Robusto a Interferência Eletromagnética**. Dissertação (Dissertação de Mestrado) Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Faculdade de Engenharia, Programa de Pós-Graduação em Engenharia Elétrica. Porto Alegre, 2007.

11 BENFICA, Juliano D'Ornellas. **Plataforma para testes e qualificação de dispositivos reconfiguráveis e sistemas em chip, submetidos aos efeitos combinados da interferência eletromagnética e da radiação ionizante**. 2015. 225 p. Tese (Doutorado em Engenharia Elétrica) - Universidade Federal de Santa Catarina, Santa Catarina, 2015.

12 BENFICA, Juliano et al. Conducted EMI susceptibility analysis of a COTS processor as function of aging. **Microelectronics Reliability**, v. 114, ed. 113884, 2020. ISSN: 0026-2714.

13 BRICAUD, Pierre. **Reuse Methodology Manual: for System-on-a-Chip Designs**. 2. ed. v. 1. Springer, 2002. 312 p. ISBN 0387740988.

14 BUZDUGAN, M. I. e BALAN, H. A Brief Review of Transient Electromagnetic Immunity Testing. **2019 International IEEE Conference and Workshop in Óbuda on Electrical and Power Engineering (CANDO-EPE)**, Budapest, Hungary, 2019, pp. 127-132, DOI: 10.1109/CANDO-EPE47959.2019.9111040.

15 CAROBBI, C. F. M. et al. Time-Domain Characterization of the Surge, EFT/Burst, and ESD Measurement Systems. **IEEE Transactions on Instrumentation and Measurement**, vol. 62, no. 6, pp. 1840-1846, Junho 2013, DOI: 10.1109/TIM.2013.2239017.

16 CELAYA, J. R. Celaya et al. Accelerated aging system for prognostics of power semiconductor devices. **2010 IEEE AUTOTESTCON**, Orlando, FL, 2010, pp. 1-6, DOI: 10.1109/AUTEST.2010.5613564.

17 CHEN, Kueing-Long et al. Reliability effects on MOS transistors due to hot-carrier injection. **IEEE Transactions on Electron Devices**, vol. 32, no. 2, pp. 386-393, Fev. 1985, DOI: 10.1109/T-ED.1985.21953.

- 18 CHEN, Chang-Chih Chen et al. Processor-level reliability simulator for time-dependent gate dielectric breakdown. **Microprocessors and Microsystems**, v. 39, no. 8, 2015, pp. 950-960, ISSN 0141-9331.
- 19 CONTE, Thomas M. e HWU, Wen-mei W. 1991. Benchmark Characterization. **Proceedings of the Annual Hawaii International Conference on System Sciences**. vol. 1, no. 1, pp. 364-372, Jan. 1991, DOI: 10.1109/2.67193.
- 20 COPETTI, Thiago Santos. **Metodologia baseada em hardware para o desenvolvimento de circuitos integrados tolerantes ao fenômeno de NBTI**. Dissertação (Dissertação de Mestrado) Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Faculdade de Engenharia, Programa de Pós-Graduação em Engenharia Elétrica. Porto Alegre, 2015.
- 21 CRISTOFOLI, Luís Fernando Stiborski. **Análise da Robustez de Circuitos Assíncronos em Ambiente de Interferência Eletromagnética**. Dissertação (Dissertação de Mestrado) Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Faculdade de Engenharia, Programa de Pós-Graduação em Engenharia Elétrica. Porto Alegre, 2009.
- 22 DEPARTAMENTO DE DEFESA (Estados Unidos). Department of Defense United States of America. MIL-STD-338B. **Military Handbook: Electronic Reliability Design Handbook**, Estados Unidos: Commander, Defense Logistics Agency, DLA Land and Maritime, ATTN, 1998.
- 23 DEPARTAMENTO DE DEFESA (Estados Unidos). Department of Defense United States of America. MIL-STD-883H. **Test Method Standard for Microcircuits**, Estados Unidos: Commander, Defense Logistics Agency, DLA Land and Maritime, ATTN, 2010.
- 24 ESCRIBANO, A. Honrubia-Escribano et al. Influence of voltage dips on industrial equipment: Analysis and assessment. **International Journal of Electrical Power & Energy Systems**, vol. 41, no. 1, 2012, pp. 87-95, ISSN: 0142-0615. DOI: <https://doi.org/10.1016/j.ijepes.2012.03.018>.
- 25 ELECTRICAL Fast Transients (EFT)/Burst ESD Details. In: **Electrical Fast Transients (EFT)/Burst ESD Details**, 16 jun. 2019. Disponível em: <http://www.esdunlimited.com/eft.html>. Acesso em: 14 jan. 2021.

- 26 EPIF, Algol60, Disponível em: [http://www.epif.com.br/wiki/index.php/ Algol60](http://www.epif.com.br/wiki/index.php/Algol60). Acesso em: 06 de novembro de 2019.
- 27 ESPEC NORTH AMERICA (Colorado, Estados Unidos). 933-0336. **Qualmark HALT Test Guidelines**, Estados Unidos, Rev.4, 2010.
- 28 FELIX, Érico Pessoa. **Análise de Confiabilidade de Sistemas Eletrônicos Complexos Baseados em Ensaios Acelerados de Vida**. Dissertação (Dissertação de Mestrado) Universidade de São Paulo - USP, Departamento de Engenharia Mecatrônica e Sistemas Mecânicos, Programa de Pós-Graduação em Engenharia Mecânica. São Paulo, 2006.
- 29 FLYNN, Michael J. e LUK, Wayne. **Computer System Design: System-on-Chip**. 2. ed. vol. 1. Wiley, 2011. 352 p. ISBN 0470643366.
- 30 GREASON, W. D. e CASTLE, G. S. P. The Effects of Electrostatic Discharge on Microelectronic Devices A Review. **IEEE Transactions on Industry Applications**, vol. IA-20, no. 2, pp. 247-252, Março 1984, DOI: 10.1109/TIA.1984.4504404.
- 31 GARCIA, Raúl Fernandez et al. Electromagnetic compatibility of CMOS circuits along the lifetime. **Progress in Electromagnetics Research Symposium. (PIERS 2011)**. Marrakesh: 2011, p. 1235-1238. ISBN 978-1-934142-16-5.
- 32 GARRETT, H. B. e WHITTLESEY, A. C. Spacecraft charging, an update. **IEEE Transactions on Plasma Science**, vol. 28, no. 6, pp. 2017-2028, Dez. 2000, DOI: 10.1109/27.902229.
- 33 GHFIRI, C. et al. A New Methodology for EMC Prediction of Integrated Circuits After Aging. **IEEE Transactions on Electromagnetic Compatibility**, vol. 61, no. 2, pp. 572-581, Abril 2019, DOI: 10.1109/TEMC.2018.2819722.
- 34 GRAY, Kirk A.; PASCHKEWITZ, John J. **Next Generation HALT and HASS: Robust Design of Electronics and Systems**. 1. ed. Wiley, 2016. 296 p. v. 1. ISBN 9781118700235.
- 35 HUBER, Steve et al. **Comparing the Effectiveness of Stress-based Reliability Qualification Stress Conditions**: Technology Transfer 04034510A-TR. [S. l.], 12 abr.

2014. Disponível em: <http://www.sematech.org/docubase/document/4510atr.pdf>. Acesso em: 19 jan. 2021.

36 IEC International Electrotechnical Commission. In: **CISPR International special committee on radio interference**. Disponível em: <https://www.iec.ch/dyn/www/>. Acesso em: 15 jan. 2021.

37 IEC International Electrotechnical Commission. In: **Who we are: IEC International Electrotechnical Commission**. Disponível em: <https://www.iec.ch/who-we-are?ref=menu>. Acesso em: 15 jan. 2021.

38 IEC International Electrotechnical Commission. International Electrotechnical Vocabulary - Part 161 (60050-161). Geneva, Switzerland, 1990. pp. 66, Norma Técnica.

39 IEC 61326-1: 2020. Electrical equipment for measurement, control and laboratory use - EMC requirements - Part 1: General requirements. **International Electrotechnical Commission**, 2020.

40 IEC 61000-4-4: 2010. Electromagnetic Compatibility (EMC) - Part 4-4: Testing and Measurement Techniques - Electrical Fast Transient/ Burst Immunity Test. **International Electrotechnical Commission**, 2010.

41 IEC 61000-4-5: 2017. Electromagnetic Compatibility (EMC) - Part 4-5: Testing and Measurement Techniques - Surge immunity test. **International Electrotechnical Commission**, 2017.

42 IEC 61000-4-6: 2013. Electromagnetic Compatibility (EMC) - Part 4-6: Testing and Measurement Techniques - Immunity to Conducted disturbances, induced by radiofrequency fields. **International Electrotechnical Commission**, 2013.

43 IEC 61000-4-29: 2000. Electromagnetic Compatibility (EMC) Part 46: Testing and Measurement Techniques - Voltage dips, short interruptions and voltage variations on d.c. input power port immunity tests. **International Electrotechnical Commission**, 2000.

44 JESD22-A104D. JEDEC - Global Standards for Microelectronics Industry. Temperature Cycling, Estados Unidos: **JEDEC Solid State Technology Association**, 2005.

- 45 JUNG, Walt. **Op Amp Applications Handbook**. 1. ed. Boston: Newnes, 2004. 896 p. v. 1. ISBN 978-0-7506-7844-5.
- 46 KEIL, Arm. **CoreSight™ Technology**. 2019. Disponível em: <https://www2.keil.com/coresight>. Acesso em: 4 fev. 2021.
- 47 KELLER, Reto. **EMC/EMI: Coupling Paths**. In: **EMC/EMI: Coupling Paths**. Suíça, 13 nov. 2019. Disponível em: <https://www.academyofemc.com/emcemi-coupling-paths>. Acesso em: 12 jan. 2021.
- 48 KIMMEL, W.D. e GERKE, D.D. **Electromagnetic Compatibility in Medical Equipment: a guide for designers and installers**. 1. ed. Estados Unidos: IEEE and Interpharm Press, 1995. p. 1-29. ISBN 0-935184-80-5.
- 49 KLUTKE, G. et al. A critical look at the bathtub curve. **IEEE Transactions on Reliability**, vol. 52, no. 1, pp. 125-129, Março 2003, DOI: 10.1109/TR.2002.804492.
- 50 KRAUSS, J. D. e FLEISCH, D.A. **Electromagnetics: with applications**, 1. ed. Mc Graw-Hill, 1999. p 617. ISBN: 978-0072899696.
- 51 KWASNICK, R. et al. Impact of VLSI technology scaling on HTOL. **2012 IEEE International Reliability Physics Symposium (IRPS)**. Anaheim, CA, 2012, pp. 5C.3.1-5C.3.5, DOI: 10.1109/IRPS.2012.6241850.
- 52 LAFRAIA, J. R. B. **Manual De Confiabilidade, Manutenibilidade e Disponibilidade**. Qualitymark Editora Ltda, 2001. p. 298, Rio de Janeiro, 2001.
- 53 LAPRIE, J. Dependable computing and fault-tolerance: Concepts and terminology. **15th IEEE Int. Symp. on Fault-Tolerant Computing**. New York: IEEE, 1985. vol. 1, pp. 2-11.
- 54 LAPRIE, J. C. Dependability: From concepts to limits. **Proceedings of the IFIP International Workshop on Dependable Computing and its Applications. DCIA 98**, Joanesburgo, África do Sul. p. 108-126, 1998.
- 55 LEE, Peter A.; ANDERSON, Thomas. **Fault Tolerance: Principles and Practice**. 2. ed. Nova Iorque: Springer, 1990. 320 p. v. 3. ISBN: 978-3211820773.

- 56 LEE, T. K. et al. Impact of Isothermal Aging and Sn Grain Orientation on the Long-Term Reliability of Wafer-Level Chip-Scale Package Sn-AgCu Solder Interconnects. **IEEE Transactions on Components, Packaging and Manufacturing Technology**, vol. 2, no. 3, pp. 496-501, 2012.
- 57 LI, Chuangwei et al. Characterization of Change in Microcontroller Susceptibility During Accelerated Aging. **7th Asia Pacific International Symposium on Electromagnetic Compatibility**, Shenzhen, China, p. 751-754, 2016. DOI: 10.1109/APEMC.2016.7522856.
- 58 LIENIG, Jens. Invited Talk: Introduction to Electromigration-Aware Physical Design. **Proceedings of the International Symposium on Physical Design**, 2006.
- 59 MAHAPATRA, Shayan e PARIHAR, Narendra. A review of NBTI mechanisms and models. **Microelectronics Reliability**. DOI: 81. 127-135. 10.1016/j.microrel.2017.12.027.
- 60 MAINALI, K. e ORUGANTI, R., Conducted EMI Mitigation Techniques for Switch-Mode Power Converters: A Survey, **IEEE Transactions on Power Electronics**, vol. 25, no. 9, pp. 2344-2356, Set. 2010. DOI: 10.1109/TPEL.2010.2047734
- 61 MARTIN, Grant e CHANG, Henry. (2001). System-on-Chip Design. DOI: 12 - 17. 10.1109/ICASIC.2001.982487.
- 62 MASSEY, J. G., NBTI: what we know and what we need to know - a tutorial addressing the current understanding and challenges for the future, **IEEE International Integrated Reliability Workshop Final Report**, 2004, South Lake Tahoe, CA, USA, 2004, pp. 199-211, DOI: 10.1109/IRWS.2004.1422784.
- 63 MCPHERSON, Joshua; KHAMANKAR, R. e SHANWARE, Arti. (2000). Complementary model for intrinsic time-dependent dielectric breakdown in SiO<sub>2</sub> dielectrics. *Journal of Applied Physics*. 88. DOI: 5351-5359. 10.1063/1.1318369.
- 64 MCPHERSON, J.W. Time dependent dielectric breakdown physics – Models revisited, **Microelectronics Reliability**, Volume 52, Issues 9–10, 2012, Pages 1753-1760, ISSN 0026-2714, DOI: <https://doi.org/10.1016/j.microrel.2012.06.007>.

- 65 MEEKER , William Q.; ESCOBAR, Luis A. Pitfalls of Accelerated Testing. **IEEE Transactions on Reliability**, [s. l.], v. 47, ed. 2, p. 114 - 118, 1998.
- 66 MEHRI, M., HEIDARI, S. e MASOUMI, N., The analysis of EMI effects on the performance of electronic systems implemented on a PCB, **2016 IEEE 20th Workshop on Signal and Power Integrity (SPI)**, Turin, 2016, pp. 1-4, DOI: 10.1109/SaPIW.2016.7496295.
- 67 MEIRELLES, Fernando de Souza. Pesquisa Anual do Uso de TI. **Pesquisa Anual do Uso de TI**. 31. ed. São Paulo: FGV, 2020. Disponível em: <https://eaesp.fgv.br/producao-intelectual/pesquisa-anual-uso-ti>. Acesso em: 10 jan. 2021.
- 68 MICROELECTRONICS, ST. **STM32F303x6/x8: Arm®Cortex®-M4 32b MCU+FPU, up to 64KB Flash, 16KB SRAM, 2 ADCs, 3 DACs, 3 comp., op-amp 2.0 - 3.6 V**. 8. 8. ed. [S. l.], 2018. Disponível em: <https://www.st.com/resource/en/datasheet/stm32f303k8.pdf>. Acesso em: 4 fev. 2021.
- 69 MILLMAN, Jacob. **Microelectronics Digital and Analog Circuits and Systems**. McGraw-Hill Book Company, Nova Iorque, 1979 ISBN 0-07-042327-X.
- 70 MOAZZAMI, R., LEE, J. C. e HU, C., Temperature acceleration of time-dependent dielectric breakdown, **IEEE Transactions on Electron Devices**, vol. 36, no. 11, pp. 2462-2465, Nov. 1989, DOI: 10.1109/16.43668.
- 71 MOGHADDASI, I., FOUMAN, A., SALEHI, M. E. e KARGAHI, M., Instruction-Level NBTI Stress Estimation and Its Application in Runtime Aging Prediction for Embedded Processors, **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, vol. 38, no. 8, pp. 1427-1437, Ago. 2019, DOI: 10.1109/TCAD.2018.2846629.
- 72 MORGAN, David. **A Handbook for EMC Testing and Measurement**. 1. ed. Londres, Reino Unido: Institution of Engineering and Technology (IET), 1994. 304 p. v. 3. ISBN 0863417566.
- 73 MOURA, Eduardo C. **A method to estimate the acceleration factor for subassemblies**. **IEEE Transactions on Reliability** , v. 41, n. 3, p. 396 - 399, 1992.

- 74 MORAES, Marlon Leandro. **Validação de uma Técnica para Aumento da Robustez de SoC's a Flutuações de Tensão no Barramento de Alimentação.** Dissertação (Dissertação de Mestrado) Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS, Faculdade de Engenharia, Programa de Pós-Graduação em Engenharia Elétrica. Porto Alegre, 2008.
- 75 NELSON, Wayne B. **Accelerated Testing: Statistical Models, Test Plans, and Data Analysis.** 1. ed. Canada: John Wiley Sons, Inc., 1990. 610 p. v. 1. ISBN 9780471522775.
- 76 NELSON, Wayne B., "A bibliography of accelerated test plans," in IEEE Transactions on Reliability, vol. 54, no. 2, pp. 194-197, June 2005, doi: 10.1109/TR.2005.847247.
- 77 Nourani, Mehrdad e Attarha, Amir. Signal Integrity: Fault Modeling and Testing in High-Speed SoCs. *Journal of Electronic Testing.* 4-5, Agosto de 2002, Vol. 18, pp. 539-554.
- 78 OTT, Henry. 2009. *Electromagnetic Compatibility Engineering* (1st. ed.). Wiley Publishing. ISBN: 978-0470189306.
- 79 PARK, Kiron et al., 2020. Reliability Analysis Framework for Time Dependent Dielectric Breakdown. **JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE.** pp. 19-28. DOI: 10.5573/JSTS.2020.20.1.019.
- 80 PASRICHA, Sudeep; DUTT, Nikil. **On-Chip Communication Architectures: System on Chip Interconnect.** 1. ed. [S. l.]: Morgan Kaufmann, 2008. 544 p. ISBN 012373892X.
- 81 PEREZ, Nicolás e DONSION, Manuel. Technical Methods for the Prevention and Correction of Voltage Sags and Short Interruptions Inside the Industrial Plants and in the Distribution Networks. **Renewable Energy and Power Quality Journal.** DOI: 10.24084/repqj01.442.
- 82 PRADHAN, Dhiraj K. 1996. *Fault-tolerant computer system design.* Prentice-Hall, Inc., USA. ISBN: 978-0130578877.
- 83 PRESTES, Darcio Pinto. **Plataforma para Injeção de Ruído Eletromagnético Conduzido em Circuitos Integrados.** Dissertação (Dissertação de Mestrado) Pontifícia

Universidade Católica do Rio Grande do Sul - PUCRS, Faculdade de Engenharia, Programa de Pós-Graduação em Engenharia Elétrica. Porto Alegre, 2010.

84 QIU, W. et al., Physics of failure-based failure mode, effects, and criticality analysis for Integrated Circuits. **Systems Engineering**. 2018; vol. 21, pp. 511– 519. DOI: <https://doi.org/10.1002/sys.21451>

85 RAIZER, Adroaldo. Compatibilidade Eletromagnética. **Compatibilidade Eletromagnética**. Florianópolis, 2005. Disponível em: <https://paginas.fe.up.pt/~ee05161/ficheiros/artigos/Slides%20CEM.pdf>. Acesso em: 8 mar. 2019.

86 RAIZER, Adroaldo. Estudo de caso: Avaliação de um laboratório de compatibilidade eletromagnética. **Estudo de caso: Avaliação de um laboratório de compatibilidade eletromagnética**. Florianópolis, 2018. Disponível em: <http://www.inmetro.gov.br/laboratorios/docs/adroaldoRaizer.pdf>. Acesso em: 15 ago. 2020.

87 REDOUTE, J. e RICHELLI, A., A methodological approach to EMI resistant analog integrated circuit design, **IEEE Electromagnetic Compatibility Magazine**, vol. 4, no. 2, pp. 92-100, 2nd Quarter 2015, DOI: 10.1109/MEMC.2015.7204058.

88 RENESAS, RX610 Group: How to Setup and Run Dhrystone on a MCU, 1.2.1 ed., 2010.

89 SAHA, S. et al., Towards prognostics for electronics components, **2009 IEEE Aerospace conference**, Big Sky, MT, 2009, pp. 1-7, DOI: 10.1109/AERO.2009.4839676.

90 SAHA, S. et al., Accelerated aging with electrical overstress and prognostics for power MOSFETs. **IEEE 2011 EnergyTech**, Cleveland, OH, 2011, pp. 1-6, DOI: 10.1109/EnergyTech.2011.5948532.

91 SCHRODER, Dieter K.. Negative Bias Temperature Instability (NBTI): Physics, Materials, Process and Circuit Issues. Arizona State University Tempe, AZ, 2005.

92 SILVA, Dhiego Sant'Anna da. **Técnica de Detecção de Falhas de Escalonamento de Tarefas em Sistemas Embarcados Baseados em Sistemas Operacionais de Tempo Real**. Dissertação (Dissertação de Mestrado) Pontifícia Universidade Católica

do Rio Grande do Sul - PUCRS, Faculdade de Engenharia, Programa de Pós-Graduação em Engenharia Elétrica. Porto Alegre, 2009.

93 SMET, V. et al., Ageing and Failure Modes of IGBT Modules in High-Temperature Power Cycling. **IEEE Transactions on Industrial Electronics**, vol. 58, no. 10, pp. 4931-4941, Oct. 2011, DOI: 10.1109/TIE.2011.2114313.

94 SONNENFELD, G., GOEBEL, K. e CELAYA, J. R. An agile accelerated aging, characterization and scenario simulation system for gate controlled power transistors. 2008, **IEEE AUTOTESTCON, Salt Lake City, UT**, 2008, pp. 208-215, DOI: 10.1109/AUTEST.2008.4662613.

95 SROKA, J. Practical approach to IEC 61000-4-6 testing, 2002. **IEEE International Symposium on Electromagnetic Compatibility**, Minneapolis, MN, USA, 2002, pp. 367-370 vol.1, DOI: 10.1109/ISEMC.2002.1032506.

96 ST MICROELECTRONICS. **AN901 Application Note: EMC Guidelines for Microcontrollerbased Application: 2000**. Disponível em: <https://www.st.com/content/>. Acesso em: 21 de nov. 2020.

97 STRONG, Alvin W. et al. **Reliability Wearout Mechanisms in Advanced CMOS Technologies**. [S. l.]: A JOHN WILEY & SONS, INC., PUBLICATION, 2009.

98 TAKEDA, E. et al. Device performance degradation to hot-carrier injection at energies below the Si-SiO<sub>2</sub> energy barrier. **1983 International Electron Devices Meeting**, Washington, DC, USA, 1983, pp. 396-399, DOI: 10.1109/IEDM.1983.190525.

99 TESEQ ADVANCED SOLUTIONS FOR EMC. **Induced RF (I): Induced RF according IEC/EN 61000-4-6, 2017**. Disponível em: <https://www.teseq.com/applications/induced-rf>. Acesso em: 17 jan. 2021.

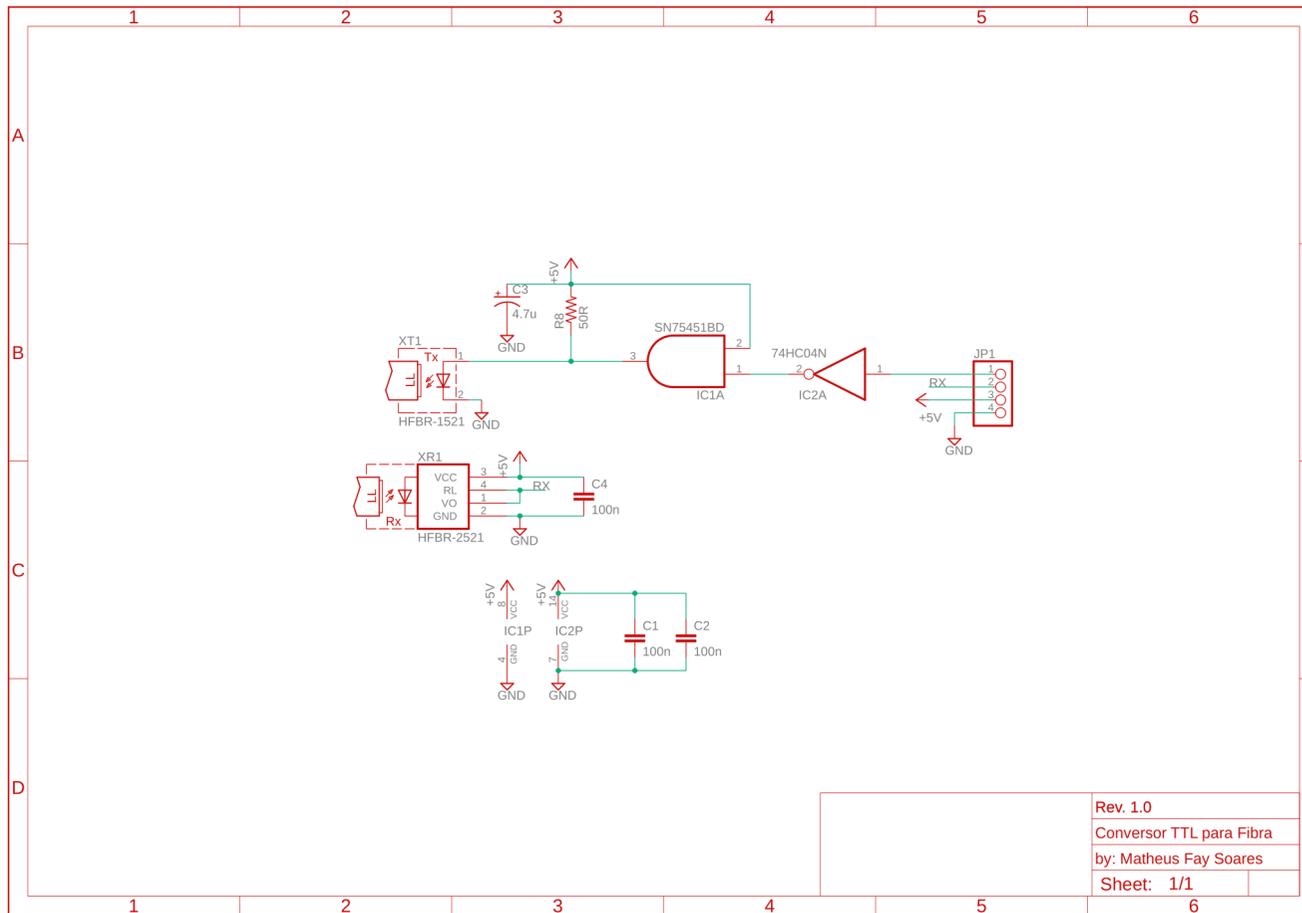
100 TEXAS INSTRUMENTS. **Reliability testing: Acceleration testing**. [S. l.], 2018. Disponível em: <https://www.ti.com/support-quality/reliability/reliability-testing.html>. Acesso em: 19 jan. 2021.

101 THE WASHINGTON POST. Black Hawk Repairs to Be Hastened. **The Washington Post**, Washington, USA, p. 1-1, 28 maio 1988. Disponível em: <https://www.washingtonpost.com/archive/politics/1988/05/28>. Acesso em: 10 jan. 2021.

- 102 TOPALOGLU, Rasit O. 2015. More than Moore Technologies for Next Generation Computer Design. Springer Publishing Company, Incorporated. ISBN: 978-1-4939-2163-8.
- 103 TSANG, Jeffrey. **EMC Seminar Series: All about EMC Testing and Measurement Seminar 1: Introduction to EMC Conducted Immunity**. Hong Kong, 7 out. 2015. Disponível em: <http://www.ee.cityu.edu.hk/emc/>. Acesso em: 17 jan. 2021.
- 104 URSACHI, Corneliu HELEREA, Elena. Immunity to Electrical Fast Transient Pulses of Computer Systems. **IEEE Transactions on Electromagnetic Compatibility**, 2014. DOI: 10.1109/ICATE.2014.6972658.
- 105 VALERO, A. et al. On Microarchitectural Mechanisms for Cache Wearout Reduction. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, vol. 25, no. 3, pp. 857-871, Março 2017, DOI: 10.1109/TVLSI.2016.2625809.
- 106 VAN DE GROENENDAAL, Hans. **Making conducted and radiated emissions measurements**. 2 Set. 2014. Disponível em: <https://www.ee.co.za/article/conducted-radiated-emissions>. Acesso em: 11 jan. 2021.
- 107 VAN HERTEM, D. et al. Choosing the Correct Mitigation Method Against Voltage Dips and Interruptions: A Customer-Based Approach. **IEEE Transactions on Power Delivery**, vol. 22, no. 1, pp. 331-339, Jan. 2007, DOI: 10.1109/TPWRD.2006.881456.
- 108 WEICKER, Reinhold. Dhrystone: A Synthetic Systems Programming Benchmark. **Communications of the ACM**. vol. 27, ed. 10, 1984. DOI: 10.1145/358274.358283.
- 109 WEISS, A. **Dhrystone Benchmark: History, Analysis, "Scores" and Recommendations**, 1. ed. Austin, Texas: EEMBC Certification Laboratories, LLC (ECL), 2012. p. 17. ISBN 978-88-9385-022-3.
- 110 WESTON, D.A. **Electromagnetic Compatibility; Principles and Applications** 2. ed. New York, USA: Marcel Dekker, Inc, 2001. p.1-17. ISBN 0-8247-8889-3.
- 111 WHITE, Mark e BERNSTEIN, Joseph. Physics-of-Failure Based Modeling and Lifetime Evaluation. **Microelectronics Reliability**. 2008. DOI: 10.13140/RG.2.1.2490.1281

- 112 YANTAC, Evren et al. (2019). Appreciating Digital Materials for Longevous Computational Artifacts. **19 Workshop Towards a Responsible Innovation Agenda for HCI**. Glasgow, Escócia, UK, 2019.
- 113 YOUNG, D. e CHRISTOU, A. Failure mechanism models for electromigration. **IEEE Transactions on Reliability**, vol. 43, no. 2, pp. 186-192, Junho 1994, DOI: 10.1109/24.294986.
- 114 ZEVZIKOVAS, Marcos. **Efeitos da interferência eletromagnética conduzida em equipamentos eletromédicos no ambiente hospitalar**. 2004. 86fl. Dissertação (mestrado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação, Campinas, SP.
- 115 ZHANG, J. et al. Correlation of Aging Effects on the Creep rate and Reliability in Lead Free Solder Joints. **SMTA Journal**, vol. 25, no. 3, pp. 19-28, 2012. DOI: 10.1109/ECTC.2006.1645757.

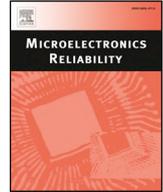




Rev. 1.0
Conversor TTL para Fibra
by: Matheus Fay Soares
Sheet: 1/1

## Anexo B – PUBLICAÇÕES

- I. BENFICA, Juliano; VARGAS, Fabian; SOARES, Matheus Fay; SCHRAMM, Dorian.  
Conducted EMI susceptibility analysis of a COTS processor as function of aging.  
**Microelectronics Reliability**, v. 114, ed. 113884, 31 out. 2020.  
DOI: <https://doi.org/10.1016/j.microrel.2020.113884>.  
ISSN: 0026-2714.



# Conducted EMI susceptibility analysis of a COTS processor as function of aging

Juliano Benfica, Fabian Vargas\*, Matheus Fay Soares, Dorian Schramm

Electrical Engineering Dept., Catholic University – PUCRS, Av. Ipiranga 6681, 90619-900 Porto Alegre, Brazil

## ARTICLE INFO

### Keywords:

Conducted EMI  
Aging  
Burn-in  
Cortex-M4 processor  
Component-of-the-shelf (COTS)  
Long-term reliability analysis

## ABSTRACT

This work analyses the conducted electromagnetic interference (EMI) immunity of the Cortex-M4 processor as function of aging. With this purpose, voltage dips were injected in the  $V_{DD}$  input power pins of the processor as ruled by the IEC 61000-4-29 standard, whereas aging test was performed by means of the 1015.9 Burn-In Part of the Method MIL-STD-883E. After 456 h of burn-in at 125 °C, the processor presented a current increase in excess of 2.36% and conducted EMI immunity degradation in the order of 158% for the processor operating at extremely low voltage. If the processor is running in the manufacturer's recommended operating voltage range, then such degradation turns into 38%. Moreover, it was measured negligible performance degradation according to the Dhrystone V2.1a benchmark.

## 1. Introduction

Technology scaling, which made electronics accessible and affordable for almost everyone in the globe, has advanced integrated circuit (IC) and electronics performance since sixties. Nevertheless, it is well recognized that such scaling has introduced new (and major) reliability challenges to the semiconductor industry [1–4]. International standards have been proposed and used to test ICs for aging (such as the Part 1015.9 of the MIL-STD-883H [5]) as well as for conducted and irradiated electromagnetic interference (EMI) [6–9]. Notwithstanding, these standards do not take into account the possible combined effects of aging may have on the immunity level of ICs.

A previous published work [2] addressed the effect of EMI on a commercial micro-controller (whose part number and manufacturer were omitted in the text) according to the Direct Power Injection (DPI) standard [10]. In [4], authors presented an EMC reliability model to predict EM emission of an IC. This model took into account aging due to a combination of high temperature, current, and voltage stresses. The EM prediction model was validated based on a commercial FPGA (Xilinx Spartan 6). In [11], authors presented a modeling methodology aiming at predicting the impact of aging on the susceptibility level of a phase-locked loop (PLL) circuit after an accelerated-life test (due to high temperature). PLL susceptibility was characterized according to the direct power injection (DPI) method defined by IEC 62132-3 standard [10]. Other authors [12,13] published a work that analyzes the combined effects of conducted EMI and total-ionizing dose (TID)

radiation and single-event upset (SEU) in FPGA ICs. However, these works do not focus on understanding how aging interferes on the EM immunity of complex ICs such as the Cortex-M4 processor.

The Cortex-M4 processor, which was designed specifically to target the already crowded microcontroller unit (MCU) market [14,15], has been used not only in high-volume consumer applications, but also in critical/safety applications such as automotive body systems, industrial control and wireless networking, among others. In the specific application of automotive systems, reliable performance is paramount to such highly complex interoperable systems. However, from the best of our knowledge, no work has been published yet addressing the effect of aging on the conducted immunity of the Cortex-M4 processor. Therefore, it is superlative to understand and predict how the component's susceptibility to conducted noise on power bus evolves during lifetime. In this scenario, this paper analyses the effect of aging, by means of burn-in test procedure, on the susceptibility of the Cortex-M4 processor to conducted noise on the  $V_{DD}$  input power pins of the chip. The burn-in test procedure was carried out as ruled by the 1015.9 Part of the MIL-STD-883H Method, whereas the conducted EMI test was performed as defined by the IEC 61000-4-29 standard.

## 2. Case-study platform

Fig. 1 depicts the platform developed to perform the experiment. It was based on the Cortex-M4 processor (part number STM32F303K8T6, Package LQFP32, CMOS 90 nm technology node). In order to minimize

\* Corresponding author.

E-mail address: [vargas@computer.org](mailto:vargas@computer.org) (F. Vargas).

<https://doi.org/10.1016/j.microrel.2020.113884>

Received 31 May 2020; Received in revised form 22 July 2020; Accepted 22 July 2020

Available online 31 October 2020

0026-2714/ © 2020 Elsevier Ltd. All rights reserved.

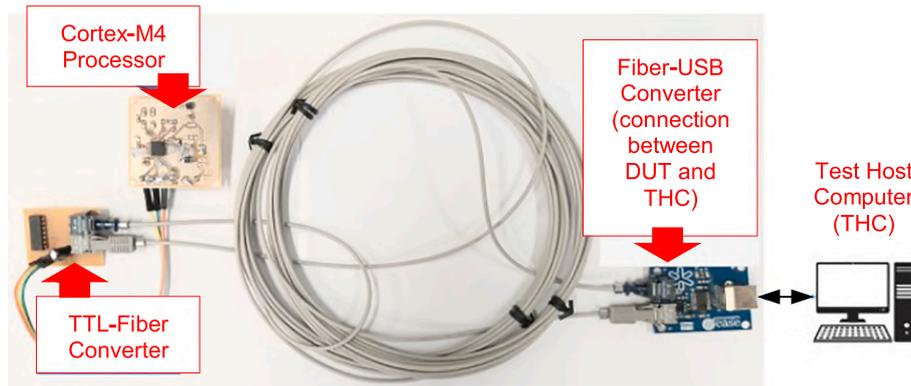


Fig. 1. Test platform.

aging effects on different system components, which could result in a complex analysis, the board was designed having in mind a minimal chipset: only the Cortex-M4 component with a reset circuit, a 20 MHz crystal external oscillator, connectors and decoupling capacitors defined according to the manufacturer's datasheet. The communication between the board and the test host computer (THC) was based on a two-module optic fiber link, where the TTL-fiber converter was connected to the Cortex processor, while the fiber-USB converter was connected to the THC port. We have designed optic fiber connections in order to avoid coupling noise induced by the voltage dips generator on communication cables.

### 2.1. Embedded software

The selected application software to run on the Cortex-M4 processor was the Dhrystone V2.1a benchmark [16]. This is a well-known application from the designers' community used since the 80's to exercise the entire set of mathematical (integer) instructions and data string manipulations of processors. It is worth noting that the whole code and data were stored in the processor embedded memory (no external memory was available at board level). The output of such application is given in *Dhrystones per second*, i.e., computed as the number of iterations of the main code loop is performed by the processor per second.

## 3. Test setup

The test procedure was divided in three steps, as follows:

- Characterization of the fresh component;
- Burn-in exposition of the device (Part 1015.9 of the MIL-STD-883H);
- Injection of conducted EMI in the form of voltage dips on power supply lines of the device (IEC 61000-4-29 std).

### 3.1. Characterization of the fresh component

Initially, it was determined the "gold" parameters as measured in the fresh device. Later, these "gold" parameters were used as reference values when measuring the device immunity to conducted noise on power supply lines, after each burn-in session.

The component immunity was characterized pre and post burn-in procedures in terms of: (1) current consumption, (2) minimum power supply voltage ( $V_{DD}$ ) for a correct operation of the component, (3) performance of the component (given in *Dhrystones per second*) when executing the benchmark program, and (4) reliability of the component, measured as function of the number of *observed errors* that were produced by the processor during conducted EM immunity test procedure [6].

### 3.2. Burn-in test

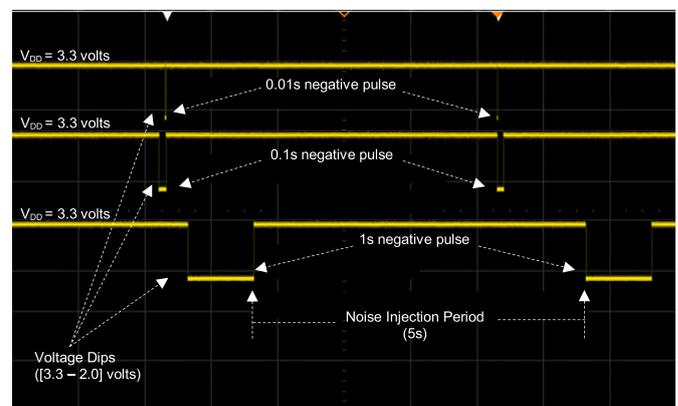
Burn-in tests were based on the Part 1015.9 of the MIL-STD-833H std. and used a climatic chamber model CSZ MicroClimate [17] able to control temperature in the range  $[-20\text{ }^{\circ}\text{C}, 180\text{ }^{\circ}\text{C}]$ . In the experiment, we aged the component at a constant temperature of  $125\text{ }^{\circ}\text{C}$  in a total of 456 h distributed as follows:

- Day 1: 24 h of burn-in;
- Day 2: 24 h of burn-in;
- Day 3: 24 h of burn-in;
- Days 4–6: 72 h of continuous burn-in;
- Days 7–9: 72 h of continuous burn-in.

As ruled by [5], measurements of the three parameters: current consumption, minimum power supply voltage ( $V_{DD}$ ) and performance, did not exceed 96 h after every burn-in session. Moreover, during the burn-in experiment the component was powered on with nominal  $V_{DD}$  (3.3 V) and executed the benchmark *Dhrystone* in loop mode at a clock frequency of 70 MHz.

### 3.3. Conducted EMI on the $V_{DD}$ power supply lines

The conducted EMI test was performed by directly applying voltage dips, based on [6], on the  $V_{DD}$  power supply pins of the Cortex-M4 processor. For the experiment, on-board voltage regulators were bypassed so that noise was directly injected into the component  $V_{DD}$  pins. Voltage dips were applied to the component at a time interval of 5 s, with a pulse duration of 0.01 s, 0.1 s and 1 s (see Fig. 2). These voltage dips were applied to the IC with two different amplitudes, one at a time: (a) 2.0 V down to 1.92 V (namely, the critical amplitude range R1), and (b) 3.3 V

Fig. 2. Oscilloscope print screen of the injected noise in the  $V_{DD}$  power pins of the Cortex-M4 processor.

down to 2.0 V (nominal amplitude range R2). R1 and R2 were selected according to the following procedure: (a) we measured the minimum operating voltage for the component and found out to be 1.92 V. At  $V_{DD} = 1.92$  V and clock frequency of 100 MHz, the processor operated correctly; below this value, the processor did not start-up. (b) we checked in the component datasheet the minimum and maximum operating voltages as recommended by the manufacturer (2.0 and 3.3 V, respectively).

The considered voltage dips were generated and applied to the component by means of a digital signal generator combined with an Agilent oscilloscope (Model Agilent DSO-X 3012A). It is worth noting that since the digital signal generator was not able to drive enough current to the processor, a power stage interface was designed and placed at the digital signal generator output. The power interface was built around a high-throughput current operational amplifier (Part Number L2720W13TR) featuring a buffer mode connected at the output of the digital signal generator.

Noise was injected as previously described for the Cortex-M4 processor running at four different clock frequencies: 100 MHz, 70 MHz, 35 MHz and 10 MHz. Fig. 2 depicts the injected noise.

Consider also aging influence on other passive components, such as capacitors and resistors mounted on the test board. After aging, these components could operate out of specification and thus, mask or even inject faults on the processor operation. Having this issue in mind, we replaced all passive components on board after every burn-in session, before monitoring processor operation under EMI noise injection. Note that passive components were necessary because during burn-in the component was powered on with nominal  $V_{DD}$  (3.3 V) and executed the benchmark *Dhrystone* in loop mode at a clock frequency of 70 MHz.

#### 4. Experimental results

Since it was not observed processor performance degradation on the execution of the *Dhrystone V2.1a* benchmark up to 456 h of burn-in, we assume that degradation of this parameter was negligible. Therefore, the remaining of this paper will address results only in terms of current consumption and susceptibility to conducted EMI noise on power supply lines of the processor.

##### 4.1. Current consumption

We observed a small increase (2.36% in average) in the current consumption of the processor. In more detail, the current increased by 2.03% for the CPU running at 100 MHz, 2.32% for the CPU at 70 MHz, 2.25% for the CPU at 35 MHz, and 2,44% for the CPU running at 10 MHz. Fig. 3 and Table 1 summarize the current consumption versus burn-in history.

**Table 1**

Final current consumption increase after 456-hour burn-in.

Processor operating frequency (MHz)	Increase of current consumption (%)
100	2.03
70	2.32
35	2.25
10	2.44
Average:	2.36

##### 4.2. Susceptibility to conducted EMI (voltage dips)

By definition, a fault is said to be detected if: (a) the processor crashes (*i.e.*, the component stops functioning and needed power cycling to resume normal operation), or (b) the processor yields an erroneous output while executing the *Dhrystone* algorithm. The processor executed the *Dhrystone* algorithm and at specific checkpoints, it sent partial results to the Test Host Computer (THC) through an optical fiber link (serial port). After reading the incoming data sent by the processor, the THC compared them against golden values previously computed and stored in memory. If the comparison operation failed, the THC signaled a failure.

As a figure of merit, approximately 80% of the observed faults were from type (a): the processor crashed while exposed to conducted EMI noise and needed power cycling to resume normal operation. The remaining 20% of the faults were from type (b): the processor issued an incorrect output while executing the *Dhrystone* algorithm, which was detected by the THC. In the latter case, one of the two possibilities occurred: ( $p_1$ ) after issuing the incorrect output, the processor executed the code until the end and was power cycled by the watchdog before restarting another *Dhrystone* run, or ( $p_2$ ) after issuing the incorrect output, the processor was lost in the *Dhrystone* execution and after a given time period it was power cycled by the watchdog to restart another *Dhrystone* run.

To guarantee that the processor started executing the *Dhrystone* code from a well-known and fault-free condition during noise injection, the on-chip watchdog was adjusted to reset the processor at the beginning of every *Dhrystone* code execution, in an endless loop. Considering that the *Dhrystone* code executed in the order of 2 milliseconds and that one noise injection round had duration of 30s, the *Dhrystone* was executed in average 15,000 times at every round.

Figs. 4 and 5 were constructed with measurement results from 72 noise injection rounds (24 rounds for 0.01 ms duration, 24 rounds for 0.1 ms and 24 rounds for 1 s). For instance, we observed the occurrence of 2 faults for the fresh processor running at 100 MHz under 0.01 s voltage dips duration (Fig. 4). These 2 faults were observed during a

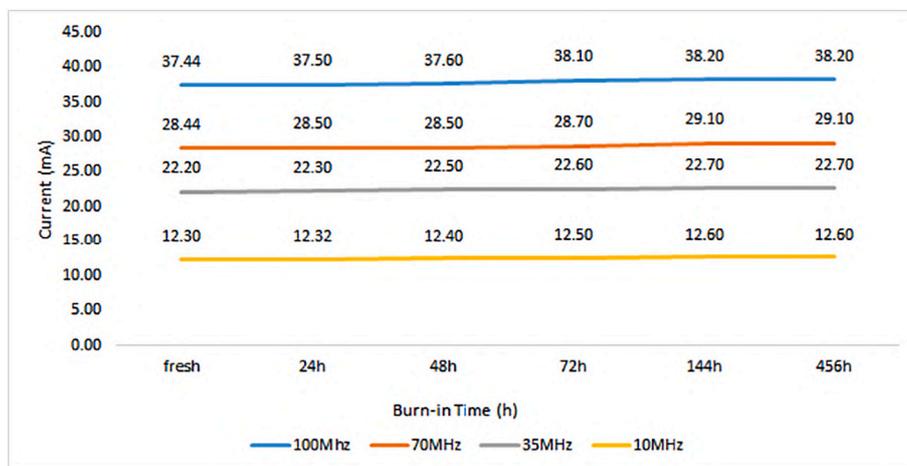
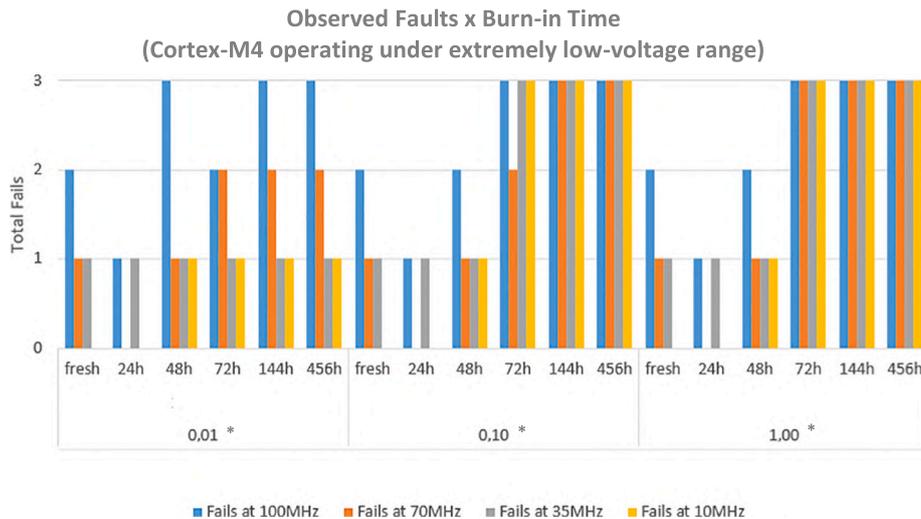


Fig. 3. Current consumption versus burn-in duration.



\*Voltage-dip duration (s)

Fig. 4. Total number of failures versus burn-in time for voltage dips in range R1 [2.0–1.92] volts.

noise injection round of 30s. Considering that voltage dips were applied to the component at a time interval of 5 s, with a pulse duration of 0.01 s, 0.1 s and 1 s (see Fig. 2) and that one noise injection round had duration of 30s, there was in average 6 voltage dips applied to the processor input power port at every noise injection round. Thus, 432 voltage dips were applied to construct Fig. 4 (resp. Fig. 5).

4.3. Critical amplitude range R1

Fig. 4 summarizes results for the experiment we performed for voltage dips with critical amplitude range R1, whereas Tables 2 to 7 contain data we mined from Fig. 4.

4.4. Nominal amplitude range R2:

Fig. 5 summarizes results for the experiment we performed for voltage dips with nominal amplitude range R2, whereas Tables 8 to 13 contain data we mined from Fig. 5.

Table 2

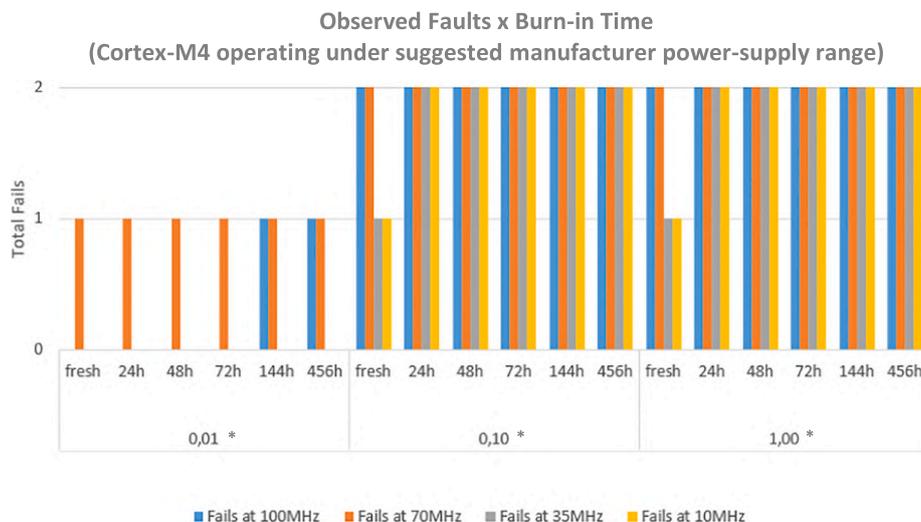
Faults observed for R1 voltage dip range with all durations, for fresh and 456-hour burn-in component.

Frequency (MHz)	Fresh	456-hour Burn-in	Increase after burn-in with respect to fresh (%)
100	6	9	50
70	3	8	166
35	3	7	133
10	0	7	700
Total:	12	31	158

4.5. Conclusions

In the sequence, we tailored conclusions based on Tables 2 to 13. Upon analyzing Tables 2 and 8, we can write the following conclusions:

Conclusion #1: 456-hour burn-in increased processor sensitivity to voltage dips with respect to the fresh component as follows:



\*Voltage-dip duration (s)

Fig. 5. Total number of failures versus burn-in time for voltage dips in range R2 [3.3–2.0] volts.

**Table 3**

Faults observed for R1 voltage dip range with all durations and all levels of aging, as function of clock frequency.

Frequency (MHz)	Faults
100	42
70	29
35	30
10	24
Total:	125

**Table 4**

Faults observed for R1 voltage dip range with 1 s duration, for fresh and 456-hour burn-in component.

Frequency (MHz)	Fresh	456-hour Burn-in	Increase after burn-in with respect to fresh (%)
100	2	3	50
70	1	3	200
35	1	3	200
10	0	3	300
Sub-Total:	4	12	200
Total:	16		

**Table 5**

Faults observed for R1 voltage dip range with 0.1 s duration, for fresh and 456-hour burn-in component.

Frequency (MHz)	Fresh	456-hour Burn-in	Increase after burn-in with respect to fresh (%)
100	2	3	50
70	1	3	200
35	1	3	200
10	0	3	300
Sub-Total:	4	12	200
Total:	16		

**Table 6**

Faults observed for R1 voltage dip range with 0.01 s duration, for fresh and 456-hour burn-in component.

Frequency (MHz)	Fresh	456-hour Burn-in	Increase after burn-in with respect to fresh (%)
100	2	3	50
70	1	2	100
35	1	1	000
10	0	1	100
Sub-Total:	4	7	75
Total:	11		

**Table 7**

Faults observed for R1 voltage dip range, all levels of aging and clock frequencies, as function of voltage dip duration.

Voltage dip duration (s)	Faults
1	47
0.1	46
0.01	32
Total:	125

**Table 8**

Faults observed for R2 voltage dip range with all durations, for fresh and 456-hour burn-in component.

Frequency (MHz)	Fresh	456-hour Burn-in	Increase after burn-in with respect to fresh (%)
100	4	5	25
70	5	5	0
35	2	4	100
10	2	4	100
Total:	13	18	38

**Table 9**

Faults observed for R2 voltage dip range with all durations and all levels of aging, as function of clock frequency.

Frequency (MHz)	Faults
100	26
70	30
35	22
10	22
Total:	100

**Table 10**

Faults observed for R2 voltage dip range with 1 s duration, for fresh and 456-hour burn-in component.

Frequency (MHz)	Fresh	456-hour Burn-in	Increase after burn-in with respect to fresh (%)
100	2	2	0
70	2	2	0
35	1	2	100
10	1	2	100
Sub-Total:	6	8	33
Total:	14		

**Table 11**

Faults observed for R2 voltage dip range with 0.1 s duration, for fresh and 456-hour burn-in component.

Frequency (MHz)	Fresh	456-hour Burn-in	Increase after burn-in with respect to fresh (%)
100	2	2	0
70	2	2	0
35	1	2	100
10	1	2	100
Sub-Total:	6	8	33
Total:	14		

**Table 12**

Faults observed for R2 voltage dip range with 0.01 s duration, for fresh and 456-hour burn-in component.

Frequency (MHz)	Fresh	456-hour Burn-in	Increase after burn-in with respect to fresh (%)
100	0	1	100
70	1	1	0
35	0	0	0
10	0	0	0
Sub-Total:	1	2	100
Total:	3		

- 2.58 times (158% increase) for R1;
- 1.38 times (38% increase) for R2.

**Conclusion #2:** For the fresh component, it is clear that the higher is clock frequency, the lower is processor immunity to voltage dips.

**Conclusion #3:** For the aged component, immunity to voltage dips

degrades more dramatically than for the fresh one, since no matter the component is operating at low or high frequency, the observed number of faults is always higher than the one observed for the fresh at the respective operating frequency.

**Table 13**

Faults observed for R2 voltage dip range, all levels of aging and clock frequencies, as function of voltage dip duration.

Voltage dip duration (s)	Faults
1	46
0.1	46
0.01	8
Total:	100

Tables 3 and 9 reinforces Conclusions #2 and #3. For instance for Table 3, the component immunity degrades by 75% when we compare the number of observed faults for the processor operating at 10 MHz (24) and 100 MHz (42). For Table 9, this degradation is smaller: 18%.

From Tables 4, 5, 10 and 11 we extract the following conclusions:

**Conclusion #4:** 456-hour burn-in increased processor sensitivity to voltage dips with durations 1 s or 0.1 s by 3 times (200% increase) for R1 and by 33% for R2.

**Conclusion #5:** It seems that for the case of R1 (resp. R2) and voltage dips with durations of 1 s or 0.1 s, the clock frequency increase does not affect the aged processor immunity, since the number of observed faults remained constant during the whole experiment: 3 (resp.2).

From Tables 6 and 12 we extract the following conclusions:

**Conclusion #6:** 456-hour burn-in increased processor sensitivity to voltage dips with 0.01 s duration by 1.75 times (75% increase) for R1 and doubled (100%) for R2.

**Conclusion #7:** For R1, contrarily to the cases of voltage dips with durations of 1 s and 0.1 s (Tables 4 and 5), the 0.01 s duration affects the aged processor immunity as long as frequency increases from 10 MHz (1 fault) to 100 MHz (3 faults). In this case the number of observed faults triplicated, while in Tables 4 and 5 the number of faults remained constant and equal to 3. Similar reasoning is valid for R2, since we observe the occurrence of faults above 70 MHz, as seen in Table 12, while it remains constant on Tables 10 and 11.

From Tables 2, 3, 8 and 9 we extract the following conclusion:

**Conclusion #8:** voltage dips inside the critical amplitude range R1 (2.0 V down to 1.92 V) are more harmful to the processor than those in the nominal voltage range recommended by the manufacturer (3.3 V down to 2.0 V). As seen in Tables 2 and 3 (R1), we observed a total of 43 and 125 faults, respectively, whereas for Tables 8 and 9 (R2), we counted 31 and 100 faults, respectively.

From Tables 4–6, 10–12 we extract the following conclusion:

**Conclusion #9:** Voltage dips with longer durations (1 s and 0.1 s) are more harmful to the processor immunity than shorter dip durations (0.01 s). As observed for R1 in Tables 4–6, we counted 16, 16 and 11 faults, respectively. For R2 in Tables 10–12, we counted 14, 14 and 3 faults, respectively.

Tables 7 and 13 also confirm Conclusion #9. On Table 7, for 1 s duration voltage dips we observed 47 faults against 32 for 0.01 s duration voltage dips (i.e. an increase of 47%). On Table 13, this difference is even larger: for 1 s duration voltage dips we observed 46 faults against 8 for 0.01 s duration voltage dips (an increase of 475%).

## 5. Discussions

In the light of the aforementioned results, this sub-section deals with

answering a few questions and tailors some conclusions.

**Question #1:** *How can we explain the link between aging and conducted EMI susceptibility level for the tested COTS processor?*

Answer: aging affects the circuit by slowing down signal propagation along with the logic and thus, eroding the time slack allocated for the clock signal as defined by design [18–20]. If the time slack becomes too small, and if the circuit critical paths are exercised, we may observe transient faults during circuit operation. Ultimately, for high aging levels, when the time slack becomes negative for the exercised critical paths, one could expect permanent IC failure. In the specific case of our experiment, the Cortex-M4 processor was exercised with the *Dhrystone V2.1a* benchmark [16]. This is a well-known application from the designers' community used since the 80's to exercise the entire set of mathematical (integer) instructions and data string manipulations of processors. So, a good software candidate to exercise critical paths of the Cortex-M4 logic.

At the same time, conducted EMI noise on power supply lines also produces the similar effect, by slowing down signal propagation through the logic, which in turns, increases the probability of desynchronization between the signal propagation and clock triggering, and so the occurrence of transient faults in the circuit [21,22].

It should be noticed that we did not observe permanent or transient faults for the processor aged up to 456 h, when operating at nominal conditions ( $V_{DD} = 3.3$  V, clock frequency = 100 MHz). So we assume that aging up to this point was not large enough to shrink time slack in such a way to provoke these types of faults on the processor while running at nominal conditions.

However, in the presence of conducted EMI noise on power supply pins, we observed that the 456-hour aged processor presented a larger number of faults when compared to its fresh version. This observation leads us to conclude that when aging is combined with conducted EMI noise on input power pins the consequences are more harmful to the Cortex-M4 processor than their separate effects.

**Question #2:** *Why are voltage dips with longer durations more harmful than shorter ones?*

It is our understanding that long-duration voltage dips corroborate to discharge circuit internal nodes' capacitance to lower levels than those levels induced by short-duration voltage dips. In other words, as shorter is the voltage dip, closer is the voltage at the circuit internal nodes to their nominal values generated during fault-free operation. Table 7 (for range R1) and Table 13 (R2) support this reasoning.

**Question #3:** *Why does the processor (either fresh or aged) present lower immunity to voltage dips at high frequencies than at low ones?*

Note that the higher is clock frequency, the shorter is the time slack allocated for the clock period to accommodate signal propagation through the logic, as defined by design. Thus, one could expect that the processor would present higher immunity to voltage dips at lower clock rates than at higher ones. Tables 3 and 9 support this reasoning.

**Question #4:** *Why does the processor (either fresh or aged) present lower immunity to voltage dips at range R1 than R2?*

Note that as defined by the manufacturer, the recommended component minimum and maximum operating voltages are 2.0 and 3.3 V, respectively. On the other hand, we experimentally measured the minimum operating voltage for this component as 1.92 V. This scenario suggests that range R1 ([2.0–1.92] volts) is more harmful to the processor immunity than R2 ([3.3–2.0] volts) since R1 is extremely low voltage and is outside the manufacturer's recommended operation, while R2 is not.

## 6. Conclusions of the Work

We have analyzed the conducted EM immunity sensitivity of one of the most used processors for consumer applications, the ARM Cortex-M4 processor, with respect to aging. In this work, we based measurements for conducted EMI on the IEC 61000-4-29 std., whereas component aging was guided by the MIL-STD-883H Part 1015.9.

We *did not* observe faults for the fresh or aged processor up to 456 h of burn-in, when it is operating at nominal conditions ( $V_{DD} = 3.3$  V, clock frequency = 100 MHz, *i.e.*, no noise applied). However, we observed that the fresh processor presented 25 faults when operating in EMI noise environment (resp. 49 faults after 456-hour burn-in). This yields 96% EMI noise immunity degradation after aging, considering that in the experiment the processor was exposed to voltage dips at extremely low voltage range (R1: [2.0–1.92] volts) and nominal voltage range as recommended by the manufacturer (R2: [3.3–2.0] volts). If we analyze immunity degradation separately for R1 or R2, then after burn-in the processor EMI noise immunity degraded by 158% for voltage dips produced inside range R1 and 38% for R2, with respect to the fresh processor.

Having analyzed these numbers, it is our understanding that when aging is combined with conducted EMI noise on input power pins, the consequences are more harmful to the Cortex-M4 processor than their separate effects.

Moreover, we observed *no* performance degradation on the execution of the *Dhrystone V2.1a* benchmark after 456-hour burn-in procedure. This is a well-known application from the designers' community used since the 80's to exercise the entire set of mathematical (integer) instructions and data string manipulations of processors.

We measured a small (2.36%) increase in processor current consumption after 456 h of burn-in at 125 °C. This increase is probably due to some physical degradation. However, it is our understanding that this degradation was not enough to affect processor's performance to a noticeable level.

We performed the experiment based on one single component. This fact does not affect negatively the work scientific findings and conclusions, since all measurements have been made to compare two versions of the same component: a fresh and an aged version, surrounded by always-fresh passive components, and guided by specific standard procedure. Nevertheless, for future work, we intend to analyze if additional samples from different fabrication lots can affect (and if so, in which extent) the obtained results. We understand that a statistical study would also provide an important contribution to this work.

We also intend to overclock the fresh and aged versions of the processor while executing the *Dhrystone* benchmark. This will help us to understand the extent of the physical degradation, despite the fact that it was not observed performance penalty.

### CRedit authorship contribution statement

**Juliano Benfica:**Methodology, Formal analysis, Investigation.**Fabian Vargas:**Supervision, Conceptualization, Methodology, Formal analysis, Investigation.**Matheus Fay Soares:** Software, Resources, Data curation.**Dorian Schramm:**Software, Resources, Data curation.

### Declaration of competing interest

The authors declare that they have no known competing financial interests or personal relationships that could have appeared to influence the work reported in this paper.

### Acknowledgements

This work has been supported in part by CNPq (National Science

Foundation, Brazil) under contract n. 300124/2019-0 (PQ), Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – Brasil (CAPES) – Finance Code 001.

### Appendix A. Supplementary data

Supplementary data to this article can be found online at <https://doi.org/10.1016/j.microrel.2020.113884>.

### References

- [1] Franco Fiori, Integrated circuits immunity evaluation by different test procedures, Int. Symp. on Electromagnetic Compatibility EMC'2000, 2000, pp. 286–289, <https://doi.org/10.1109/ICCEA.1999.825127> Brugge, Belgium.
- [2] Stéphane Baffreau, Sonia Ben Dhia, Mohamed Ramdani, Etienne Sicard, On the susceptibility of micro-controller to radio frequency interference, 3rd International Workshop on Electromagnetic Compatibility of Integrated Circuits, Nov 2002, Toulouse, France, Nov. 2002, pp. 130–131 (Toulouse, France, doi: -).
- [3] Alexandre Boyer, Etienne Sicard, Basis of Electromagnetic Compatibility of Integrated Circuits - A Modeling Approach Using IC-EMC, Presses Universitaires du Midi - Collection Pour l'ingénieur. Presses Universitaires du Midi (PUM), 2017 390p. (doi: -).
- [4] Chaimae Ghfiri, Alexandre Boyer, Alain Bensoussan, André Durier, Sonia Ben Dhia, "A new methodology for EMC prediction of integrated circuits after aging", IEEE Trans. Electromagnetic Compatibility 61 (2) (2019) 572–581, <https://doi.org/10.1109/TEM.2018.2819722>.
- [5] MIL-STD-883H – Burn-in Test Method and Procedure for Microcircuits: Part 1015.9.
- [6] IEC 61000-4-29, Electromagnetic Compatibility (EMC) – Part 4–29: Testing and Measurement Techniques – Voltage Dips, Short Interruptions and Voltage Variations on d.c. Input Power Port Immunity Tests, (2000).
- [7] IEC 61000-4-17, Electromagnetic Compatibility (EMC) – Part 4–17: Testing and Measurement Techniques – Ripple on d.c. Input Power Port Immunity Test, (2008).
- [8] IEC 61000-4-4, Electromagnetic Compatibility (EMC) –Part 4–4: Testing and Measurement Techniques – Electrical Fast Transient/Burst Immunity Test, (2012).
- [9] IEC 62132-1, Integrated Circuits - Measurement of Electromagnetic Immunity - Part 1: General Conditions and Definitions, (2015).
- [10] IEC 62132-4, Integrated Circuits - Measurement of Electromagnetic Immunity, 150 KHz - 1 GHz, Part 4: Direct RF Power Injection Method, (2006).
- [11] Alexandre Boyer, Sonia Ben Dhia, Binhong Li, Christophe Lemoine, Bertrand Vignon, Prediction of long-term immunity of a phase-locked loop, Journal of Electronic Testing, Theory and Applications 28 (Dec. 2012) 791–802 Issue <https://doi.org/10.1007/s10836-012-5335-y>.
- [12] Juliano Benfica, Leticia Bolzani Poehls, Fabian Vargas, Jose Lipovetzky, Ariel Lutenberg, Edmundo Gatti, Fernando Hernandez, Customized platform for TID and EMI IC combined measurements: case-study and experimental results, J. Electron. Test. 28 (Dec.2012) 803–816, <https://doi.org/10.1007/s10836-012-5334-z>.
- [13] Juliano Benfica, Bruno Green, Bruno Casagrande Porcher, Leticia Bolzani Poehls, Fabian Vargas, Nilberto H. Medina, Nemitala Added, Vitor A.P. de Aguiar, Eduardo L.A. Macchione, Fernando Aguirre, Marcilei A.G. Silveira, Martín Perez, Miguel Sofo Haro, Ivan Sidelnik, Jerónimo Blostein, Jose Lipovetzky, Eduardo A. Bezerra, Analysis of SRAM-based FPGA SEU sensitivity to combined EMI and TID-imprinted effects, IEEE Trans. Nucl. Sci. 63 (2) (April 2016) 1294–1300, <https://doi.org/10.1109/TNS.2016.2523458>.
- [14] <https://pdfs.semanticscholar.org/8a6a/91d29b9f9de14806b9152127c7f3ea00977.pdf> last access: July 2020.
- [15] [https://www.arm.com/files/pdf/20160628\\_04\\_ATF\\_Korea\\_Chris\\_Turner.pdf](https://www.arm.com/files/pdf/20160628_04_ATF_Korea_Chris_Turner.pdf) last access: July 2020.
- [16] [https://static.docs.arm.com/dai0273/a/DAI0273a\\_dhrystone\\_benchmarking.pdf](https://static.docs.arm.com/dai0273/a/DAI0273a_dhrystone_benchmarking.pdf) last access: July 2020.
- [17] [www.cszindustrial.com/Products/Temperature-Humidity-Chambers/Micro-Climate-Benchtop.aspx](http://www.cszindustrial.com/Products/Temperature-Humidity-Chambers/Micro-Climate-Benchtop.aspx) last access: July 2020.
- [18] María Dolores Valdés, Judit Fernandez Freijedo, María J. Moure Rodriguez, Juan José Rodríguez-Andina, Jorge Semião, Isabel Cacho Teixeira, João Paulo Teixeira, Fabian Vargas, Design and validation of configurable online aging sensors in nanometer-scale FPGAs, IEEE Trans. Nanotechnol. 12 (4) (July 2013) 508–517 2013 <https://doi.org/10.1109/TNANO.2013.2253795>.
- [19] Judit Freijedo, Jorge Semião, Juan José Rodríguez-Andina, Fabian Vargas, Isabel Maria Cacho Teixeira, João Paulo Teixeira, Modeling the effect of process, power-supply voltage and temperature variations on the timing response of nanometer digital circuits, Journal of Electronic Testing, Theory and Applications 28 (2012) 421–434, <https://doi.org/10.1007/s10836-012-5297-0>.
- [20] James Tschanz, Nam Sung Kim, Saurabh Dighe, Jason Howard, Gregory Ruhl, Sriram Vangal, Siva Narendra, Yatin Hoskote, Howard Wilson, Carol Lam, Matthew Shuman, Carlos Tokunaga, Dinesh Somasekhar, Stephen Tang, David Finan, Tanay Karnik, Nitin Borkar, Nasser Kurd, Vivek De, Adaptive frequency and biasing techniques for tolerance to dynamic temperature-voltage variations and aging, IEEE Int. Solid-State Circuits Conference (2007) 292–293, <https://doi.org/10.1109/ISSCC.2007.373409>.
- [21] Junpeng Ji, Wenjie Chen, Xu Yang, Jingjie Lu, Delay and decoupling analysis of a digital active EMI filter used in arc welding inverter, IEEE Trans. Power Electron. 33 (8) (2018) 6710–6722. Aug <https://doi.org/10.1109/TPEL.2017.2758682>.
- [22] Christofer de Oliveira, Leticia Bolzani Poehls, Fabian Vargas, "On-chip watchdog to monitor RTOS activity in MPSoC exposed to noisy environment", 2015 IEEE 10th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo), vol. v.1, p. 61–66, doi: <https://doi.org/10.1109/EMCCompo.2015.7358331>.



Pontifícia Universidade Católica do Rio Grande do Sul  
Pró-Reitoria de Graduação  
Av. Ipiranga, 6681 - Prédio 1 - 3º. andar  
Porto Alegre - RS - Brasil  
Fone: (51) 3320-3500 - Fax: (51) 3339-1564  
E-mail: [prograd@pucrs.br](mailto:prograd@pucrs.br)  
Site: [www.pucrs.br](http://www.pucrs.br)