

Pontifícia Universidade Católica do Rio Grande do Sul – PUCRS
Faculdade de Engenharia
Programa de Pós-Graduação em Engenharia Elétrica

Thiago Santos Copetti

**Metodologia Baseada em Hardware para o
Desenvolvimento de Circuitos Integrados
Tolerantes ao Fenômeno de *NBTI***

Porto Alegre
2015

Thiago Santos Copetti

**Metodologia Baseada em Hardware para o
Desenvolvimento de Circuitos Integrados Tolerantes ao
Fenômeno de *NBTI***

Dissertação de mestrado no Programa de Pós-Graduação em Engenharia Elétrica da Pontifícia Universidade Católica do Rio Grande do Sul, como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Sinais, Sistemas e Tecnologia da Informação

Linha de Pesquisa: Sistemas de Computação.

Orientadora: Dra. Letícia Maria Bolzani Poehls

Coorientador: Dr. Fabian Luis Vargas

Porto Alegre

2015



Pontifícia Universidade Católica do Rio Grande do Sul

FACULDADE DE ENGENHARIA

PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

METODOLOGIA BASEADA EM HARDWARE PARA O DESENVOLVIMENTO DE CIRCUITOS INTEGRADOS TOLERANTES AO FENÔMENO DE NBTI

CANDIDATO: THIAGO SANTOS COPETTI

Esta Dissertação de Mestrado foi julgada para obtenção do título de MESTRE EM ENGENHARIA ELÉTRICA e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Pontifícia Universidade Católica do Rio Grande do Sul.



DRA. LETÍCIA MARIA BOLZANI POEHLS - ORIENTADORA



DR. FABIAN LUIS VARGAS - CO-ORIENTADOR

BANCA EXAMINADORA



DR. HELANO DE SOUSA CASTRO - DA FACULDADE DE ENGENHARIA - UFC



DR. AURELIO TERGOLINA SALTON - PPGE - FENG - PUCRS

PUCRS

Campus Central

Av. Ipiranga, 6681 - Prédio 30 - Sala 103 - CEP: 90619-900

Telefone: (51) 3320.3540 - Fax: (51) 3320.3625

E-mail: engenharia.pg.eletrica@pucrs.br

www.pucrs.br/feng

AGRADECIMENTOS

A minha orientadora Letícia Bolzani Poehls e ao meu coorientador Fabian Luis Vargas pela oportunidade e confiança que ambos depositaram em mim ao longo desse anos. Além, de sempre me instigarem a evoluir e a expandir os meus limites, tanto nas esferas intelectual e profissional.

Aos integrantes do laboratório EASE e seus respectivos grupos (OaSIs, SiSC e GACS) por propiciarem um ambiente agradável para o bom andamento do trabalho. E em especial ao Guilherme Medeiros que me auxiliou durante o trabalho.

Aos meus pais, irmãos e familiares que sempre me apoiaram e incentivaram durante estes anos de estudos.

Ao PPGEE e aos seus funcionários pelos excelentes serviços prestados.

A PUCRS e a Faculdade de Engenharia pela ótima estrutura fornecida.

Por fim, agradeço a FAPERGS e a CAPES, pela bolsa de mestrado concedido através do edital 014/2012.

RESUMO

Avanços na tecnologia *CMOS* (*Complementary Metal-Oxide-Semiconductor*) permitiram a miniaturização de componentes eletrônicos o que, por sua vez, trouxe consigo uma série de benefícios, tais como o aumento na densidade e na frequência de operação de Circuitos Integrados (CIs). Entretanto, apesar dos benefícios, a redução no tamanho dos transistores gerou uma série de desafios ao projeto de CIs. Dentre eles pode-se citar o envelhecimento dos CIs devido ao fenômeno do *Negative Bias Temperature Instability* (*NBTI*). Esse fenômeno degrada os transistores do tipo *PMOS* quando os mesmos são submetidos à elevadas temperaturas associadas fundamentalmente à funcionalidade dos CIs. Neste contexto, este trabalho propõe uma metodologia baseada em hardware capaz de monitorar níveis de envelhecimento ao longo da vida útil do CI, bem como uma forma de minimizar esses efeitos através do ajuste da tensão de alimentação CI. Em outras palavras a metodologia proposta visa aumentar a robustez de CIs utilizados em aplicações consideradas críticas.

Palavras-chaves: *CMOS*, *NBTI*, sensor, envelhecimento, fonte de alimentação.

ABSTRACT

Advances in CMOS (Complementary Metal-Oxide-Semiconductor) allowed the miniaturization of electronic components which, in turn, caused a number of benefits, such as increased density and operating frequency of integrated circuits (ICs). However, despite the benefits, the transistors size reduction generated several challenges to IC design. Among them we can mention the aging of ICs due to of Negative Bias Temperature Instability (NBTI) phenomenon. This phenomenon degrades PMOS transistors when they are exposed to high temperatures, fundamentally associated with the ICs workload. In this context, this thesis proposes a hardware-based methodology able to monitor levels of aging over the IC life time, as well as able to minimize these effects by the IC supply voltage adjustment. In other words, the proposed methodology aims to increase the robustness of ICs used in critical applications.

Key-words: CMOS, NBTI, sensor, aging, power supply.

LISTA DE ILUSTRAÇÕES

Figura 1 – Classificação dos Circuitos Digitais baseados no comportamento temporal.	28
Figura 2 – Representação de uma Porta Lógica de três entradas.	29
Figura 3 – Portas Lógicas <i>CMOS</i> :	29
Figura 4 – Comportamento de dois inversores básicos do elemento Biestável: . . .	32
Figura 5 – Nível lógico: <i>Latch RS</i>	33
Figura 6 – Nível lógico: <i>Latch</i> e <i>Flip-flop JK</i>	34
Figura 7 – Nível lógico: <i>Latch</i> e <i>Flip-flop D</i>	34
Figura 8 – Efeito causado na estrutura do transistor pelo <i>NBTI</i>	37
Figura 9 – Tensão de <i>threshold</i> x tempo de um transistor <i>PMOS</i>	37
Figura 10 – Modelamento de envelhecimento por <i>NBTI</i>	38
Figura 11 – Arquitetura conceitual de power-gating.	39
Figura 12 – Princípio básico de funcionamento da metodologia do Sensor de Envelhecimento de Agarwal.	41
Figura 13 – Descrição Lógica da metodologia do Sensor de Envelhecimento de Agarwal.	42
Figura 14 – Projeto alternativo do Sensor de Envelhecimento de Agarwal.	44
Figura 15 – Arquitetura do Sensor de Envelhecimento.	44
Figura 16 – Elemento de Delay.	45
Figura 17 – Arquitetura do Verificador de Estabilidade.	46
Figura 18 – <i>Adaptative Error-Predicton Flip-Flop</i> (AEP-FF).	47
Figura 19 – Arquiteturas típicas de um Elemento de <i>Delay</i>	48
Figura 20 – Arquitetura do Verificador de Estabilidade com retenção lógica.	48
Figura 21 – Diagrama de Blocos e Micrografia do CI de teste.	51
Figura 22 – Compensação da degradação da frequência devido ao envelhecimento usando polarização do <i>body</i> no <i>PMOS</i>	52
Figura 23 – Fluxograma da Metodologia Proposta.	54
Figura 24 – Diagrama em Blocos da Metodologia Proposta.	55
Figura 25 – Diagrama de Blocos da Metodologia Proposta.	57
Figura 26 – Nível de Transistores do Sensor de Envelhecimento e do <i>flip-flop</i>	58
Figura 27 – Formas de onda do Sensor de Envelhecimento.	60
Figura 28 – Arquitetura Utilizada em Portas Lógicas do Atuador.	61
Figura 29 – Arquitetura do Atuador mostrando o Contador em Nível de Transistor.	61
Figura 30 – Arquitetura das Fontes de Alimentação.	62
Figura 31 – Diagrama Lógico da ULA.	63

Figura 32 – Exemplo da operação do <i>flip-flop</i> no final do caminho crítico sem a Metodologia proposta	66
Figura 33 – Exemplo de Ativação do Sensor de Envelhecimento.	67
Figura 34 – Comparação do ‘ <i>delayed_signal</i> ’ novo, e que aciona o Sensor.	68
Figura 35 – Formas de Onda da Saída do <i>CUT</i> , comparando um sinal novo com um sinal regenerado.	68
Figura 36 – Formas de Onda da Saída do <i>CUT</i> , enfatizando os níveis de atuação de tensão.	69
Figura 37 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro <i>Leff - Inter-die</i>	73
Figura 38 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro <i>Vthp - Inter-die</i>	73
Figura 39 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro <i>Vthn - Inter-die</i>	74
Figura 40 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro <i>tox p - Inter-die</i>	74
Figura 41 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro <i>tox n - Inter-die</i>	75
Figura 42 – Histograma da Simulação de Monte Carlo para a Metodologia variando todos os cinco parâmetro - <i>Inter-die</i>	75
Figura 43 – Média do Histograma da Simulação de Monte Carlo para a Metodologia - <i>Inter-die</i>	76
Figura 44 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro <i>Leff - Intra-die</i>	77
Figura 45 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro <i>Vthp - Intra-die</i>	77
Figura 46 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro <i>Vthn - Intra-die</i>	78
Figura 47 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro <i>tox p - Intra-die</i>	78
Figura 48 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro <i>tox n - Intra-die</i>	79
Figura 49 – Histograma da Simulação de Monte Carlo para a Metodologia variando todos os cinco parâmetro - <i>Intra-die</i>	79
Figura 50 – Média do Histograma da Simulação de Monte Carlo para a Metodologia - <i>Intra-die</i>	80
Figura 51 – Histograma da Simulação de Monte Carlo para os parâmetros analisados variando individualmente.	81

LISTA DE TABELAS

Tabela 1 – Comparação entre as Metodologias de Sensor de Envelhecimento Apresentadas.	50
Tabela 2 – Relação entre Nível de Tensão e <i>Guardband</i>	69
Tabela 3 – Probabilidade de ativação do Atuador, simulações de Monte Carlo para parâmetros com variação individual.	82

LISTA DE ABREVIATURAS E SIGLAS

<i>AEP-FF</i>	<i>Adaptative Error-Predicton Flip-Flop</i>
<i>ASIC</i>	<i>Applications Specific Integrated Circuit</i>
<i>BTI</i>	<i>Bias Temperature Instability</i>
<i>CGC</i>	<i>Complementary Gate Capacitor</i>
<i>CI</i>	<i>Circuito Integrado</i>
<i>CMOS</i>	<i>Complementary Metal-Oxide-Semiconductor</i>
<i>CUT</i>	<i>Circuit Under Test</i>
<i>DE</i>	<i>Delay Element</i>
<i>HCI</i>	<i>Hot Carrier Interface</i>
<i>MOSCAP</i>	<i>Metal-Oxide-Semiconductor Capacitor</i>
<i>MOSFET</i>	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i>
<i>NBTI</i>	<i>Negative Bias Temperature Instability</i>
<i>NMOS</i>	<i>Negative Metal-Oxide-Semiconductor</i>
<i>PBTI</i>	<i>Positive Bias Temperature Instability</i>
<i>PDN</i>	<i>Pull-Down Network</i>
<i>PLL</i>	<i>Phase Locked Loop</i>
<i>PMOS</i>	<i>Positive Metal-Oxide-Semiconductor</i>
<i>PUN</i>	<i>Pull-Up Network</i>
<i>SC</i>	<i>Stability Checker</i>
<i>SRAM</i>	<i>Static Random Access Memory</i>
<i>ULA</i>	<i>Unidade Lógica Aritmética</i>

LISTA DE SÍMBOLOS

AND	porta lógica E
$^{\circ}C$	grau celsius
C_L	<i>load capacitance</i>
F	faraday
f	fento
Gnd	<i>ground</i>
H	Hidrogênio
$L_{(p,n)}$	comprimento (<i>length</i>) do <i>gate</i> , do transistor tipo <i>PMOS</i> ou <i>NMOS</i>
$L_{eff(p,n)}$	comprimento (<i>length</i>) variável do <i>gate</i> , do transistor tipo <i>PMOS</i> ou <i>NMOS</i>
m	metro
n	nano
p	pico
s	segundo
Si	Silício
SiO ₂	Dióxido de Silício
t_{PHL}	tempo de descida
t_{PLH}	tempo de subida
$tox_{(n,p)}$	largura do óxido, do transistor tipo <i>NMOS</i> ou <i>PMOS</i>
V	volt
V_{GS}	diferença de tensão entre <i>Gate</i> e <i>Source</i> (<i>MOSFET</i>)
$V_{th(n,p)}$	tensão de <i>threshold</i> (limiar), do transistor tipo <i>NMOS</i> ou <i>PMOS</i>
V_{dd}	fonte de tensão positiva
$W_{(n,p)}$	largura (<i>width</i>) do <i>gate</i> , do transistor tipo <i>NMOS</i> ou <i>PMOS</i>

μ

micro

SUMÁRIO

I	DISSERTAÇÃO	21
1	INTRODUÇÃO	23
1.1	Motivação	24
1.2	Objetivos	25
1.3	Apresentação dos Capítulos	25
1.4	Artigos Publicados	26
2	FUNDAMENTAÇÃO TEÓRICA E ESTADO-DA-ARTE	27
2.1	Circuitos Digitais <i>MOSFET</i>	27
2.1.1	Portas Lógicas <i>CMOS</i>	28
2.1.2	Circuitos Lógicos Sequenciais Biestáveis	31
2.2	Noções Básicas de Teoria de Teste	34
2.2.1	Defeito, Erro e Falha	35
2.2.2	Teste <i>Online</i> e <i>Offline</i>	35
2.2.3	<i>Scan Design</i>	35
2.3	Introdução ao Fenômeno <i>NBTI</i> em Transistores <i>CMOS</i>	36
2.3.1	Modelamento de <i>NBTI</i>	38
2.4	<i>Power Gating</i>	38
2.5	Variações de Processos de Fabricação	39
2.6	Estado-da-Arte	40
2.6.1	Metodologias Preventivas de Detecção de Envelhecimento por <i>NBTI</i>	40
2.6.2	Sensor Preventivo de Envelhecimento <i>Online</i> com Elemento de <i>Delay</i> Controlado	44
2.6.3	Prevenção Adaptativa de Erro Baseado em <i>Flip-Flops</i>	45
2.6.4	Comparação entre metodologias de Sensores de Envelhecimento apresentadas	49
2.6.5	Técnica de Polarização e Frequência Adaptativa para Tolerância de Variações Dinâmicas de Tensão, Temperatura e Envelhecimento	49
3	PROPOSTA	53
3.1	Especificação	54
3.2	Implementação	56
3.2.1	O Sensor de Envelhecimento e o <i>Flip-flop</i>	57
3.2.2	O Atuador	60
3.2.3	Fontes de Alimentação	62
3.2.4	O <i>CUT</i>	62

4	VALIDAÇÃO DA METODOLOGIA PROPOSTA	65
5	AVALIAÇÃO DA METODOLOGIA PROPOSTA	71
5.1	<i>Overheads</i>	71
5.2	Simulações de Monte Carlo para as Variações de Processos	72
5.2.1	<i>Variações Inter-die</i>	72
5.2.2	<i>Variações Intra-die</i>	76
5.2.3	<i>Variações Inter-die</i> de todo o CI	81
6	CONSIDERAÇÕES FINAIS	85
	REFERÊNCIAS	87
II	APÊNDICES	91
A	ARTIGOS PUBLICADOS	93

Parte I

Dissertação

1 INTRODUÇÃO

Com a constante evolução tecnológica e a miniaturização da tecnologia eletrônica, tornou-se possível integrar milhões de transistores em uma pequena área de silício, aumentando assim a densidade de circuitos e sistemas integrados. Além disso, essa redução permitiu a diminuição do *delay* de chaveamento dos transistores e consequente aumento na frequência de operação dos dispositivos eletrônicos. Entretanto, apesar dos benefícios anteriormente citados, a miniaturização da tecnologia trouxe consigo uma série de desafios relacionados ao envelhecimento de circuitos e sistemas integrados que, por sua vez, compromete diretamente a confiabilidade dos mesmos durante sua vida útil.

O fenômeno denominado *Negative Bias Temperature Instability (NBTI)* representa uma das principais preocupações do ponto de vista da confiabilidade durante a etapa de projeto do CI. Em mais detalhes, o *NBTI* provoca o envelhecimento de transistores do tipo *Positive Metal-Oxide-Semiconductor (PMOS)*, afetando a tensão de *threshold (V_{th})* do mesmo, tendo como consequência, de modo geral, o aumento do tempo de chaveamento do dispositivo, e o comprometimento da integridade de dados em elementos de memória (BAGATIN et al., 2010) e (KANG et al., 2007).

Sobre os efeitos do *NBTI* ainda pode-se dizer que o mesmo causa diminuição da corrente de chaveamento e aumento do ruído no *path* do circuito, gerando degradação no *delay* do mesmo. A variação de *threshold* é estimada em 5% á 15% por ano (FERRI et al., 2011), dependendo da tecnologia alvo e das características comportamentais do circuito.

Circuitos assíncronos são circuitos lógicos que não utilizam um ciclo de *clock* para a realização de suas tarefas. Contudo, utilizando-os em conjunto com elementos de circuitos síncronos, periódicos, os mesmos necessitam de elementos de memória, como *flip-flops*, nas lógicas de entrada e saída do circuito, para que esse seja colocado em consonância com os demais elementos do circuito.

O *NBTI* afeta a estabilidade ao longo tempo em circuitos lógicos, devido a incapacidade de armazenamento do valor correto em elementos de memória, como *flip-flops*. Isso ocorre devido a de-sincronização entre a distribuição de *clock* e o sinal de propagação recebido do caminho lógico de um circuito.

Assim, a fim de lidar com esse problema apresentado, foi desenvolvido em (AGARWAL et al., 2007) e (AGARWAL et al., 2008), uma metodologia preventiva baseada em hardware capaz de identificar o envelhecimento de CI causado por *NBTI*. O princípio de funcionamento da metodologia consiste em adicionar um Bloco de Monitoramento na saída do circuito de lógica combinacional, em sistemas síncronos, em paralelo com o *flip-flop* de

saída, próprio do circuito ou agregado a técnica de *scan-chain*. Esse Bloco de Monitoramento identifica quando há uma violação de *guardband* do caminho analisado. *Guardband* (AGARWAL et al., 2007) é o tempo de *clock* para a operação, mais um tempo adicional para compensar a degradação do circuito (*time slack*), mais o tempo até a próxima subida de *clock*. Essa metodologia será explicada com mais detalhes mais adiante no Capítulo 2.

Em (MARTINS et al., 2011), foi apresentada uma modificação da metodologia citada acima, com menor *overhead* de área. Essa metodologia consiste analisar o sinal interno do *flip-flop* de borda de subida localizado ao final do caminho crítico, para armazenamento de dado, e detectar a violação de *guardband* de forma preditiva. Essa metodologia também será explicada com mais detalhes mais adiante no Capítulo 2.

1.1 Motivação

A principal motivação desta dissertação concentra-se no fato de que aplicações consideradas críticas exigem um alto nível de confiabilidade durante a vida útil. Note que usualmente o reparo e a substituição de componentes em aplicações críticas são considerados extremamente dispendiosos e às vezes impossíveis. Assim, alternativas capazes de aumentarem a vida útil de CIs, dessa forma aumentando a robustez do sistema, são necessárias.

Nesse contexto, esta dissertação visa a especificação, implementação, validação e avaliação de uma metodologia baseada em hardware capaz de monitorar níveis de envelhecimento ao longo da vida útil do CI, bem como minimizar esses efeitos através de uma solução que propõe o ajuste da tensão de alimentação do CI. Em mais detalhes, a metodologia proposta visa aumentar a robustez exigida para aplicações críticas.

Para a especificação da metodologia baseada em hardware serão utilizadas como base, as metodologias citadas no Capítulo referente ao Estado-da-Arte. Será especificado um Sensor de Envelhecimento capaz de monitorar o aumento gradativo do *delay* e um Atuador capaz de controlar o nível de tensão sob o circuito. A implementação será feita através de simulações elétricas utilizando a biblioteca tecnológica da STMicroelectronics. A validação será realizada no simulador elétrico Hspice da Synopsys. Finalmente, a avaliação será realizada através de métodos probabilísticos utilizando simulações de Monte Carlo, que visam verificar o impacto da variabilidade do processo de fabricação na capacidade de monitoramento e atuação da metodologia proposta. Além disso, uma análise dos *overheads* introduzidos pela solução proposta também serão quantificados.

1.2 Objetivos

O principal objetivo deste trabalho é propor uma metodologia baseada em hardware que visa aumentar a vida útil do CI minimizando os efeitos gerados associados ao *NBTI*, através do incremento gradual da tensão de alimentação do CI. Para isso, os seguintes objetivos específicos foram identificados:

- Escolher um método para avaliar os efeitos de envelhecimento por *NBTI*;
- Estudar os efeitos do envelhecimento causado por *NBTI* em um conjunto de portas lógicas, como *NAND*, *NOR* e *INVERTER*;
- Estudar a variação dos *delays* das portas lógicas, variando a tensão de alimentação dos componentes;
- Selecionar um *Applications Specific Integrated Circuit (ASIC)* para utilizar como *Circuit Under Test (CUT)*;
- Desenvolver de forma *Full Custom*, um Sensor capaz monitorar diferentes níveis de envelhecimento do *CUT* e um atuador que visa minimizar o surgimento de falhas através do aumento da tensão do *CUT*;
- Validar a metodologia;
- Avaliar a metodologia desenvolvida, frente a variabilidade do processo de fabricação, através de simulações de Monte Carlo, como método probabilístico;

1.3 Apresentação dos Capítulos

O manuscrito desta dissertação de mestrado está estruturado, contando com este Capítulo introdutório, em 6 Capítulos, com os principais pontos discutidos apresentados a seguir:

- Capítulo 2: Apresenta a Fundamentação Teórica necessária para entender o trabalho e o Estado-da-Arte de trabalhos que vem sendo desenvolvidos sobre o assunto.
- Capítulo 3: Apresenta a Proposta da metodologia baseada em hardware. Será discutido a forma de Especificação e Implementação da técnica. Ainda na Implementação serão discernidos os módulos do projeto.
- Capítulo 4: Apresenta a Validação da metodologia, baseada em uma análise comportamental.

- Capítulo 5: Compõe a Avaliação da metodologia, onde analisa-se a robustez da metodologia frente a Variações de Processo de Fabricação e impacto de *overheads* que a arquitetura introduz.
- Capítulo 6: Finalmente, neste Capítulo são apresentadas as Considerações Finais do Trabalho.

1.4 Artigos Publicados

Como resultado do trabalho desenvolvido, foi publicado um artigo em (COPETTI et al., 2015) onde é apresentado os princípios básicos da metodologia e alguns resultados do seu funcionamento.

Ainda foi publicado estudos paralelos, fornecendo dados para o estudo de *NBTI* em (KOSTIN et al., 2014) e (KOSTIN et al., 2015). Onde também foi desenvolvido o circuito de teste utilizado neste Trabalho.

Houve também contribuição no estudo de regeneração de circuitos lógicos com aumento do nível de tensão em (PALERMO et al., 2015) e no estudo de um Sensor de envelhecimento por *NBTI* em *Static Random Access Memory (SRAMs)*, (CERATTI et al., 2014).

2 FUNDAMENTAÇÃO TEÓRICA E ESTADO-DA-ARTE

Este capítulo aborda os principais tópicos associados a este trabalho, bem com apresenta as principais técnicas propostas na literatura no contexto do fenômeno de *NBTI*. Primeiro, o conceito de Circuitos Digitais *Metal-Oxide-Semiconductor Field Effect Transistor (MOSFET)*, onde será detalhado o princípio de funcionamento destes circuitos. Em seguida, é explicado o fenômeno de *NBTI* que ocorre em transistores de tecnologia *Complementary Metal-Oxide-Semiconductor (CMOS)*, junto com o modelamento elétrico que será utilizado para simular o fenômeno de *NBTI* em transistores *CMOS*. E finalmente será apresentado o Estado-da-Arte referente á trabalhos já realizados nesse campo de pesquisa.

2.1 Circuitos Digitais *MOSFET*

Os circuitos digitais (ou circuitos lógicos) são empregados em quase todas as aplicações de eletrônica, como computação, telecomunicações, controles, instrumentação e produtos de consumo, como eletrodomésticos. As pequenas dimensões, a facilidade de fabricação e a baixa dissipação de potência dos *MOSFETs* admitem um nível de integração extremamente alto, tanto para circuitos lógicos como para memórias.

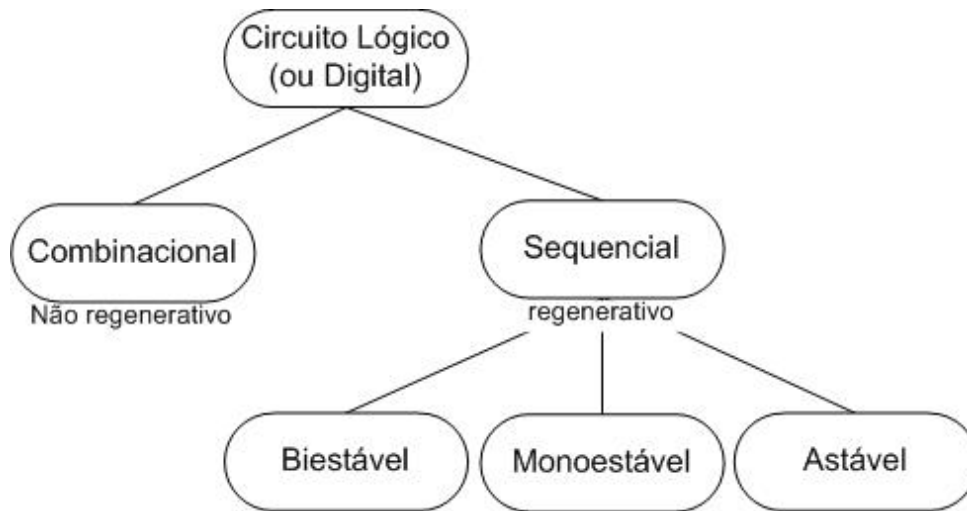
Os circuitos digitais são divididos em dois grupos, circuitos Combinacionais e Circuitos Sequenciais, como mostrado na Figura 1.

Os Circuitos Combinacionais são empregados como portas lógicas em uma ampla gama de aplicações, e sua saída é sempre uma função Booleana dos sinais de entrada em um dado instante. Portanto, esses circuitos não possuem memória, sendo classificados como não regenerativos, devido ao fato de não empregarem realimentação entre a entrada e a saída do circuito.

Os Circuitos Sequenciais possuem a sua saída, determinada não apenas pelo padrão entrada, como também por sua saída anterior, sendo assim um circuito regenerativo, com uma realimentação do dado da entrada com a saída, através de um bloco de memória. As aplicações desse circuito é a de armazenar temporariamente uma saída produzida por um circuito combinatório, para ser usada mais tarde na operação de um sistema digital.

Circuitos Sequenciais são ainda divididos em três grupos: Biestável, Monoestável e Astável. Os Circuitos Biestáveis possuem dois estados estáveis, e cada um pode ser atingido sobre certas condições de entrada e saída. Circuitos Monoestável, possuem apenas

Figura 1 – Classificação dos Circuitos Digitais baseados no comportamento temporal.



Fonte: KANG; LEBLEBICI,2003.

um estado estável de operação, quando o circuito recebe uma perturbação externa, a saída retorna eventualmente para o estado estável após um período de tempo. O circuito Astável não possui um estado estável, sua saída está sempre variando ao longo do tempo.

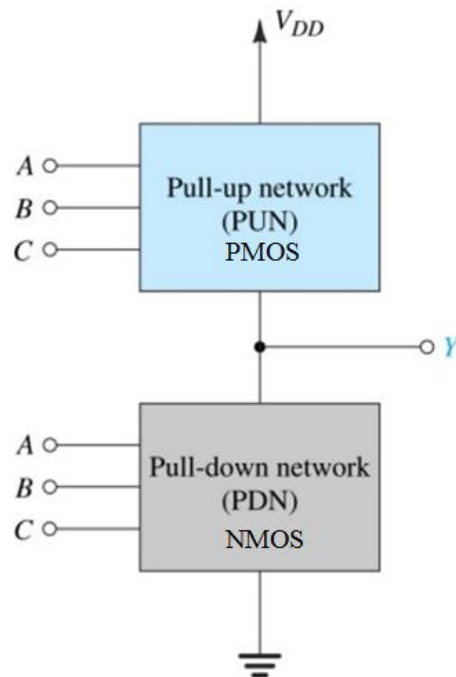
Entre esses três grupos de circuitos regenerativos, o circuito Biestável é o mais utilizado e o mais importante. Todos os *latches*, *flip-flops*, registradores e memórias são constituídos desse circuito. Circuitos Monoestáveis são utilizados como geradores de pulso de tensão de largura definida e os circuitos Astáveis são utilizados como osciladores (SE-DRA; SMITH, 2004), (KANG; LEBLEBICI, 2003) e (JAN; ANANTHA; BORIVOJE, 2003).

2.1.1 Portas Lógicas CMOS

As Portas Lógicas CMOS são Circuitos Combinacionais, que se consistem basicamente de duas redes: a rede abaixadora (*pull-down network - PDN*) construída com transistores *Negative Metal-Oxide-Semiconductor (NMOS)* e a rede levantadora (*pull-up network - PUN*) construída com transistores *PMOS*. As duas redes são controladas por meio da lógica Booleana das entradas. Na Figura 2, está exemplificado uma Porta Lógica com três entradas.

O bloco *PDN* conduzirá para uma dada combinação de nível alto na entrada do circuito, enquanto que o bloco *PUN*, representando a parte complementar do circuito, conduzirá para uma dada combinação de nível baixo na entrada do circuito. Através desse modelo se desenvolve as portas lógicas, Figura 3, como o *INVERTER*, a porta *NAND* e a porta *NOR*.

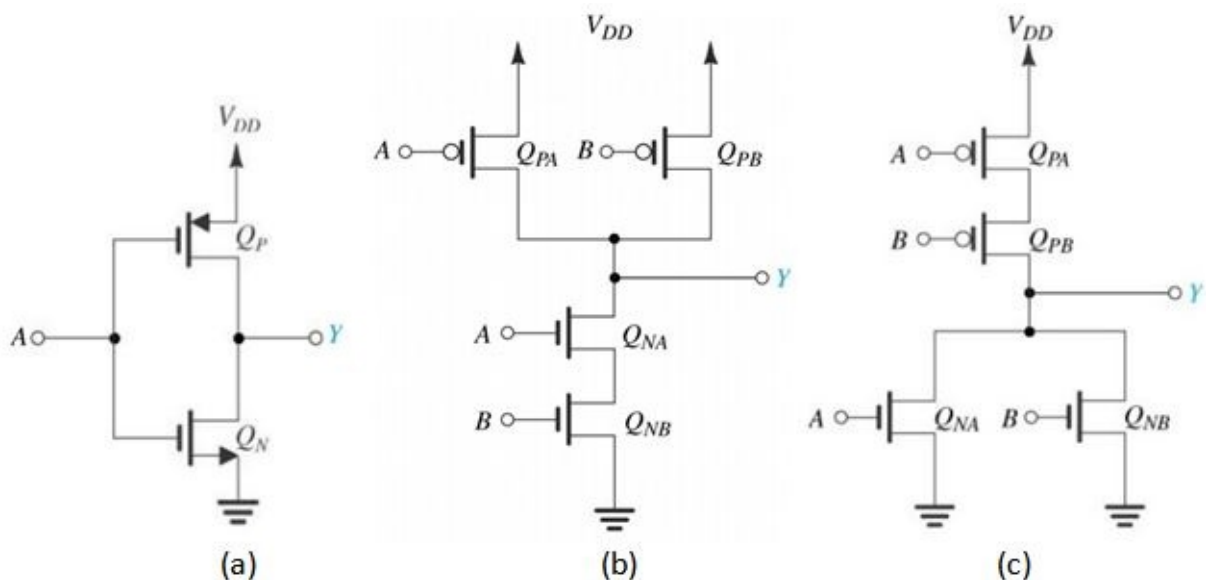
Figura 2 – Representação de uma Porta Lógica de três entradas.



Fonte: SEDRA; SMITH, 2004.

Figura 3 – Portas Lógicas CMOS:

(a) *INVERTER*, (b) *NAND* e (c) *NOR*.



Fonte: SEDRA; SMITH, 2004.

A porta inversor (*INVERTER*) é composto de um par CMOS, um transistor tipo PMOS conectado pelo *drain* ao transistor tipo NMOS pela saída 'Y', seus gates são conectados juntos pela entrada 'A', e seus *sources* são alimentados respectivamente por *Vdd* e *Gnd*. Como explicado anteriormente, o transistor tipo PMOS conduzirá para uma

entrada nível baixo no *gate*, colocando uma saída alta na saída da porta, e para o *NMOS* acontecerá o oposto, ou seja, o mesmo conduzirá para uma entrada de nível alto e colocará na saída um sinal de nível baixo, assim cumprindo os requisitos de um inversor.

As portas lógicas *NAND* e *NOR* seguem o mesmo princípio do inversor. A porta *NAND* utiliza na *PUN* transistores *PMOS* em paralelo, e na *PDN*, *NMOS* em série, sendo um transistor de cada tipo equivalente para cada entrada da porta. A porta *NOR*, apresenta a arquitetura complementar da porta *NAND*, com os transistores *PMOS* em série no *PUN* e os *NMOS* em paralelo no *PDN*.

As demais portas lógicas podem ser construídas com base nessas três portas básicas, como a porta *AND*, construída através da junção de uma porta *NAND* e um inversor, e a porta *OR*, construída com a junção de uma porta *NOR* e um inversor.

A respeito do dimensionamento dos transistores das portas lógicas, considera-se que as portas tenham capacidades idênticas para fornecer corrente em ambas as direções: carga e descarga, para uma dada capacitância. As portas lógicas são dimensionadas com base no inversor lógico, assim será apresentado primeiramente o dimensionamento do inversor.

O inversor básico é construído com uma razão de largura sobre o comprimento do transistor *PMOS*, $(W/L)_p$, cerca de 2 a 3 vezes maior que a razão do transistor *NMOS*, $(W/L)_n$. Isso se deve ao fato de que o transistor *NMOS* tem uma mobilidade de elétrons maior que o *PMOS*. Normalmente, um inversor básico utiliza os comprimentos mínimos de uma dada tecnologia, e utiliza como capacitância de carga (C_L), o valor da capacitância de entrada do mesmo inversor básico. Se o inversor tiver que fornecer uma corrente para uma capacitância de carga relativamente grande, os parâmetros dos transistores deverão ser mais largos do que o normal.

Ainda no inversor básico, o seu projeto, deve garantir, além do fornecimento da corrente, os tempos de transição na saída da porta lógica, o tempo de subida (t_{PLH}) e o tempo de descida (t_{PHL}) sejam iguais. Essa condição de desenvolvimento é chamada de casamento de transistores (transistor *matching*).

Para as demais portas lógicas, suas razões W/L devem ser escolhidas de maneira que todos os transistores do bloco *PDN* sejam capazes de descarregar o capacitor de carga ao menos com a mesma eficiência de um único transistor *NMOS*. Além disso o bloco *PUN* deve ser capaz de carregar o capacitor de carga pelo menos com a mesma eficiência de um único *PMOS*. Assim, necessita-se saber a razão de W/L dos transistores para obter a mesma resistência de um transistor do inversor básico.

A obtenção da razão equivalente W/L está baseada no fato de que a resistência equivalente de um *MOSFET* é inversamente proporcional a W/L . Portanto, para um dado

número de *MOSFETs* conectados em série, a resistência equivalente da associação será obtida somando-se as resistências individuais conforme mostrada nas Equações 1,2 e 3.

$$R_{série} = \frac{constante}{(W/L)_1} + \frac{constante}{(W/L)_2} + \dots + \frac{constante}{(W/L)_N} \quad (1)$$

$$R_{série} = constante \left[\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \dots + \frac{1}{(W/L)_N} \right] \quad (2)$$

$$R_{série} = \frac{constante}{(W/L)_{eq}} \quad (3)$$

Resultando na Equação 4, definida para transistores conectados em série:

$$\left(\frac{W}{L}\right)_{eq} = \frac{1}{\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \dots + \frac{1}{(W/L)_N}} \quad (4)$$

De forma análoga, a Equação 5, definida para transistores conectados em paralelo:

$$\left(\frac{W}{L}\right)_{eq} = \left(\frac{W}{L}\right)_1 + \left(\frac{W}{L}\right)_2 + \left(\frac{W}{L}\right)_3 + \dots + \left(\frac{W}{L}\right)_N \quad (5)$$

Como exemplo dessas equações, considere dois transistores *MOSFETs* idênticos com razões *W/L* individuais de 4, resultam em um *W/L* equivalente de 2 quando associados em série e de 8 quando associados em paralelo.

Aplicando esse conceito na porta lógica *NOR*, o bloco *PUN* possui transistores *NMOS* em paralelo, obtendo assim a mesma proporção *W/L* de um *NMOS* de um inversor básico. Já para o bloco *PDN*, os transistores *PMOS* estão em série, suas razões *W/L* serão o mesmo valor do transistor *PMOS* do inversor básico, multiplicado pela quantidade de transistores *PMOS* que se encontra na série, provenientes do número de entradas (*fan-in*) da porta lógica. A porta lógica *NAND* será construída de forma complementar a porta *NOR*, com os transistores do bloco *PUN* sendo multiplicados pelo *fan-in*, e os transistores do bloco *PDN* utilizaram o mesmo valor de relação *W/L* do inversor básico (SEDRA; SMITH, 2004), (KANG; LEBLEBICI, 2003) e (JAN; ANANTHA; BORIVOJE, 2003).

2.1.2 Circuitos Lógicos Sequenciais Biestáveis

Como mencionado anteriormente, circuitos Sequenciais Biestáveis, são os circuitos com maior aplicação quando se trata de elementos de memória. Seu funcionamento se dá por dois níveis de tensão lógica estáveis.

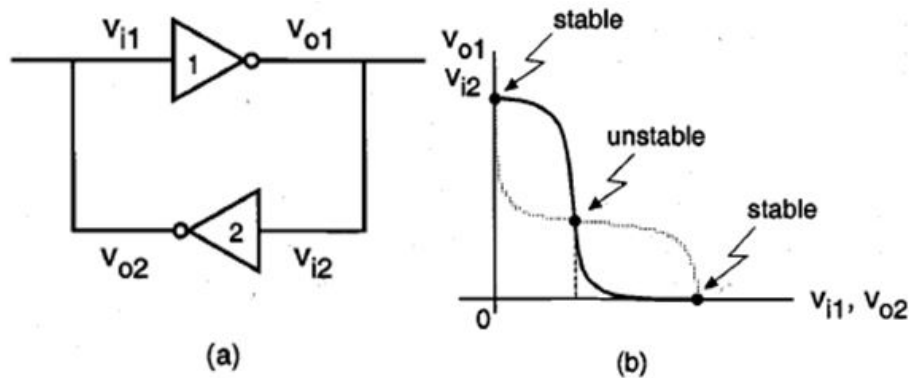
O princípio básico de operação do circuito biestável consiste, como mostrado na Figura 4 (a), de dois inversores com acoplamento cruzado, ou seja, com a saída de um

conectado na entrada do outro. A tensão de saída do inversor (1) é igual à tensão de entrada do inversor (2) $v_{o1} = v_{i2}$, e a tensão de saída do inversor (2) é igual à tensão de entrada do inversor (1) $v_{o2} = v_{i1}$.

Na Figura 4 (b), é plotado a curva de transição característica do inversor (1), em preto, visualizado através dos eixos da tensão de entrada (v_{i1}) sobre tensão de saída (v_1), e a curva de transição característica do inversor (2), em cinza, está plotada com os eixos de tensão invertidos, a tensão de saída (v_{o2}) sobre a tensão de entrada (v_{i2}). Nesse gráfico pode ser visto três pontos de operação do circuito, dois pontos estáveis e um ponto instável. Se o circuito está inicialmente operando em um desses pontos estáveis, o mesmo vai preservar seu estado a menos que seja forçado externamente a mudar o seu ponto de operação. Caso o circuito tenha seu estado alterado até o ponto instável, após a ação externa acabar o mesmo irá retornar para algum ponto estável de forma aleatória. Se alterado para algum local intermediário no gráfico, após a ação externa o mesmo irá retornar para o ponto estável mais próximo.

Figura 4 – Comportamento de dois inversores básicos do elemento Biestável:

(a) Esquemático de um circuito Biestável básico. (b) Curva de tensão dos dois transistores, mostrando os três possíveis pontos de operação.



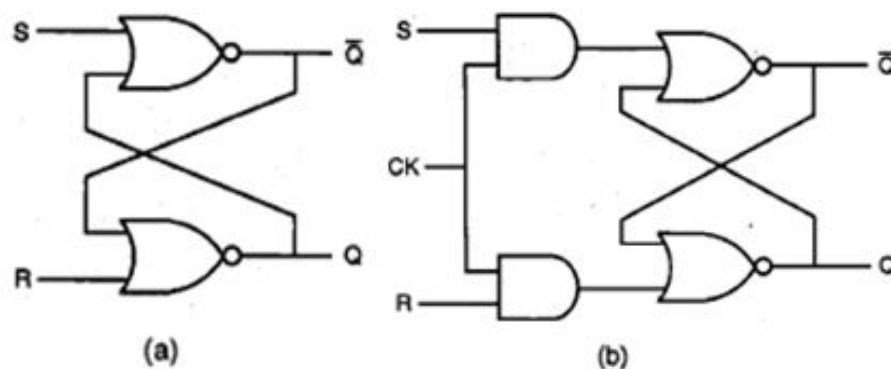
Fonte: SEDRA; SMITH, 2004.

Pela sua característica de preservar um estado, esse circuito biestável atua como uma memória. No entanto, o simples circuito não tem preparo para permitir mudanças externas do seu modo de operação. Para isso, devem-se adicionar elementos de controle (combinacionais) ao elemento biestável que, pode ser usado para forçar ou disparar o circuito de um ponto de operação para o outro. Com base nesses conceitos os *latches* e *flip-flops* são feitos. Muitas bibliografias utilizam esses dois termos como sinônimo. Entretanto, neste trabalho de dissertação, esses dois termos serão utilizados da seguinte forma: *Latch* é o circuito biestável sensível a nível, com ou sem *clock*, *flip-flop*, ou registrador, é o circuito biestável sensível ao disparo de borda.

O *latch* básico sem *clock* é o *SR(set-reset)*, mostrado na Figura 5 (a), e utiliza portas *NOR*. Note que esse mesmo circuito pode ser representado logicamente utilizando portas *NAND* ao invés de *NOR*. O *SR* possui uma entrada *S* (*set*) e uma *R* (*reset*), sendo que uma entrada de cada porta *NOR* está conectada a saída da outra porta *NOR* do circuito. O *latch* possui duas saídas complementares *Q* e \bar{Q} . A operação do circuito se dará no momento em que um sinal for observado em uma das entradas. Na Figura 5 (b) está apresentado o *latch SR* com *clock*. A entrada de *clock* pode ainda ser chamada de *enable*, se o princípio de funcionamento de ativação do *latch* utiliza por um controle ao invés de um *clock*. Nesse circuito, sua operação ocorrerá unicamente quando a entrada de *clock* (*enable*) estiver em nível alto, e manterá os valores de saída quando a entrada de *clock* estiver nível em baixo. O circuito ainda pode ser construído para operar em nível baixo ao invés de alto.

Figura 5 – Nível lógico: *Latch RS*

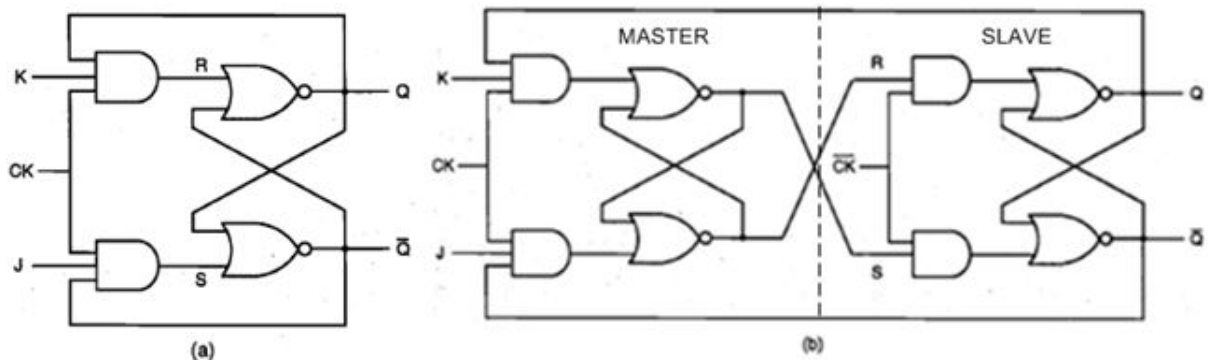
(a) *Latch RS* sem *clock*. (b) *Latch RS* com *clock*.



Fonte: KANG; LEBLEBICI, 2003.

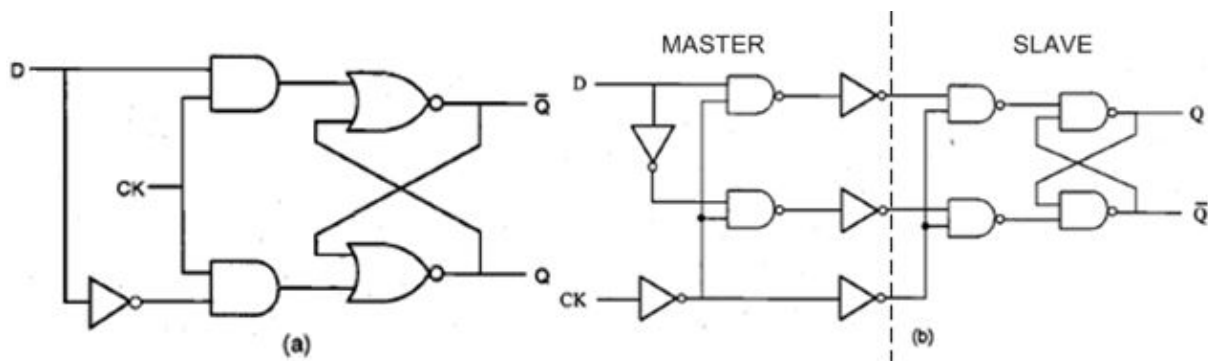
O *latch SR* com *clock* possui uma limitação, a combinação de entradas “11” não é permitida e suas saídas são indeterminadas quando *S* e *R* são iguais a ‘1’. Esse problema é solucionado conectando as saídas com a entrada do circuito, gerando o *latch JK* mostrado na Figura 6 (a). O *latch JK* pode utilizar todas as combinações de entrada. A Figura 6 (b) apresenta o *flip-flop JK* disparado por descida de borda. O *flip-flop JK*, assim como os demais *flip-flops*, são compostos de dois *latches*, mestre e escravo, onde o mestre realiza a combinação lógica recebida dos pinos de entrada e o *clock* está em nível alto, mas esse valor é passado para o *latch* escravo somente quando o *clock* passa para nível baixo. O *latch* mestre para de executar as combinações recebidas pelos pinos de entrada e armazena a última combinação lógica recebida, enviando esse para o *latch* escravo que também terá uma saída fixa. O *flip-flop* também pode ser alterado para funcionar na subida de borda.

Circuitos combinacionais inseridos em CIs, normalmente necessitam trabalhar junto a outros circuitos que possuem um *clock*. Assim uma forma de sincronizar os circuitos combinacionais faz-se necessária e para isso são utilizados normalmente o *latch D* e o *flip-flop*

Figura 6 – Nível lógico: *Latch* e *Flip-flop JK*.(a) *Latch JK* com *clock*. (b) *Flip-Flop JK*.

Fonte: KANG; LEBLEBICI, 2003.

D. O D vêm de *DATA* (dado), indicando que esses circuitos servem para o armazenamento de dados oriundos de circuitos combinacionais. O *latch D* com *clock* mostrado na Figura 7 (a), é uma variação do *latch SR*. Na Figura 7 (b) o *flip-flop D*, com a composição de mestre e escravo, é apresentado. Esse *flip-flop* é um dos elementos de estudo deste trabalho de dissertação (SEDRA; SMITH, 2004), (KANG; LEBLEBICI, 2003) e (JAN; ANANTHA; BORIVOJE, 2003).

Figura 7 – Nível lógico: *Latch* e *Flip-flop D*(a) *Latch D* com *clock*. (b) *Flip-Flop D*.

Fonte: KANG; LEBLEBICI, 2003.

2.2 Noções Básicas de Teoria de Teste

Será apresentado a seguir alguns conceitos básicos sobre a Teoria de Teste, necessárias para o entendimento do referido Trabalho.

2.2.1 Defeito, Erro e Falha

Imperfeições em sistemas eletrônicas são descritos de diversas maneiras na literatura. Assim será definido a forma como essas imperfeições serão tratadas, utilizando-se como referência a descrição de (BUSHNELL; AGRAWAL, 2000).

- **Defeito:** em um sistema eletrônico é uma diferença não intencional entre o hardware implementado e o projeto pretendido.

Alguns defeitos típicos são: Defeitos de Processo de Fabricação; Defeitos de Materiais; Defeitos por Envelhecimento; e Defeito de Encapsulamento.

- **Erro:** é um sinal com valor errado, ou seja, para um dado vetor de entradas, a saída gerou um resultado inesperado.
- **Falha:** é uma representação de um Defeito em um nível funcional abstrato.

A diferença entre Defeito e Falha é mais sutil. Defeito é um imperfeição física e Falha é uma imperfeição funcional.

2.2.2 Teste *Online* e *Offline*

Este trabalho segue as definições apresentadas em (WANG; WU; WEN, 2006).

- **Teste *Online*:** O teste ocorre simultaneamente com a operação normal do sistema e tem como objetivo prover a detecção de falhas o mais rápido possível.
- **Teste *Offline*:** Para que o teste ocorra é necessário que o sistema, ou uma parte dele, esteja fora de serviço. Como resultado, testes *Offline* são realizados periodicamente, usando muitas vezes, períodos de baixa demanda de operação do sistema.

2.2.3 *Scan Design*

Este Trabalho utiliza conceitos associados ao *Scan Design* e portanto, este tema será introduzido a partir do uso da referência (BUSHNELL; AGRAWAL, 2000).

A principal ideia do *scan design* é garantir controlabilidade e observabilidade dos *flip-flops*. Isso é feito adicionando um modo de teste para o circuito, ou seja, quando o circuito estiver neste modo, os *flip-flops* atuam juntos para formar um *shift register*, encadeando um *flip-flop* no outro e formando assim um *scan-chain*.

Em mais detalhes, o modo de teste permite que todos os *flip-flops* sejam configurados para qualquer estado, uma vez que possibilita o deslocamento de estados lógicos

através do *shift register*. Similarmente, os estados dos *flip-flops* podem ser observados a partir deslocamento do conteúdo no *scan register out*. Todos os *flip-flops* podem ser setados ou observados em um determinado período (períodos de *clock*) que equivale ao número de *flip-flops* do mais longo *shift register*.

2.3 Introdução ao Fenômeno *NBTI* em Transistores *CMOS*

Transistores da tecnologia *MOSFET*, do tipo *CMOS*, podem ter sua performance comprometida devido a uma série de fatores, dentre os quais salientam-se os fenômenos *Bias Temperature Instability (BTI)* e *Hot Carrier Interface (HCI)*. Esses fatores físicos e químicos resultam na degradação do óxido do transistor, causando uma alteração na tensão de *threshold* ao longo do tempo (CALIMERA; MACII; PONCINO, 2010).

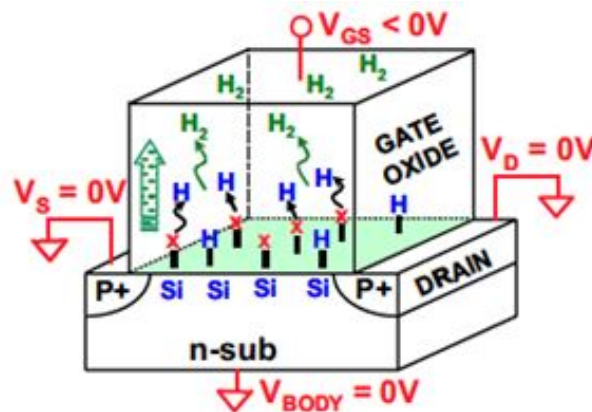
Em termos de magnitude, o *BTI* tem sido o fator mais proeminente, uma vez que cria alterações ao longo de toda a interface óxido-silício. Já o *HCI* gera unicamente danos na interface próxima ao dreno.

A *Bias Temperature Instability* apresenta-se de duas maneiras, dependendo do tipo de transistor que está envolvido: *Negative BTI (NBTI)*, afeta transistores do tipo *PMOS* e *Positive BTI (PBTI)*, afeta os transistores do tipo *NMOS*. Neste trabalho, o impacto do *PBTI* é muito menor do que o do *NBTI*. Assim, para este trabalho de Dissertação será utilizado como base de estudo o *NBTI*.

Na estrutura do *MOSFET*, existem ligações pendentes do Silício (Si), o elemento que compõe o *body* do transistor, na superfície do *gate*, devido a incompatibilidade estrutural na camada entre o Silício e o Óxido de Silício (SiO_2), esse compõe a camada isolante entre o *body* e o *gate*. Assim, o H (hidrogênio) é integrado sobre o corpo do transistor, após o processo de oxidação, durante a sua fabricação para preencher as lacunas de ligações químicas faltantes dos átomos de silício (KRISHNAN et al., 2006). A degradação de um transistor do tipo *PMOS* por *NBTI* é resultado da desestruturação das ligações químicas de Si-H durante sua fase de condução na interface de Si/SiO₂, Figura 8 (KANG et al., 2007) e (KANG et al., 2008). Esse comportamento físico é chamado de Reação-Difusão (ALAM; MAHAPATRA, 2005).

Com o tempo as ligações Si-H degradam por causa do tempo em que o transistor encontra-se sob estresse ou seja, com um valor negativo de tensão aplicado em seu *gate* (*V_{GS}* negativo), esse efeito de degradação é intensificado por altas temperaturas. Com essa desestruturação, criam-se lacunas na interface de SiO₂ que, por sua vez, acabam por inserir cargas negativas em sua estrutura e assim, enfraquecem o campo gerado pelo poli-silício do transistor *PMOS* durante a condução. Esse efeito acaba sendo observado como um aumento da tensão de *threshold* do transistor afetado. A tensão de *threshold* é

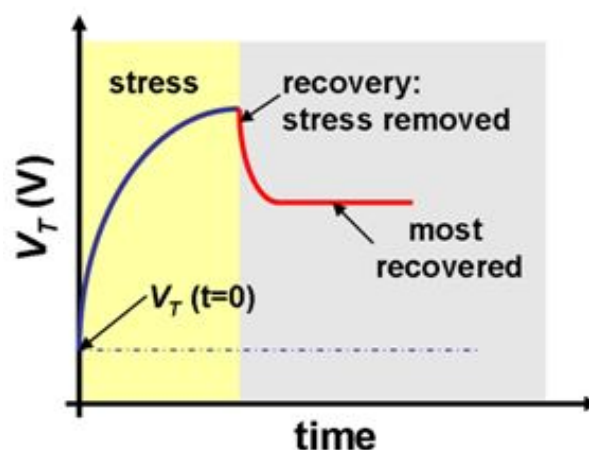
Figura 8 – Efeito causado na estrutura do transistor pelo NBTI.



Fonte: KANG et al., 2008.

aumentada de aproximadamente 5% a 15% por ano, segundo (FERRI et al., 2011), ou ainda 10% a 15% por ano, segundo (CALIMERA; MACII; PONCINO, 2010), dependendo da tecnologia alvo, do *workload* e das condições elétricas e ambientais.

É importante salientar que a degradação só ocorre quando o *PMOS* está em condução (estado de estresse) e que durante o período em que o dispositivo não estiver conduzindo, o mesmo passa por uma recuperação parcial na tensão de *threshold* (estado de *recovery*). Esse comportamento é mostrado na Figura 9, (CALIMERA; MACII; PONCINO, 2010).

Figura 9 – Tensão de *threshold* x tempo de um transistor *PMOS*.

Fonte: INTEL, 2012.

Ainda no estudo do *N* vale citar a metodologia apresentada em (KACZER et al., 2005), o modelo de *Disorder-Controlled-Kinetics* que estende o já apresentado modelo de Reação-Difusão. Esse modelo possui uma predição da dependência de temperatura e do

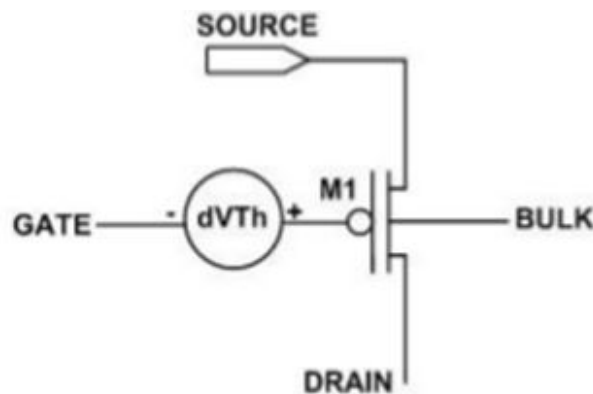
comportamento do dispositivo durante o estado de *recovery*. Apesar disso, esse modelo ainda não é bastante difundido por não estar totalmente maduro.

2.3.1 Modelamento de *NBTI*

Para o estudo do envelhecimento de transistores *PMOS*, foi definido em (KANG et al., 2008) e utilizado em (CERATTI, 2012) um método que modela a degradação, de um transistor *PMOS* em simuladores elétricos como o Hspice.

O modelo baseia-se na adição de uma fonte de tensão em série com o *gate* do transistor *PMOS*, como na Figura 10. Dessa forma ao ajustar a tensão da fonte inserida, consegue-se simular o deslocamento do valor de *threshold* do transistor *PMOS*, ou seja, simular o seu envelhecimento. Esse método cria uma situação muito semelhante àquela que seria verificada em um circuito submetido ao *NBTI* em campo (CERATTI, 2012).

Figura 10 – Modelamento de envelhecimento por *NBTI*.



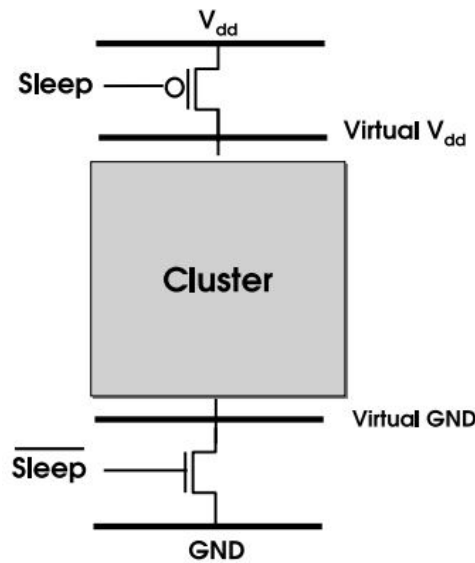
Fonte: CERATTI, 2012.

2.4 Power Gating

Power gating é uma técnica que visa minimizar o consumo de *leakage power* (potência gerada por correntes de fuga). Em mais detalhes, a técnica prevê a inserção de transistores na rede *pull-up* e/ou na *pull-down* do circuito *CMOS*, entre as fontes de *Vdd* e/ou *Gnd*. Quando o circuito não está sendo utilizado, os transistores inseridos denominados (*sleep transistors*) são cortados, o que, por sua vez permite a redução significativa da corrente de fuga que existe entre a alimentação (*Vdd*) e o terra (*Gnd*).

Na Figura 11 é apresentada a arquitetura da técnica essa Figura mostra um circuito genérico *CMOS* como *cluster*, dois *sleep transistors*, um *PMOS* conectado entre o *Vdd* e o *cluster* gerando um *Vdd* virtual, e o outro transistor do tipo *NMOS* conectado entre o *Gnd* e o *cluster* gerando um *Gnd* virtual, (CALIMERA; MACII; PONCINO, 2010) e (HU et al., 2004).

Figura 11 – Arquitetura conceitual de power-gating.



Fonte: CALIMERA; MACII; PONCINO, 2010.

Em relação ao *NBTI*, a aplicação da técnica de *power gating* traz consigo um benefício, quando os *sleep transistors* estão cortados pois o *cluster*, por estar isolado da alimentação, não tem os seus componentes envelhecidos por *NBTI*. Em mais detalhes, de acordo com a estrutura do circuito presente no *cluster*, a utilização de *sleep transistor* apenas na rede *pull-down* é interessante, visto que, ao cortar o *sleep transistor*, as portas lógicas que possuíam valor lógico ‘0’ na sua saída possuíam o seu dado flutuando ou seja num valor intermediário de tensão, após o corte do *sleep transistor*. Enquanto que as portas lógicas que possuíam valor lógico ‘1’ na sua saída, iram manter o seu valor lógico em ‘1’, e conseqüentemente esse valor também será mantida na entrada da porta lógica seguinte. Isso pode ser utilizado para forçar uma regeneração dos transistores *PMOS*, mantendo a lógica ‘1’ em seus *gates* (CALIMERA; MACII; PONCINO, 2010).

2.5 Variações de Processos de Fabricação

A desvantagem mais importante da tecnologia de 65 nm está relacionado com o não-determinismo de parâmetros elétricos dos dispositivos, devido as Variações de Processos de Fabricação - referido em artigos na língua inglesa como *Process Variations* - (BONING; NASSIF, 2000), (BORKAR, 2005) e (CALIMERA; MACII; PONCINO, 2010). Este tipo de variação é basicamente causado pelas flutuações aleatórias de átomos dopantes e pode ser observado como um desvio de comportamento natural dos dispositivos (ALAM, 2008). Dessa forma, esse é um tópico que precisa ser avaliado, visto que normalmente ocorre nos componentes eletrônicos.

As variações de processos são divididos basicamente em Sistemática e Não-Sistemática, sendo este último dividido em *Inter-die* e *Intra-die*. A seguir é apresentado uma descrição destes tipos de Processos (MINAYA, 2014).

- **Variação Sistemática:** Variações Sistemáticas são variações que pode ser determinadas antes da manufatura. Uma vez que a síntese física é terminada, essa variação pode ser medida e modelada com valores fixos.
- **Variação Não-Sistemática:** Variações Não-Sistemática são variações que não podem ser determinadas antes da manufatura. Essas variações resultam da inexatidão do processo de controle e são independentes do projeto do circuito. Portanto, eles só podem ser modelados através de variáveis randômicas no fluxo de projeto. De acordo com as suas características espaciais essas variações podem ser *Inter-die* e *Intra-die*.
 1. **Variação *Inter-die*:** Afeta todos os dispositivos e interconexões em um *die* igualmente, ou seja, todos os dispositivos e interconexões tem a mesma Variação de Processo.
 2. **Variação *Intra-die*:** Afeta os dispositivos e interconexões dentro de um *die* de forma diferente, ou seja, os parâmetros físicos dos dispositivos e interconexões possuem uma Variação de Processo diferente.

Para validar uma metodologia frente as Variações de Processos, utiliza-se simulações pelo Método de Monte Carlo, que consiste de um método heurístico, realizando diversas amostragem variando os Processos de Fabricação de forma aleatória, dentro de um *range* de valores.

2.6 Estado-da-Arte

A seguir serão apresentadas as metodologias desenvolvidas para a detecção do nível de envelhecimento por *NBTI*. Primeiro serão apresentadas as metodologias propostas em (AGARWAL et al., 2007) e (AGARWAL et al., 2008). Após, o modelo apresentado em (VAZQUEZ et al., 2010) e depois e (MARTINS et al., 2011). Finalmente será detalhado uma tabela comparando as metodologias propostas na literatura será apresentada.

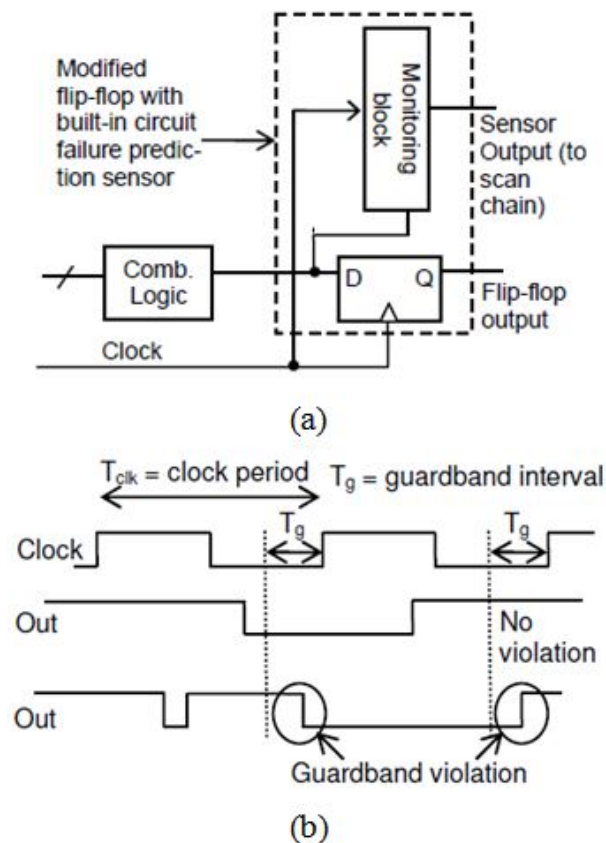
2.6.1 Metodologias Preventivas de Detecção de Envelhecimento por *NBTI*

Em (AGARWAL et al., 2007) e (AGARWAL et al., 2008), é apresentada uma metodologia preventiva de detecção de nível de envelhecimento causado por *NBTI*, o princípio de

funcionamento da metodologia é apresentado na Figura 12 (a). A metodologia consiste em adicionar um Bloco de Monitoramento na saída do circuito de lógica combinacional, em sistemas síncronos, em paralelo com o *flip-flop* de saída, próprio do circuito ou provindo da técnica de *scan-chain*. Esse Bloco de Monitoramento possui seu funcionamento mostrado na Figura 12 (b). O bloco é ativado pela subida de *clock*, guardando o sinal de saída do bloco lógico. Quando esse bloco tiver alcançado um determinado nível de envelhecimento por *NBTI*, o Bloco de Monitoramento irá detectar uma violação de *guardband*. *Guardband* (AGARWAL et al., 2007) é o tempo adicional para compensar a degradação do circuito (*time slack*).

Figura 12 – Princípio básico de funcionamento da metodologia do Sensor de Envelhecimento de Agarwal.

(a) Diagrama de Blocos, (b) Forma de onda dos sinais.



Fonte: AGARWAL et al., 2007 e AGARWAL et al.,2008.

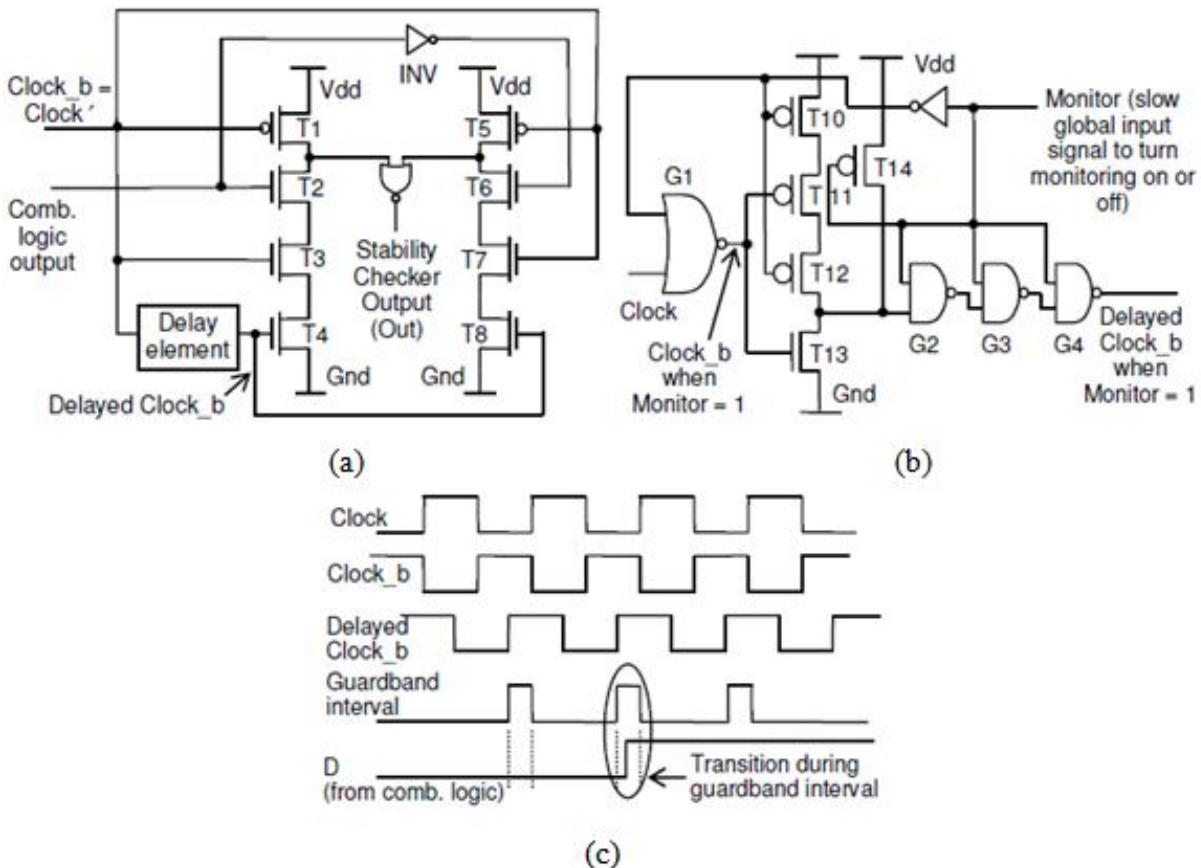
São citadas no trabalho (AGARWAL et al., 2007) e (AGARWAL et al., 2008), duas abordagens para o Bloco de Monitoramento. O primeiro Método é apresentada na Figura 12, e o segundo Método será apresentado mais adiante, na Figura 14.

O primeiro Método, apresentado na Figura 13, será referenciado mais adiante nesse trabalho como Metodologia de Agarwal - Versão 1. O funcionamento dessa metodologia prevê os seguintes passos: Na Figura 13 (a), no início do ciclo de *clock*, durante a fase

de pré-carga, quando o ‘Clock = 1’, os transistores T1 e T5 estão ativos, e T3 e T7 estão cortados, a saída do Verificador de Estabilidade é ‘Out = 0’. O Elemento de *Delay* introduz um *delay* de ‘ $T_{clk}/2 - T_g$ ’ (assumindo 50% de *duty cycle* do *clock*), onde ‘ T_g ’ é o intervalo de *guardband*. Esse elemento garante que os transistores T3 e T4, T7 e T8 sejam ativados juntos, durante o intervalo de *guardband*, fase de avaliação. Durante o intervalo de *guardband*, T1 e T5 estão cortados, e a saída ‘Out = 1’ irá ocorrer somente se, na saída do bloco combinacional houver uma ou várias transições de ‘0’ para ‘1’, ou ‘1’ para ‘0’ durante o intervalo (Figura 13 (c)). A degradação de T1 e T5 não é uma grande preocupação por causa da fase de pré-carga. T1 e T5 irão começar a afetar a performance do Verificador de Estabilidade, somente após muito tempo de seu uso. Na saída do Verificador de Estabilidade há um *latch* para armazenar o valor de ‘Out’. O Elemento de *Delay* e o *latch* de saída podem ser divididos entre múltiplos *flip-flops*, para garantir um baixo consumo de energia e área.

Figura 13 – Descrição Lógica da metodologia do Sensor de Envelhecimento de Agarwal.

(a) Projeto do Estabilizador de Estabilidade, (b) Elemento de *Delay*, (c) Diagrama de Tempo para o Sensor de Envelhecimento.



Fonte: AGARWAL et al., 2007 e AGARWAL et al., 2008.

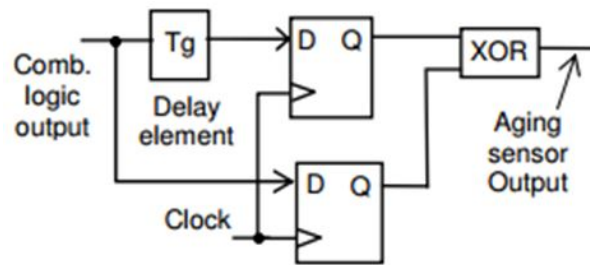
O projeto do Elemento de *Delay*, Figura 13 (b) pode ser desativado através de um sinal lógico global ‘Monitor’ evitando assim, o envelhecimento por *NBTI*. Esse sinal pode ser derivado de um *scan enable signal* (sinal de controle da técnica de *scan-chain*).

Quando o sinal ‘Monitor = 1’ o Sensor é ativado, e as portas *NAND* em série (G2, G3 e G4) produzem a versão defasada do *clock* (‘Clock_b’ e ‘Delayed Clock_b’). Quando ‘Monitor = 0’ cada porta *NAND* (G2, G3 e G4) geram o sinal lógico ‘1’. Como resultado os transistores *PMOS*, dessas portas lógicas, não envelhecem, pois não estão sendo polarizados negativamente. Note que o transistor T14 continua ativo, portanto envelhecendo, entretanto o mesmo não irá afetar o *delay* do circuito, visto que está em paralelo com outros transistores que ficam protegidos do envelhecimento nesse estado.

Para prevenir o envelhecimento do primeiro transistor *PMOS* conectado na entrada do elemento é utilizada uma porta *NOR* ao invés de uma *NAND*. A porta *NOR* G1 têm seus transistores *PMOS* sem estarem conduzindo quando ‘Monitor=0’ e não envelhecem gerando saída ‘0’. Quando ‘Monitor=1’ gera o sinal ‘Clock_b’, porque dessa maneira a porta *NOR* G1 atua como um inversor. O sinal ‘Clock_b’ não pode ser conectado diretamente na entrada da porta *NAND* G2, porque o mesmo ativaria os transistores *PMOS* do caminho. Assim a saída de G1 é conectada há um inversor, formado por T11 e T13. Quando o ‘Monitor = 0’, T10 e T12 em série com o T11 não estão conduzindo o que, por sua vez, impede o envelhecimento do transistor T11.

O segundo Método descrito (Figura 14), consiste em pré-amostrar a saída da lógica combinacional, usando um Elemento de *Delay* e um *flip-flop* D, e comparar esse valor com o valor atual capturado, através de uma porta *XOR*. Essa técnica é referenciada mais adiante nesse documento como Metodologia de Agarwal Versão 2. Aqui o Elemento de *Delay* tem um tempo de *guardband* (T_g). Se o *guardband* é violado um erro vai ser reportado pelo *XOR*. Essa metodologia é simples e o aumento de consumo de potência do Elemento de *Delay* aqui pode ser menor que o Método anterior, devido ao fator de atividade de saída da lógica combinacional ser menor que o *clock*. No entanto, se o Sensor é ligado com pouca frequência, a Metodologia de Agarwal Versão 1 tem menor impacto no aumento de consumo de potência. Esse segundo Método pode ser invalidado devido à *hazards*, por exemplo, um *static hazard* dentro do intervalo de *guardband* pode não ser reportado pelo Sensor. Ainda, o Elemento de *Delay* não pode ser compartilhado entre outros *flip-flops*, o que contribui com o aumento de área e consumo de potência. Para as duas Metodologias de Agarwal uma resolução adicional pode ser obtida aumentando o número de Elementos de *Delay*.

Figura 14 – Projeto alternativo do Sensor de Envelhecimento de Agarwal.

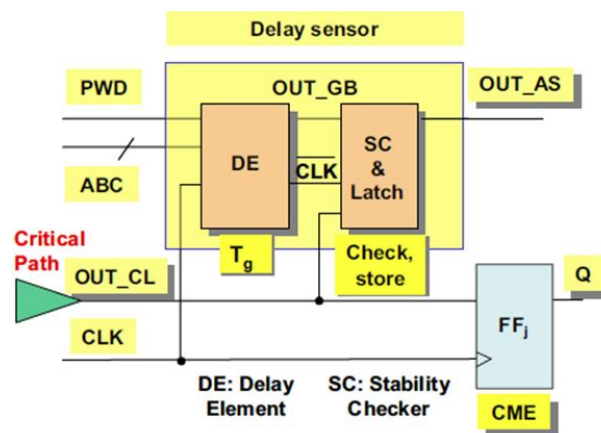


Fonte: AGARWAL et al., 2007 e AGARWAL et al., 2008.

2.6.2 Sensor Preventivo de Envelhecimento *Online* com Elemento de *Delay* Controlado

O Sensor de envelhecimento preventivo proposto em (VAZQUEZ et al., 2010) é adicionado na saída do caminho crítico do circuito analisado. O Sensor checa o ‘OUT_CL’, como mostrado na Figura 15, sendo acionado por transições durante o intervalo de *guardband* ‘T_g’.

Figura 15 – Arquitetura do Sensor de Envelhecimento.

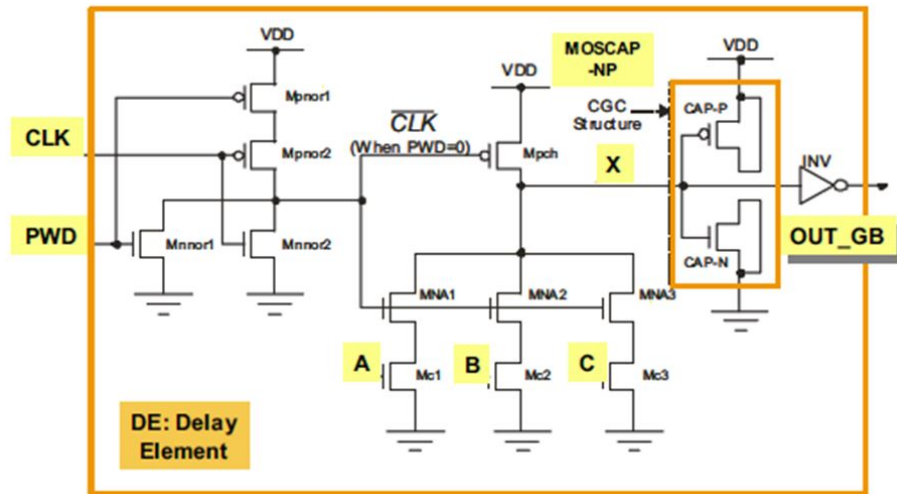


Fonte: VAZQUEZ et al., 2010.

A arquitetura do Sensor compreende um Elemento de *Delay* (*DE*), para definir o intervalo de observação ‘T_g’, e um Verificador de Estabilidade (*SC*) e um *latch* de saída. Se na saída ‘OUT_CL’ ocorrer uma transição durante o intervalo de observação do Sensor, será gerada uma saída ‘OUT_AS = 1’ predizendo uma detecção de erro.

A arquitetura de *DE* é apresentada na Figura 16, onde o *DE* retém o conceito de geração de *delay* usando o tempo de recarga/descarga do capacitor *C_x* no nodo *X*, cujo principal componente é um *Complementary Gate Capacitor* (*CGC*), exibindo baixa sensibilidade a variações de *V_{dd}*. A estrutura *CGC* não linear é referida como um *Metal-Oxide-Semiconductor Capacitor-NP* (*MOSCAP-NP*).

Figura 16 – Elemento de Delay.



Fonte: VAZQUEZ et al., 2010.

Para restringir os efeitos de *NBTI* é utilizado a maior quantidade possível de transistores do tipo *NMOS*. Os sinais ‘OUT_GB’ e ‘ \overline{CLK} ’ determinam o período de observação, quando ‘OUT_GB = CLKN = 1’. Com o Sensor em modo OFF (‘PWD = 1’), o nó ‘Vx’ possui o valor de *Vdd*, e a saída ‘OUT_GB=0’, dessa forma não intervalo de observação pois ‘Tg = 0’. Agora com o Sensor em modo *ON* (‘PWD = 0’) a porta *NOR* gera o sinal ‘ \overline{CLK} ’. Assim, temos a fase de pré-carga com o ‘CLK=1’, o nó ‘Vx’ possui o valor de *Vdd* e a saída é ‘OUT_GB = 0’. E quando o sinal ‘CLK = 0’ e os transistores MNA1, MNA2 e MNA3 estão ativos, dependendo da palavra digital ‘DW = ABC’, uma rede *PD* (*pull-down*) estará ativa e descarregará o nodo X para o *Gnd*. Como o nó realiza uma transição ‘Vx = 1 -> 0’, e a saída também ‘OUT_GB = 0 -> 1’ o intervalo ‘Tg’ é gerado.

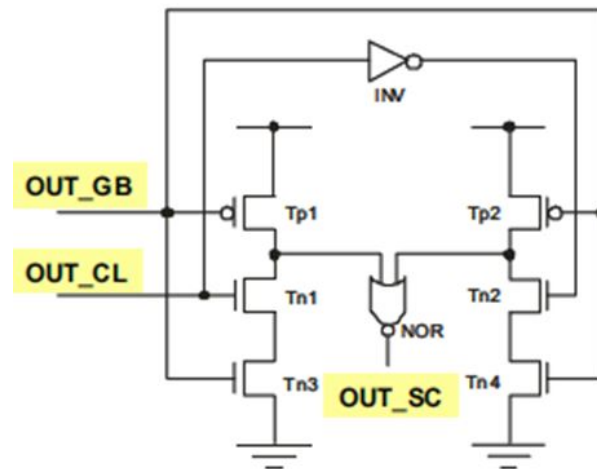
O *SC*, Figura 17 é uma modificação do modelo apresentado por Agarwal em (AGARWAL et al., 2007) e (AGARWAL et al., 2008). Esse modelo apresenta dois inversores a menos e possui o mesmo princípio de operação, explicado no subcapítulo anterior.

2.6.3 Prevenção Adaptativa de Erro Baseado em *Flip-Flops*

Uma nova metodologia para detecção de envelhecimento preventiva, através do *delay*, é apresentada em (MARTINS et al., 2011), nessa metodologia são utilizados os *flip-flops* de armazenamento de dados dos módulos combinacionais, modificando esses *flip-flops* para realizarem o monitoramento. O princípio é demonstrado na Figura 18 (a), esses *flip-flops* receberam a denominação de *Adaptative Error-Predicton Flip-Flop* (*AEP-FF*).

Um *flip-flop* é construído por dois *latches*, um mestre e um escravo, onde caso o mesmo seja acionado na subida de borda, o *latch* mestre reproduz o sinal de entrada

Figura 17 – Arquitetura do Verificador de Estabilidade.



Fonte: VAZQUEZ et al., 2010.

com o nível de *clock* baixo, e armazena o último valor recebido antes do nível de *clock* subir. O *latch* escravo tem a lógica inversa, quando o nível de *clock* é baixo, o mesmo armazena o último valor recebido pelo mestre, e quando o nível de *clock* está alto, o sinal recebido pelo *latch* mestre é reproduzido. Num *flip-flop* acionado por borda de descida do *clock*, a lógica entre os *latches* é invertida (KANG; LEBLEBICI, 2003). A arquitetura da metodologia proposta em (MARTINS et al., 2011), consiste em, num *flip-flop* de borda de subida, analisar o sinal de saída do *latch* mestre, passando através de um Elemento de *Delay* e do SC.

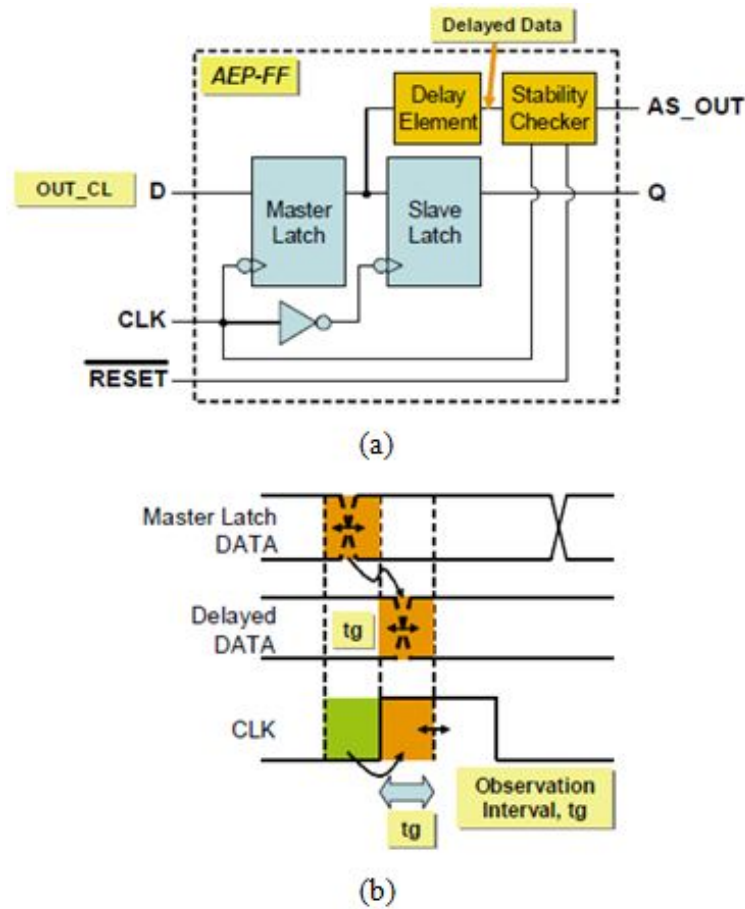
O Elemento de *Delay* recebe o sinal do *latch* mestre, durante o nível baixo do *clock*. O SC analisa a transição do dado durante o nível alto do *clock*. O princípio de operação, segundo a Figura 18 (b), ocorre da seguinte maneira. Sendo o ‘Delayed Data’ o sinal atrasado do *latch* mestre, na saída do Elemento de *Delay*, o mesmo deve realizar as transições de dados dentro do tempo de *guardband*, ou seja, antes que o *clock* mude para o estado alto. Caso ocorra uma transição durante o nível alto do *clock*, que irá ocorrer quando o *delay* do circuito houver aumentado, o SC irá detectar isso como envelhecimento, e gerará um sinal ‘1’. Detalhe, o SC não necessita de *latch* na sua saída, visto que o valor ‘1’ fica retido, e note que o mesmo será colocado em ‘0’ novamente somente quando o ‘RESET’ é ativado.

É possível criar um estado de ativação para o Elemento de *Delay*, e isso é feito para que o mesmo seja ativado em curtos períodos de tempo, e mantenha o seu *delay* de propagação constante quando comparado com a degradação de performance do circuito.

Na Figura 19 apresentam-se três tipos de arquiteturas para o Elemento de *Delay*, sendo basicamente *buffers*, diferentemente da metodologia em (AGARWAL et al., 2007) e (AGARWAL et al., 2008), que por sua vez possui diferentes capacidades de *delay* e

Figura 18 – *Adaptative Error-Prediction Flip-Flop* (AEP-FF).

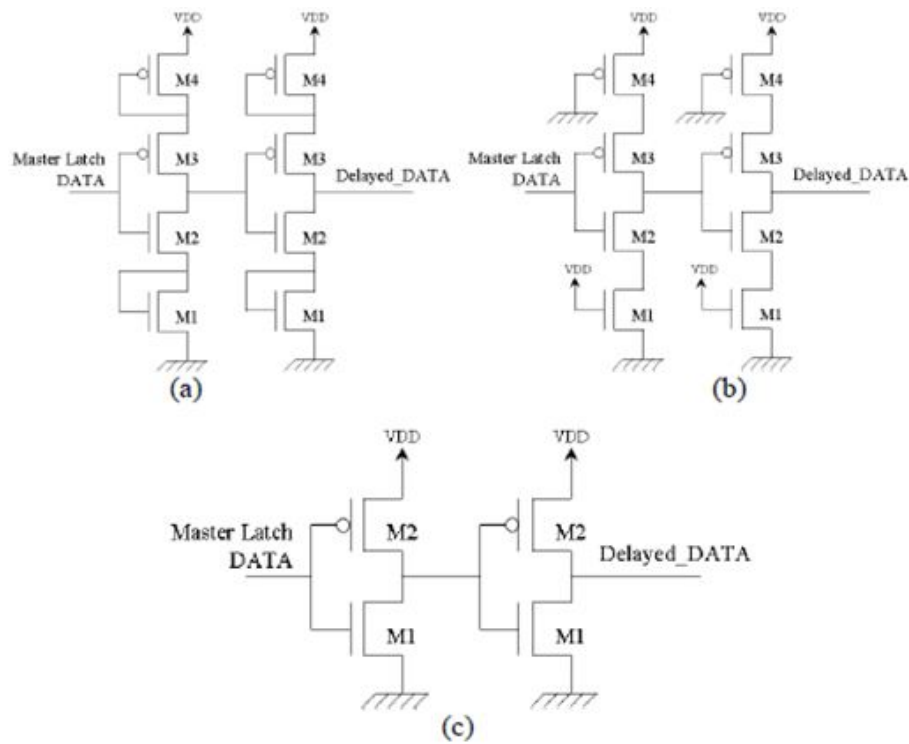
(a) Arquitetura, (b) Diagrama de Tempo para o Sensor de Envelhecimento.



Fonte: MARTINS et al., 2011.

performance sob degradação, de acordo com a tecnologia utilizada. A arquitetura (a) não funciona em nanotecnologia, (b) e (c) funcionam. A margem de *time slack*, ‘ $tslack/Tclk$ ’, é relevante. De fato, para circuitos de alta performance (baixo ‘ $tslack/Tclk$ ’) a arquitetura (c) é a mais interessante.

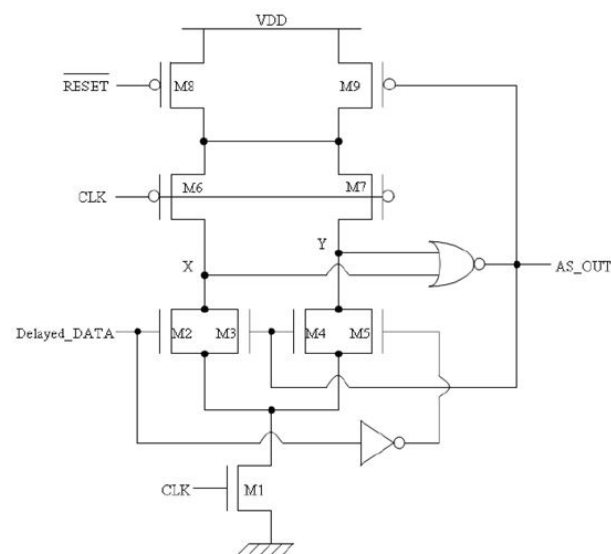
O SC (Figura 20) é implementado com lógica dinâmica *CMOS* e possui retenção lógica para nível alto. Durante o nível baixo de *clock*, e considerando que ‘ $AS_OUT = 0$ ’, os nós X e Y são carregados com nível lógico ‘1’ (fazendo ‘ AS_OUT ’ permanecer em ‘0’). Quando o *clock* muda para nível alto, M3 e M4 não estão ativos, e dependendo do sinal ‘Delayed_DATA’, um dos nós, X ou Y, muda para nível baixo. Se durante o nível alto do *clock*, alguma transição ocorrer em ‘Delayed_DATA’, o nó que estiver em nível alto, X ou Y será carregado com nível lógico ‘0’ pelo transistor M2 ou M5 respectivamente, chaveando ‘ $AS_OUT=1$ ’. Com o módulo ativo em ‘1’, M9 não está conduzindo. A partir desse momento, os nós X e Y não serão mais carregados com nível lógico ‘1’ durante o nível baixo de *clock*, por causa dos transistores M3 e M4 ativados pelo ‘ AS_OUT ’. O

Figura 19 – Arquiteturas típicas de um Elemento de *Delay*.

Fonte: MARTINS et al., 2011.

circuito só retornará para a saída lógica baixa quando o ‘RESET’, ativo por nível baixo, for ativado durante o nível baixo de *clock*. É importante ressaltar que esse circuito não necessita de um *latch* na saída para armazenar o valor lógico.

Figura 20 – Arquitetura do Verificador de Estabilidade com retenção lógica.



Fonte: MARTINS et al., 2011.

Interessante observar também que o autor em (MARTINS, et al., 2011) cita que pesquisas adicionais precisam ser realizadas para o SC na presença de ruídos, especialmente quando o sinal de *clock* é ativado para nível alto, uma vez que erros falsos positivos erros podem ser sinalizados.

2.6.4 Comparação entre metodologias de Sensores de Envelhecimento apresentadas

A seguir, na Tabela 1 é apresentada uma comparação entre as metodologias preventivas de detecção para *NBTI*. Como descrito pelos autores, todas as metodologias são de baixo custo, atuam de forma preventiva, e podem ser utilizadas *Online*. Além disso, seus respectivos elementos de *delay* podem ser ajustados.

As diferenças que podem ser apontadas são: a vantagem da Metodologia do Agarwal Versão 2 é de utilizar somente células que já existem na biblioteca padrão, além da sua natureza de operação ser do tipo estática, que resulta num menor consumo de energia, comparado com as outras metodologias, se utilizado sempre de forma ativa. Porém se utilizado somente em modos de teste, as outras metodologias são mais efetivas nesse aspecto. Sua desvantagem consiste em não ser possível compartilhar o Elemento de *Delay* entre outros *flip-flops*, o que contribui com o aumento de área e consumo de potência, além é claro, do fato que não é robusto à *hazards*.

Comparando o Sensor de Agarwal Versão 1, o Sensor com Elemento de *Delay* controlável e o *AEP-FF*, a vantagem do *AEP-FF* consiste em não necessitar de um elemento de *latch* para armazenar a saída do Sensor.

Concluindo, a Metodologia *AEP-FF* de (MARTINS et al., 2011) foi a escolhida no desenvolvimento deste Trabalho, devido a sua arquitetura ser relativamente mais simples que as demais. O DE é composto de *buffers* e o SC é uma evolução ao método apresentado em (VAZQUEZ et al., 2010), tendo como vantagem não necessitar um *latch* na saída do Sensor.

2.6.5 Técnica de Polarização e Frequência Adaptativa para Tolerância de Variações Dinâmicas de Tensão, Temperatura e Envelhecimento

A seguir é apresentado uma técnica para lidar com os efeitos de envelhecimento no CI, apresentado em (TSCHANZ et al., 2007). Onde foi utilizado um método para dinamicamente adaptar várias combinações de frequência, *Vdd* e polarização do *body* dos transistores *CMOS*, para lidar com: o aumento de temperatura; ruídos na alimentação; e o envelhecimento dos transistores. Dessa forma, maximizar a performance média ou aumentar a eficiência de energia.

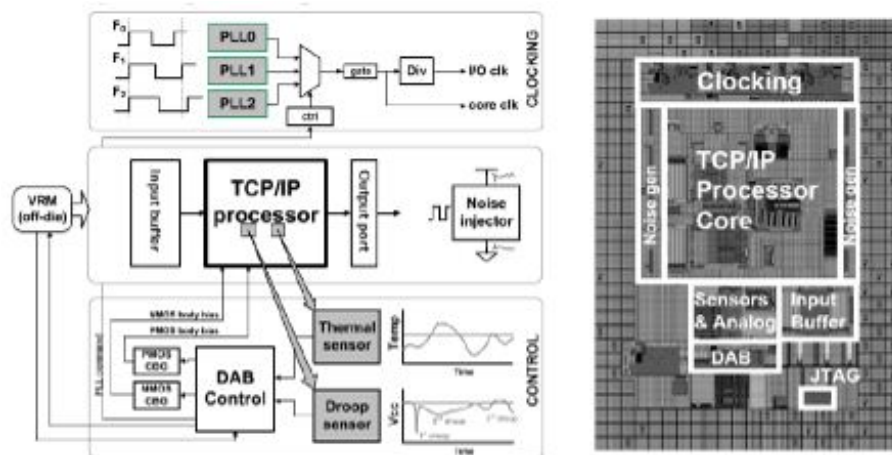
Tabela 1 – Comparação entre as Metodologias de Sensor de Envelhecimento Apresentadas.

Atributos	Metodologia Agarwal Versão 1	Metodologia Agarwal Versão 2	Sensor com Elemento de Delay Controlável	AEP-FF
Atua antes da falha ocorrer (predição)	Sim	Sim	Sim	Sim
Pode ser utilizado <i>Online</i>	Sim	Sim	Sim	Sim
Utiliza célula já existente na biblioteca para aplicação	Não	Sim	Não	Não
Elemento de <i>delay</i> pode ser ajustado	Sim	Sim	Sim	Sim
Modo de operação	Dinâmico (quando <i>clock</i> está alto)	Estático	Dinâmico (quando <i>clock</i> está alto)	Dinâmico (quando <i>clock</i> está alto)
Pode permanecer sempre ligado	Sim (Alto consumo de potência)	Sim (Menor consumo de potência)	Sim (Alto consumo de potência)	Sim (Alto consumo de potência)
Necessita <i>latch</i> para armazenar saída	Sim	Sim	Sim	Não
Bloco Elemento de <i>Delay</i> pode ser dividido entre outros blocos do sensor	Sim	Não	Não mencionado	Não
Custo, em relação ao circuito já implementado	Baixo	Baixo	Baixo	Baixo
Suporta análise de <i>hazards</i>	Sim	Não	Não mencionado	Não mencionado
Comparação de overhead entre as metodologias de Agarwal	Menor	Maior	X	X

Um CI de teste foi desenvolvido para avaliar essa metodologia, como mostrado Figura 21. O CI de teste contém um núcleo TCP/IP, um *buffer* de dados de entrada, Sensores de variação na alimentação, Sensores térmicos e um controlador *dynamic adaptive biasing* (*DAB*), injetores de ruído distribuído, geradores de polarização dos *bodys*, e uma unidade de frequência dinâmica com 3 *PLLs*, utilizando a tecnologia CMOS de 90 nm.

O controlador *DAB* recebe sinal dos Sensores térmicos e de variação de tensão. A média da fonte de corrente é detectada pelo *voltage regulator module* (*VRM*) que se encontra fora do CI, e conectado digitalmente com o controlador *DAB*. O injetor de ruídos gera ruídos na fonte de alimentação durante a operação normal. O controlador

Figura 21 – Diagrama de Blocos e Micrografia do CI de teste.



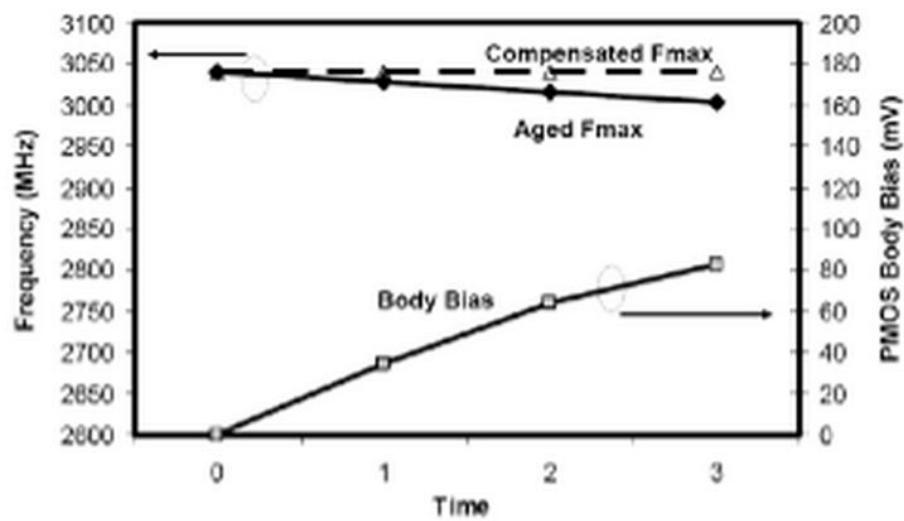
Fonte: TSCHANZ et al., 2007.

DAB controla a unidade de frequência dinâmica, o gerador de polarização dos *body*s e a configuração do *VRM*, para dinamicamente adaptar a frequência, polarização do *body* e tensão de alimentação do circuito.

Os resultados obtidos com esse experimento foram, uma frequência máxima de 2,2 GHz para 1 V e 3,4 GHz para 1,4 V. O consumo de potência total para 1,2 V é de 1,3 W para uma alta atividade do CI. A frequência é aumentada de 9 para 22% através da aplicação da técnica de polarização do *body* no *NMOS* e *PMOS*.

As vantagens da frequência dinâmica e a polarização do *body* permite ao projeto responder a degradação de frequência resultante do envelhecimento do circuito, através de fenômenos como o *NBTI*. O aumento da tensão de *threshold* dos transistores *PMOS* são compensados pelo o aumento da tensão sobre o *body*. Na Figura 22 mostra que a frequência de operação do CI se mantém quase constante, através da utilização dessa técnica de aumento de polarização do *body*.

Figura 22 – Compensação da degradação da frequência devido ao envelhecimento usando polarização do *body* no *PMOS*.



Fonte: TSCHANZ et al., 2007.

3 PROPOSTA

A proposta desta dissertação consiste em desenvolver uma metodologia baseada em hardware capaz de monitorar níveis de envelhecimento ao longo da vida útil do CI, bem como uma forma de minimizar esses efeitos através do ajuste da tensão de alimentação no CI. Em outras palavras, a metodologia proposta visa aumentar a robustez de CIs utilizados em aplicações consideradas críticas.

A técnica baseada em hardware é estabelecida via inserção de um Sensor *On-Chip* constituído de um *flip-flop*, localizado no final do caminho crítico do circuito, de um Atuador e de Chaves de Alimentação.

Com o passar do tempo, o envelhecimento dos dispositivos eletrônicos, associado ao *NBTI* e outros fatores, causam um aumento no *delay* das portas lógicas. Esse aumento no *delay* pode vir a gerar uma de-sincronização dos *flip-flops*, não permitindo que esses armazenem mais os dados das portas lógicas, o que significa o fim da vida útil para esse dispositivos.

Assim, uma maneira de aumentar a vida útil de CIs, corrigindo esse aumento de *delay* é apresentada neste trabalho. A ideia consiste em incrementar gradativamente os níveis de tensão do CI. Esses níveis podem estar previsto em sua própria arquitetura, ou podem ser tensões extras projetadas para o circuito a partir da metodologia apresentada.

Assim, inicialmente, o CI utiliza o seu nível de tensão nominal, referenciado neste trabalho como nível de tensão '0', ou Primeiro Nível de Tensão. Os demais níveis de tensão, numerados como '1', '2', '3', respectivamente, são controlados por um conjunto de Chaves de Alimentação. Note que o valor da tensão em cada nível corresponde a um valor previamente definido caso a caso.

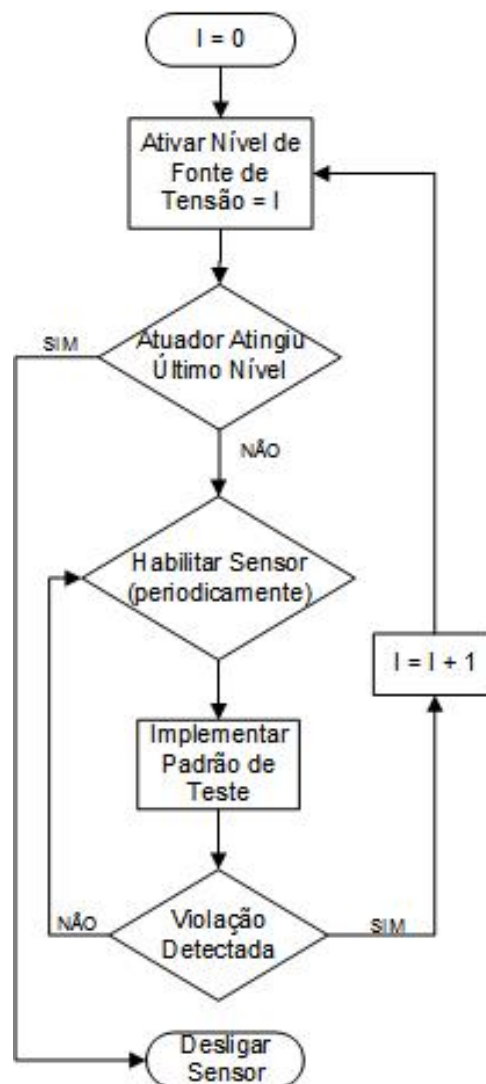
Portanto, com um Sensor de envelhecimento junto aos *flip-flops* do CI, é possível monitorar o grau de degradação do CI, analisando o caminho mais crítico do CI, e monitorar o aumento de *delay*, dado ao fenômeno de *NBTI*. O Atuador, que controla as Chaves de Alimentação, é acionado de acordo com o nível de envelhecimento do CI. O valor de tensão para esses níveis, consistem em valores que corrigem o aumento no *delay* do caminho para um valor próximo ao *delay* normal do caminho, anterior ao efeito de envelhecimento.

Seguindo a linha de raciocínio de um projeto eletrônico, apresentado em (MARWEDEL, 2010), a estrutura deste trabalho será apresentada em quatro partes, que consistem da especificação, implementação, validação e avaliação da metodologia desenvolvida.

3.1 Especificação

O princípio de operação da metodologia proposta é apresentado em forma de fluxograma na Figura 23. É definido que o CI possui diferentes níveis de tensão como opção de operação. Assim, inicialmente, é definida uma variável I com valor '0', Essa variável serve para indicar o nível de tensão que será utilizado pelo o circuito em um determinado momento. Para um nível de tensão '0', significa que o CI está operando com a sua tensão nominal inicial.

Figura 23 – Fluxograma da Metodologia Proposta.



Fonte: O autor (2015).

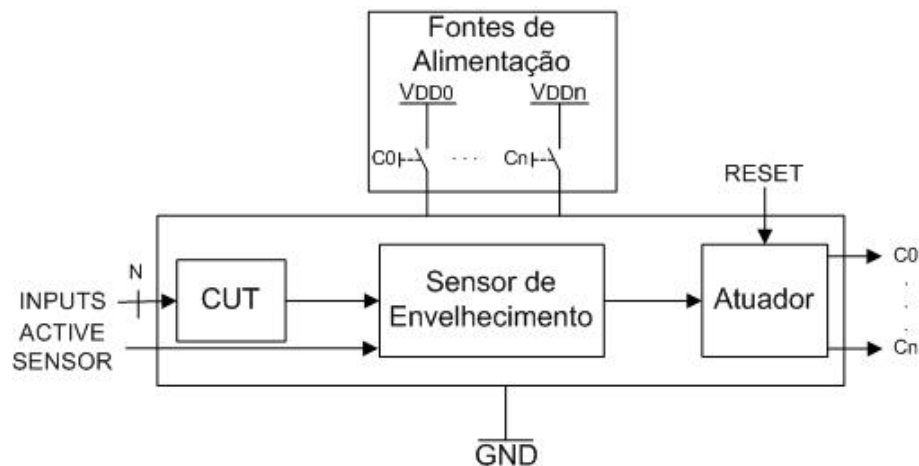
Analisando o Fluxograma, é possível observar que a fonte inicia com o nível zero de tensão. Após isso, verifica-se o Atuador atingiu o último estágio de tensão, ou seja, se ativou a última chave do circuito. Se Sim, não são necessários mais testes no CI. Caso contrário, o sistema realiza testes periodicamente, em função das características do

sistema. Quando o Modo de Teste é acionado, o vetor de entrada que ativa o caminho mais crítico do CI é acionado, e sua saída é então verificada pelo Sensor de Envelhecimento. Quando uma violação de *guardband* é detectada, o Sensor envia um sinal para o Atuador. Que por sua vez irá incrementar uma unidade na sua contagem de estágio, e acionará o próximo nível de tensão ($I = I + 1$).

Note que a análise do *Circuit Under Test (CUT)* foi feita levando-se em consideração o caminho mais crítico do CI. Dependendo das características do *CUT*, uma análise nos demais caminhos pode/deve ser realizada.

A Figura 24 ilustra o Diagrama de Bloco da metodologia proposta nesta dissertação, na forma de diagrama de Blocos. A metodologia é composta por um Sensor de Envelhecimento, um Atuador e Fontes de Alimentação controladas por Chaves.

Figura 24 – Diagrama em Blocos da Metodologia Proposta.



Fonte: O autor (2015).

O Sensor de Envelhecimento atua em modo *Offline*, ou seja, é ativado somente no modo de teste. Além disso, o Sensor deve ficar isolado do V_{dd} e do G_{nd} , a fim de minimizar o consumo de *leakage* do mesmo, técnica de *power gating*, através de transistores ativados por um sinal de 'Active Sensor'. Note que para garantir economia de energia e degradação do Sensor, optou-se por trabalhar com o Sensor *Offline*.

O Bloco do Atuador consiste de um Contador e um Decodificador. O Contador possui N saídas A_n e quando recebe um pulso de nível alto do Sensor, soma '1'. O Decodificador, como o próprio nome diz, decodifica a saída do Contador e possui 2^N saídas C_n . As saídas do Decodificador são nível baixo, para permitir o controle das Fontes de Alimentação, que são ativadas por nível baixo.

As Fontes de Alimentação são diferentes fontes de tensão V_n , sendo que a primeira (V_0), possui o valor da tensão nominal de operação do circuito. A próxima fonte de tensão possui um nível de tensão maior, o suficiente para compensar os atrasos de transição do

circuito agregados a partir do *NBTI*. Pode-se ter tantas fontes quanto forem necessárias para a quantidade de graus de envelhecimento que se deseja detectar. Deve-se observar a tensão máxima que a tecnologia suporta, sendo esse o limite para o valor das fontes de tensão. As fontes energizam o circuito através das chaves de controle operadas pelas saídas do atuador (C_n). As mesmas serão transistores do tipo *PMOS*, sendo assim ativos em nível baixo. Além disso, as fontes possuem no seu *Source* os níveis de *Vdd* que são utilizados pelo circuito. Serão utilizadas fontes de tensão com valores determinados, com a intenção de regenerar o tempo de propagação dos componentes.

Assim, a ideia geral da metodologia é conforme um grau de envelhecimento for detectado, o Sensor de Envelhecimento envia um pulso para o Atuador. Esse, aciona uma das chaves da Fonte de Alimentação, para amenizar o problema de envelhecimento através da alimentação. Quando a nova fonte é acionada, há uma diminuição no *delay* do CI como um todo, assim o Sensor de Envelhecimento não irá mais acusar envelhecimento. Isso ocorre devido ao fato de que uma das formas de compensar o *delay* é aumentar a tensão de alimentação. Porém, após um determinado período de tempo, o mesmo captará a degradação novamente, acionando novamente o Atuador.

O Atuador possui um sinal de ‘RESET’, ativo por nível baixo. Quando ativado, zera o Contador e coloca o Atuador como saída ‘ $C_0 = 0$ ’ e demais saídas em ‘1’, habilitando assim a chave C_0 e alimentando o circuito com *Vdd*. Esse sinal ‘RESET’ serve para quando se deseja reiniciar o sistema, e para se ter certeza de que as Fontes de Alimentação estão utilizando o Nível de Tensão 0, quando o sistema é iniciado.

3.2 Implementação

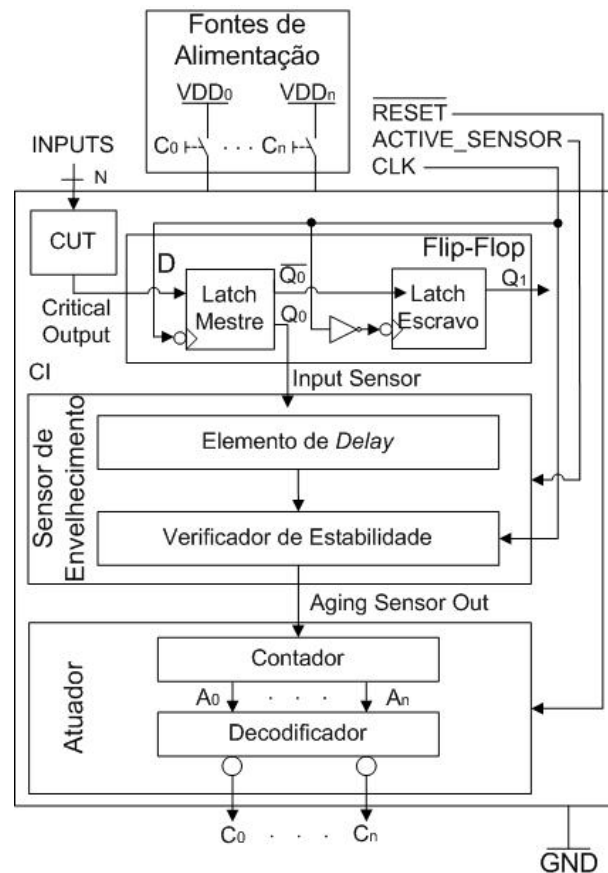
A tecnologia escolhida para a implementação desse trabalho será a de 65 nm da STMicroelectronics (STMICROELECTRONICS, 2008). Essa tecnologia foi escolhida porque, ela está disponibilizada para a universidade, e por ser uma tecnologia industrial, seus resultados representam a realidade. Os parâmetros importantes da tecnologia são: Tensão Nominal de 1,0 V, temperatura nominal de 25°C, tensão de *threshold* do transistor tipo *NMOS* 0,45 V, e tensão de *dethreshold* do transistor tipo *PMOS* -0,43 V.

Na tecnologia utilizada neste trabalho, o impacto do *PBTI* é muito menor do que o do *NBTI* e os demais fatores de degradação (CALIMERA; MACII; PONCINO, 2010). Assim, será utilizado como base de estudo apenas o *NBTI*.

Para o Sensor de Envelhecimento foi escolhido como metodologia à arquitetura proposta em (MARTINS et al., 2011). No Atuador o Contador é constituído por *flip-flops* JK e o Decodificador por portas lógicas.

Neste Capítulo será apresentado à forma de implementação que foi utilizada na proposta. Na Figura 25 é apresentado, em Diagrama de Blocos, a forma como a arquitetura foi implementada. Será apresentado em forma de tópicos a seguir a especificação do Sensor *On-Chip*, do Atuador, bem como o princípio de funcionamento da Fonte de Alimentação do circuito, e o modelo de *CUT* adotado.

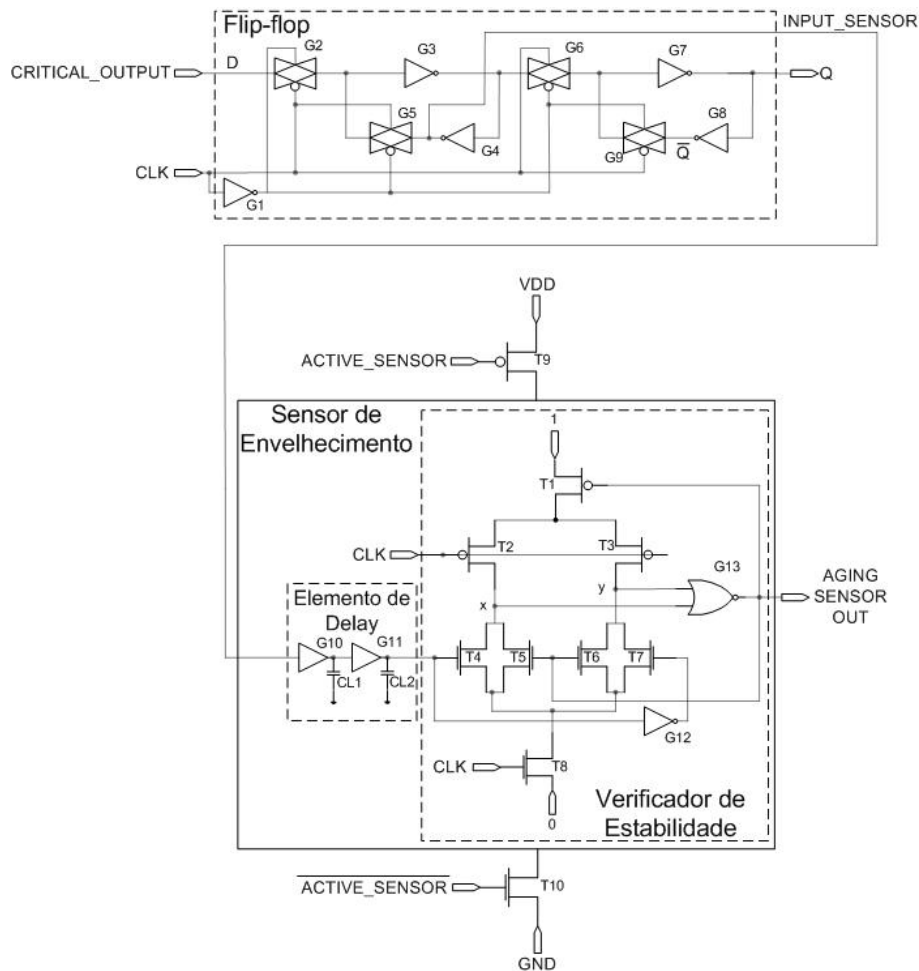
Figura 25 – Diagrama de Blocos da Metodologia Proposta.



Fonte: O autor (2015).

3.2.1 O Sensor de Envelhecimento e o *Flip-flop*

O Sensor de Envelhecimento proposto neste trabalho é semelhante ao Sensor apresentado em (MARTINS et al., 2011). O sinal de entrada do Sensor origina-se de um *flip-flop* D proveniente do circuito. Esses *flip-flops* surgem das especificações do próprio *CUT*, seja para sincronização de um módulo assíncrono, como para utilização de *scan-chains*. Para este trabalho será estabelecido que esse *flip-flop* serve apenas para sincronização. Assim, o circuito já possui esse *flip-flop* na sua concepção e o mesmo será aproveitado na arquitetura apontada. Por isso também será feita uma análise desse *flip-flop*. A arquitetura do Sensor de Envelhecimento e do *flip-flop* é apresentada na Figura 26.

Figura 26 – Nível de Transistores do Sensor de Envelhecimento e do *flip-flop*.

Fonte: O autor (2015).

Note que para efeito de simplificação, foi estabelecido que a análise se dará sobre a saída do caminho mais crítico do *CUT*. Entretanto, essa metodologia poderia ser aplicada para outras saídas do circuito consideradas críticas, ou ainda mesmo em todas as suas saídas.

Como apresentado no Capítulo 2 o *flip-flop* D consiste de um *latch* mestre e um escravo. O sinal entra no *flip-flop* através do *latch* mestre, esse envia o sinal para o *latch* escravo durante a borda de transição do *clock*, o sinal de saída será gerado logo após o *latch* escravo receber o sinal. Na arquitetura apresentada em (MARTINS et al., 2011), o sinal que é enviado para o Sensor de Envelhecimento é o mesmo que o *latch* mestre envia para o *latch* escravo.

Nesse trabalho foi utilizado uma variação do *flip-flop* D, o mesmo foi construído como um *flip-flop* mais simples, visando a otimização do casamento entre os *latches*. Dessa forma, o sinal de saída do *latch* mestre para o escravo é a saída inversa, mas o sinal de saída para o Sensor ainda é o sinal normal do *latch* mestre.

No Sensor de Envelhecimento, a implementação se dará da seguinte maneira. O sinal de entrada, proveniente do *Lacth* Mestre, passa para o Elemento de *Delay* e depois para o Verificador de Estabilidade, que analisa a transição do dado durante o nível alto do *clock* (CLK). No Elemento de *Delay*, foi utilizado, para o *CUT* analisado, dois *buffers* e dois capacitores para calibração de sinal e para gerar o *guardband* definido. Esse sinal, agora atrasado, deve realizar as transições de dados dentro do tempo de *guardband*, ou seja, antes que o *clock* mude para o estado alto. Caso ocorra uma transição durante o nível alto do *clock*, que irá ocorrer quando o *delay* do circuito houver aumentado, o Sensor acionará o Verificador de Estabilidade, que acionará o Atuador através do sinal ‘Aging Sensor Out’.

O Verificador de Estabilidade atua da mesma forma que em (MARTINS et al., 2011), explicado no Capítulo 2. Se durante o nível alto do *clock*, alguma transição ocorrer em ‘Input Sensor’, o sinal ‘Aging Sensor Out’ ficará fixo em nível alto. Porém, neste trabalho, o Sensor de Envelhecimento é controlado pela técnica de *power gating*, com o acionamento sendo realizado pelo sinal ‘Active_Sensor’, sendo acionado somente no momento da execução do teste. Assim, após a execução do teste, o Sensor é desativado, o que coloca o sinal em nível baixo.

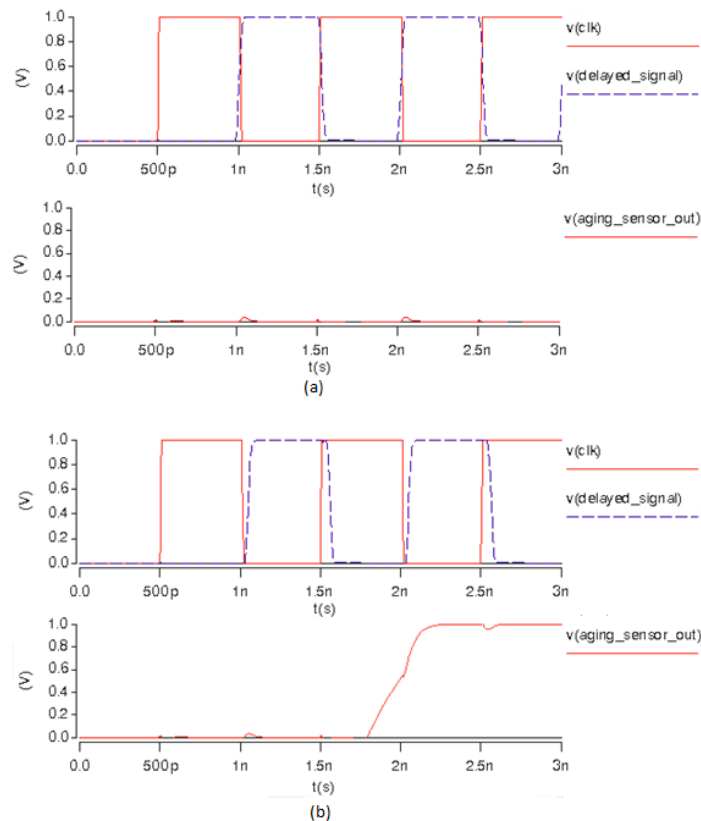
A ativação Sensor deve ser realizada com o *clock* em nível baixo para que ocorra a correta energização do módulo. Além disso, a desativação deve ser com o *clock* em nível baixo, a fim de garantir que o Sensor cubra todo o tempo de nível alto do *clock*.

Note que no Verificador de Estabilidade implementado existe um transistor a menos, se comparado ao modelo (MARTINS et al., 2011). O transistor removido possuía no seu *gate* o sinal de ‘RESET’ que, devido a abordagem de *Power Gating* adotada, foi considerado desnecessário.

Sobre os transistores T5 e T6 do Sensor, os mesmos foram mantidos a fim de garantir que mesmo os sinais provenientes do Elemento de *Delay*, com um grande atraso, cuja transição de nível ocorre quase no fim do nível alto *clock*, consiga gerar a saída de nível alto do Sensor por um período de tempo mínimo capaz de ativar o Atuador. Uma situação assim aconteceria, por exemplo, quando um circuito bastante degradado, mas ainda ativo, entrasse no Modo de Teste e ainda não tivesse alterado o seu nível de tensão.

A seguir na Figura 27 são apresentadas as formas de onda de um ambiente criado para validar o Sensor de Envelhecimento com a tecnologia utilizada neste trabalho, no caso 65 nm da STMicroelectronics. Nesse ambiente é avaliado somente o sinal de *clock* (‘clk’), o sinal de entrada que será atrasado (‘delayed_signal’) e o sinal de saída do Sensor (‘aging_sensor_out’). Na Figura 27 (a) é mostrado uma relação do sinal ‘clk’ com ‘delayed_signal’ que não aciona o Sensor. Já na Figura 27 (b) a relação do sinal ‘clk’ com ‘delayed_signal’ aciona o Sensor, como mostrado através do sinal ‘aging_sensor_out’.

Figura 27 – Formas de onda do Sensor de Envelhecimento.



Fonte: O autor (2015).

3.2.2 O Atuador

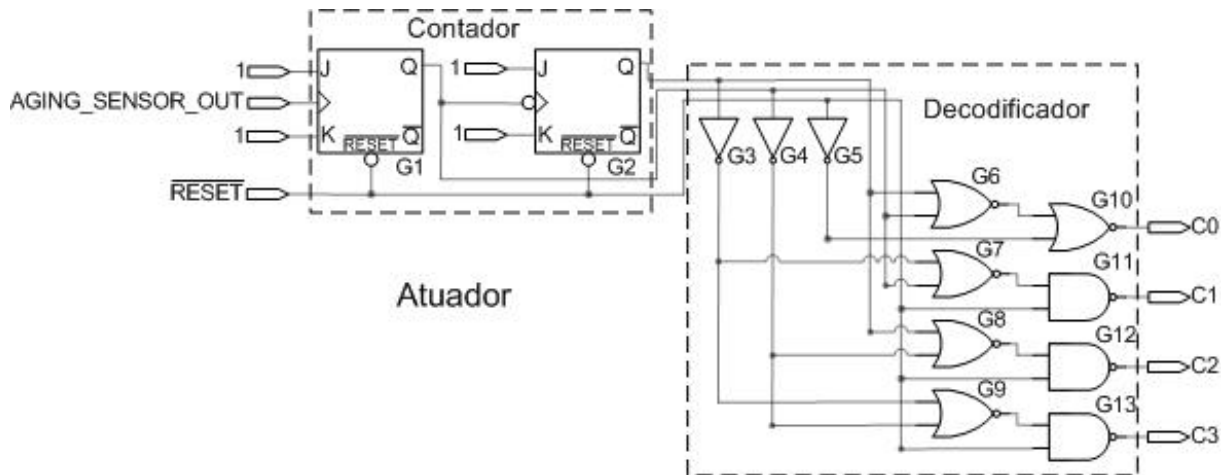
A arquitetura do Atuador é apresentada na Figura 28. O Atuador é composto de dois estágios, um Contador e um Decodificador: o Contador consiste de *flip-flops* JK simplificados. Do ponto de vista lógico, os pinos J e K estão fixos em ‘1’, o sinal de entrada do Sensor entra pelo pino de *clock*, e a saída do primeiro *flip-flop* está conectada no pino de *clock* do segundo *flip-flops*. O primeiro *flip-flop* recebe a entrada normal e o segundo *flip-flop* recebe o dado negado.

O Atuador envia os dados como uma palavra binária. Note que nessa implementação especificamente são utilizados apenas dois dígitos binários. O Decodificador recebe esse sinal e o decodifica para acionar uma das chaves da Fonte de Alimentação. O Decodificador é composto por portas lógicas simples, como pode ser visto na Figura 28.

Uma simplificação do Contador, onde pode-se visualizar a simplificação realizada nos *flip-flops* do Contador, pode ser vista na Figura 29.

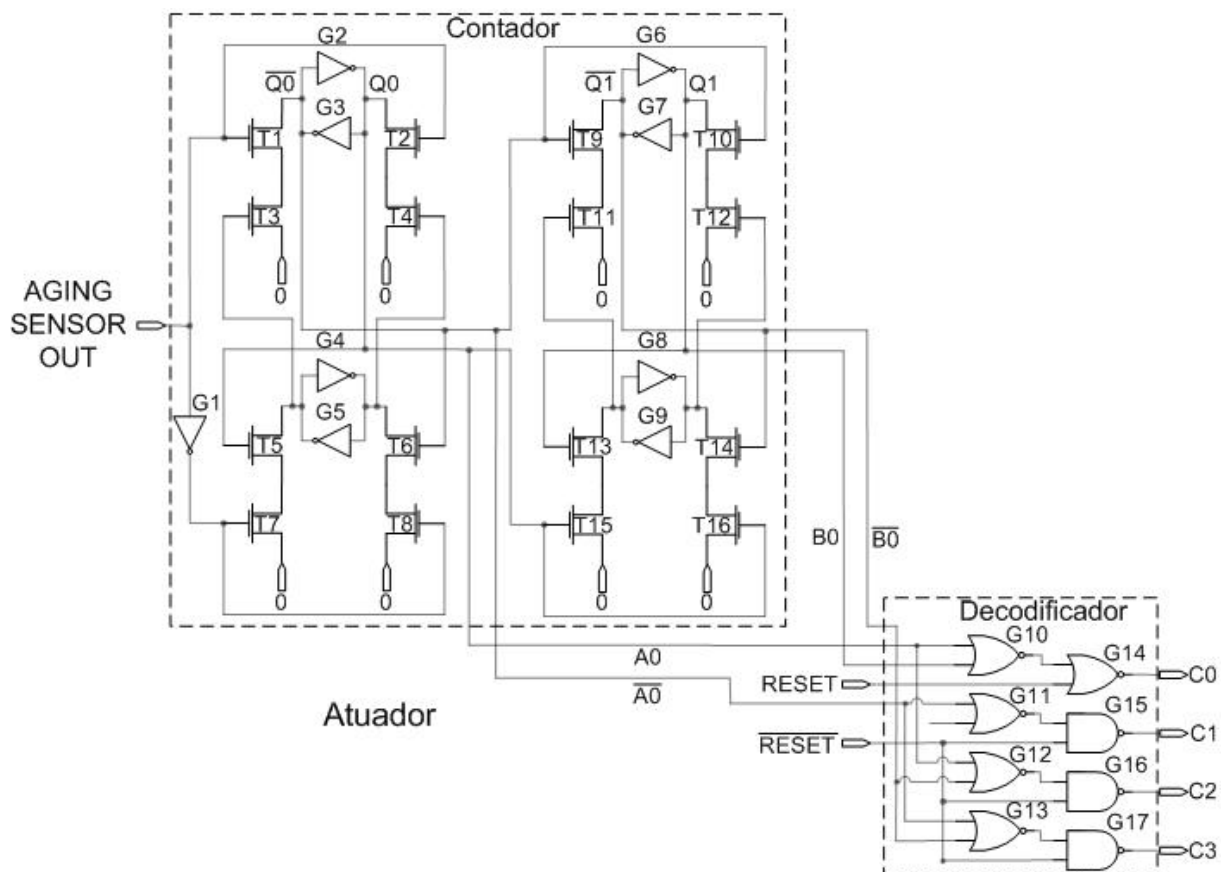
Desejando expandir os módulos do Atuador para que o mesmo possa ativar mais níveis de tensão, pode-se, no Contador, adicionar mais *flip-flops* JK, mantendo a lógica da arquitetura, com a saída do primeiro *flip-flop*. O sinal deve ser conectado no pino de

Figura 28 – Arquitetura Utilizada em Portas Lógicas do Atuador.



Fonte: O autor (2015).

Figura 29 – Arquitetura do Atuador mostrando o Contador em Nível de Transistor.



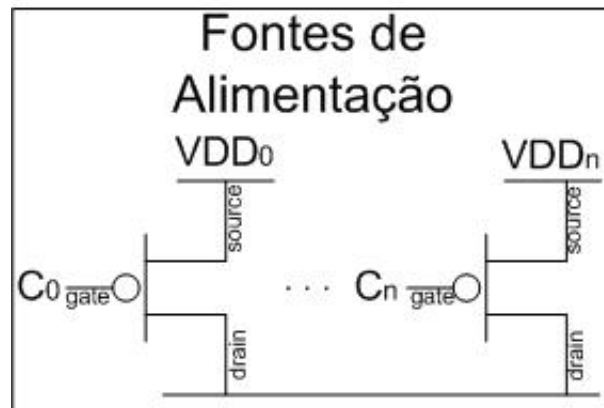
Fonte: O autor (2015).

clock do próximo *flip-flop*, porém os *flip-flops* de ordem par, devem ser sensível a nível baixo no pino de *clock*. Realizando as modificações no Contador, o Decodificador deve ser modificado para que o mesmo funcione com o Atuador.

3.2.3 Fontes de Alimentação

As Fontes de Alimentação são compostas por transistores do tipo *PMOS*, como pode ser visto na Figura 30. São necessárias um transistores para cada nível de tensão extra que se deseje ter no CI.

Figura 30 – Arquitetura das Fontes de Alimentação.



Fonte: O autor (2015).

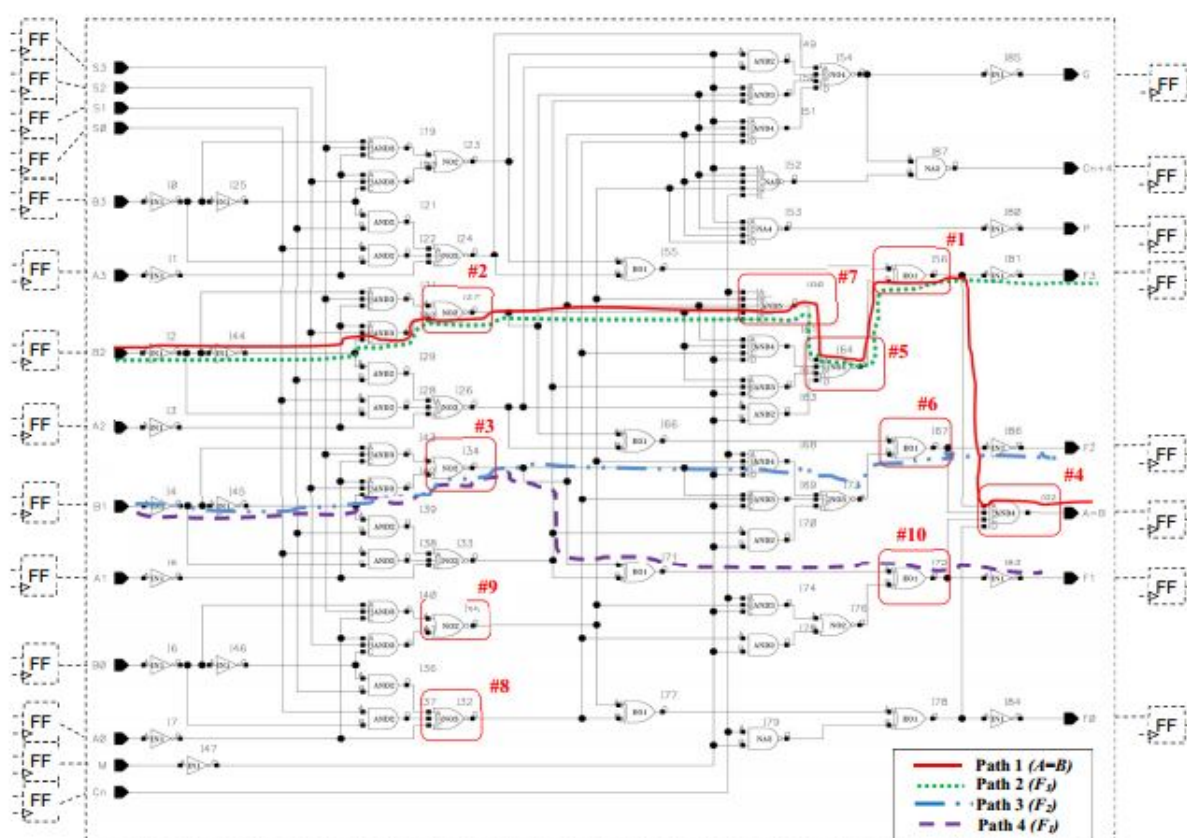
Os transistores possuem no seu pino de *source* o nível de tensão que se deseja ativar. O pino de *gate* é conectado ao Atuador, sendo assim controlado pelo mesmo, e o pino de *drain* são conectados ao barramento de alimentação do CI. Sendo assim todos os pinos de *drain* dos transistores estão em paralelo. Vale ressaltar que a largura dos transistores deve ser ajustada para que a chave consiga fornecer corrente o suficiente para o circuito. Isto pode ser feito ao utilizar transistores grandes e/ou utilizando transistores em paralelo para cada nível de tensão.

3.2.4 O CUT

Nesse trabalho foi utilizado como *Circuit Under Test* (CUT) uma Unidade Lógica Aritmética (ULA) de 4-bits, 74HC/HCT181 da Philips (PHILIPS, 1998) (Figura 31). Esse circuito foi escolhido por uma questão de familiaridade, entretanto o método proposto neste trabalho poderia ser aplicado em diferentes circuitos. Note que em (KOSTIN et al., 2014) foi identificado o caminho crítico da ULA, utilizado como base desse trabalho.

O caminho mais crítico pertence a saída 'A = B' e é onde o Sensor de Envelhecimento foi conectado. A sua comprovação como caminho mais crítico é demonstrada em (KOSTIN et al., 2014) e também através das várias simulações realizadas no âmbito deste trabalho. Foi realizado também uma descrição do circuito em Verilog onde seu caminho mais crítico foi comprovado através das ferramentas RTL Compiler (Cadence) e Prime Time (Synopsys).

Figura 31 – Diagrama Lógico da ULA.



KOSTIN et al., 2014.

4 VALIDAÇÃO DA METODOLOGIA PROPOSTA

Com a metodologia implementada iniciou-se a etapa de validação. Primeiramente, definiu-se os níveis de tensão a serem utilizados. Foi definido que será utilizado quatro níveis de tensão sendo eles: de 1,0 V (tensão nominal), e mais três tensões extras de 1,03 V, 1,06 V e 1,09 V. Esses níveis foram escolhidos por estarem dentro da faixa de operação da tecnologia, bem como devido ao fato de que esses níveis de tensão possibilitam que o *delay* do CI retorne ao seu nível original. A faixa de tensão de operação dessa tecnologia é de 0,9 V até 1,1 V.

Em seguida, definiu-se a forma como o grau de Envelhecimento dos componentes será modelado. Assim, o Método utilizado para modelar isso é o mesmo utilizado em (KANG et al., 2008). Este Método foi explicado em detalhes no Capítulo 2. Basicamente, esse método consiste em adicionar fontes de tensão no *gate* dos transistores *PMOS*, e variar o grau de envelhecimento através de uma relação com a tensão de *threshold* do transistor.

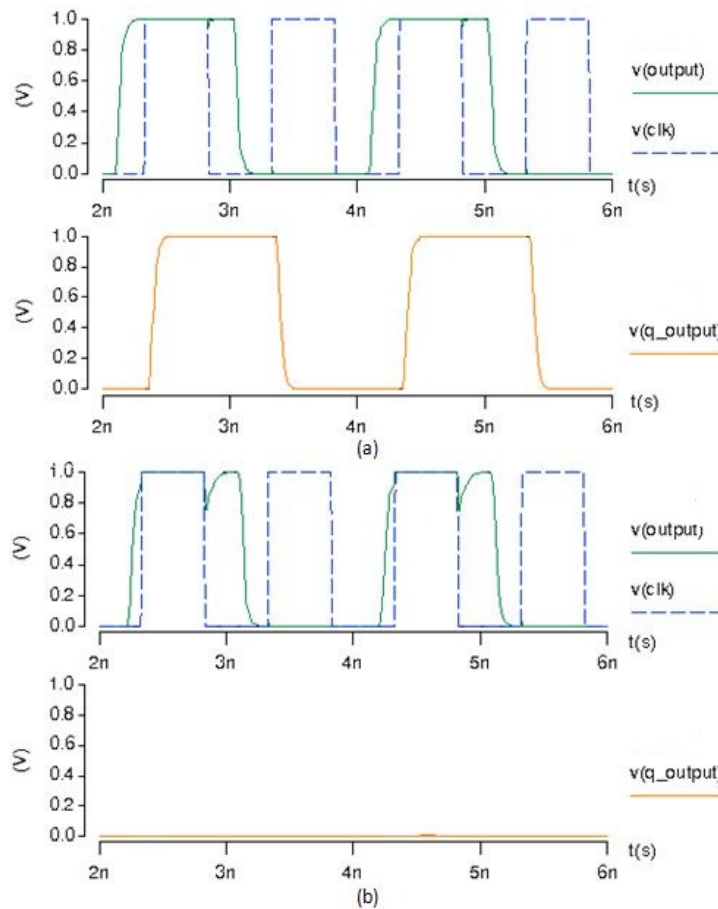
Foi definido neste Trabalho que o grau de Envelhecimento utilizado seria o pior caso, onde todos os transistores envelheceriam na mesma proporção de envelhecimento. Além disso, o grau de Envelhecimento é inserido incrementando-o de 1 em 1%, a fim de simplificar a análise.

O *flip-flop* do caminho crítico está configurado, para funcionar corretamente, detectando a variação do sinal na sua entrada com um acréscimo de até +- 20% de *delay* do sinal original. Com isso em mente, o Sensor foi calibrado para detectar uma violação com um valor um pouco menor de 10% de acréscimo de *delay*, ou seja, na metade da vida útil do circuito.

Uma demonstração de como se dá o funcionamento normal desse *flip-flop* sem a implementação da metodologia, é apresentada a seguir, na Figura 32, onde é amostrado o sinal do caminho crítico ‘output’, o *clock* e a saída do *flip-flop* ‘q_output’. Na Figura 32 (a) é apresentado o funcionamento normal do *flip-flop* e o circuito está ainda novo. Já na Figura 32 (b), o circuito já sofreu uma certa degradação que causa um aumento de mais de 20 % de *delay*, causando uma dessincronização do *flip-flop*.

A seguir, a metodologia aplicada junto ao CI é apresentada. Na Figura 33 os quatro momentos de operação do Contador no Atuador, sendo analisada as suas saídas ‘A0’ e ‘B0’, junto ao sinal de saída do Sensor ‘aging_sensor_out’ para visualizar o momento de ativação do Sensor, e do sinal ‘active_sensor’, sinal este responsável por ativar a alimen-

Figura 32 – Exemplo da operação do *flip-flop* no final do caminho crítico sem a metodologia proposta

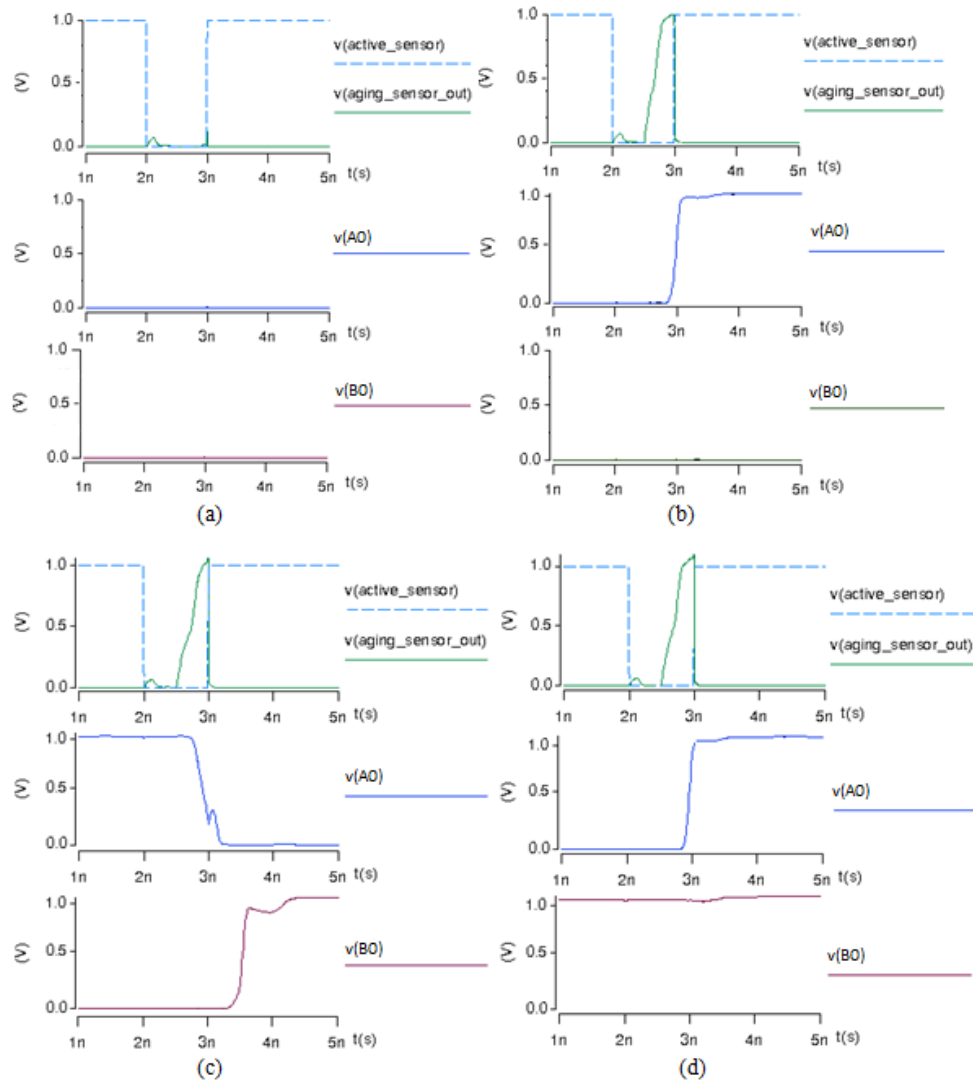


Fonte: O autor (2015).

tação do Sensor. Quando o Sensor não está ativo o seu sinal de saída é colocado em zero lógico. No primeiro caso, Figura 33 (a), o sinal atuando com a tensão nominal (Nível de Tensão 0) e sem grau de envelhecimento, não há detecção de violação de *guardband*, assim não há ativação do Sensor. Já no segundo caso, Figura 33 (b), há violação de *guardband*. Dessa forma, o Sensor é ativado, e o sinal ‘A0’ muda de estado lógico, acionando o Nível de Tensão 1. Na Figura 33 (c) há uma nova violação de *guardband*, ‘A0’ e ‘B0’ mudam de estado lógico, e os sinais do Contador se ajustam para acionar o Nível de Tensão 2. E finalmente na Figura 33 (d), por fim o Sensor detecta o último nível de envelhecimento e o Contador se ajusta para ativar o Nível de Tensão 3.

Observando a Figura 33 é possível observar que o sinal de saída do Sensor ‘aging_sensor_out’ atua como um impulso de curta duração. Isso está associado a técnica de *power gating*, explicado com mais detalhes no Capítulo 2. Esse impulso deve ter um tempo de duração para ativar o Atuador. Neste trabalho, utiliza-se um tempo de cerca 325 ps, escolhido de maneira empírica.

Figura 33 – Exemplo de Ativação do Sensor de Envelhecimento.

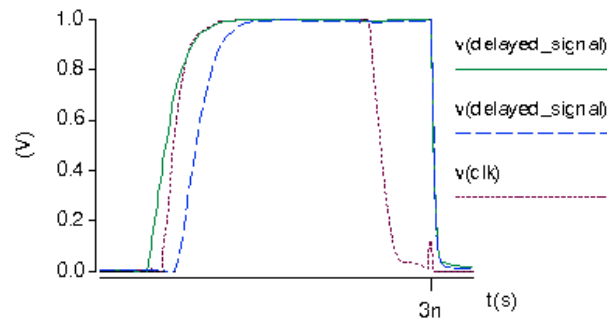


Fonte: O autor (2015).

Na Figura 34 é mostrado o sinal de saída após o novo Elemento de *Delay* (linha contínua) e com um grau de envelhecimento de 12% (linha tracejada) o ‘delayed_signal’, e o sinal de *clock* chega ao Sensor ‘clk’. O interessante nesta Figura é observar que o nível de transição observado do *CUT* é sempre o mesmo, ou seja, o nível de baixo para alto (TPLH), foi assim definido, pois é nessa transição que ocorre o maior aumento no *delay* do caminho crítico.

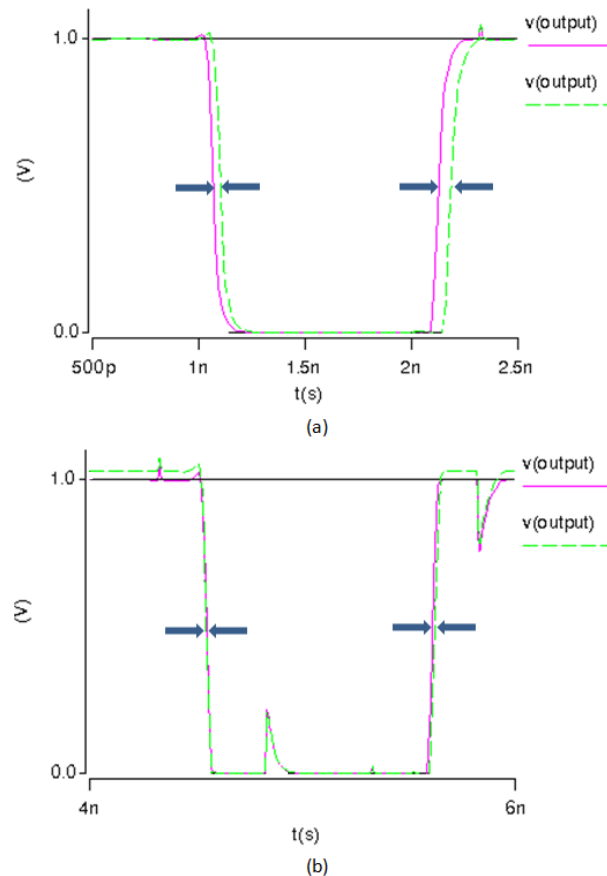
A Figura 35 (a) mostra uma comparação do sinal de ‘output’ do *CUT* novo (roxo) e envelhecido (verde), sem correção. Já a Figura 35 (b) mostra esse sinal envelhecido (verde) corrigido pelo aumento de tensão. É possível reparar que na Figura 35 (a) há uma diferença de tempo entre os sinais e em Figura 35 (b) essa diferença é compensada, provando que há regeneração do CI através da metodologia.

Figura 34 – Comparação do ‘delayed_signal’ novo, e que aciona o Sensor.



Fonte: O autor (2015).

Figura 35 – Formas de Onda da Saída do *CUT*, comparando um sinal novo com um sinal regenerado.

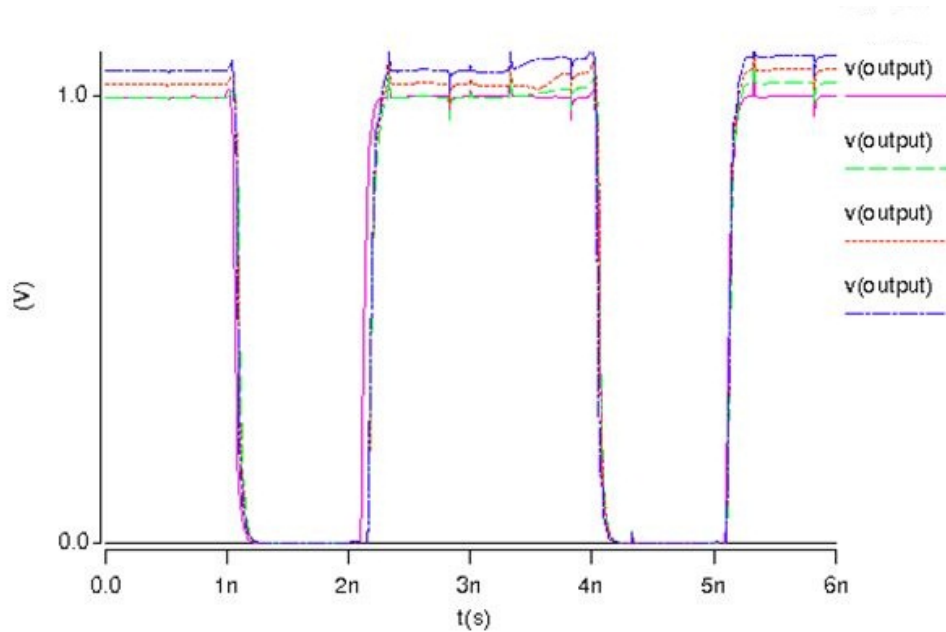


Fonte: O autor (2015).

A Figura 36 deixa mais claro o impacto da metodologia no CI como um todo. Em mais detalhes, a Figura 36 apresenta a saída analisada do *CUT*, sinal ‘Output’. O sinal de cor violeta (linha cheia), mostra um sinal novo sem acréscimo de *delay*. Já o sinal verde (linha tracejada), mostra um sinal agora envelhecido que ativa o Sensor de Envelhecimento e tem seu nível de tensão modificado. Os sinais laranja (linha pontilhada)

e azul (linha pontilhada-tracejada) da mesma forma, atingiram o grau de envelhecimento necessário para promover novamente a troca da tensão para o próximo Nível.

Figura 36 – Formas de Onda da Saída do *CUT*, enfatizando os níveis de atuação de tensão.



Fonte: O autor (2015).

Na Tabela 2 é apresentada a relação entre o Nível de Tensão e o *guardband*. Os dados da Tabela apresentados são: Níveis de Tensão; os valores de *Vdd* para cada nível; o grau de degradação de envelhecimento do *CUT* que gera 9% de acréscimo de *delay*, valor definido previamente; o tempo de *guardband* que ocorre essa violação, sendo o tempo original para a transição do circuito de 0,6324 ns; o acréscimo de *delay* preciso para a porcentagem de degradação; e o grau de degradação do circuito que gera o fim da vida útil, ou seja quando ocorre dessincronização do *flip-flop* do caminho crítico.

Tabela 2 – Relação entre Nível de Tensão e *Guardband*.

Nível de Tensão	<i>Vdd</i>	Degradação gera violação	<i>Guardband</i>	Acréscimo de <i>Delay</i>	Fim da vida útil
Nível 0	1,00 V	11,6%	0,6902 ns	9,14%	22%
Nível 1	1,03 V	21,1%	0,6895 ns	9,03%	31%
Nível 2	1,06 V	30,0%	0,6924 ns	9,49%	39%
Nível 3	1,09 V	-	-	-	47%

Assim, a metodologia proposta é capaz de incrementar a vida útil do CI. Supõe-se que se o circuito envelhecer 5% por ano no pior caso, o tempo de vida útil é de um pouco mais de 4 anos, equivalente a um grau de envelhecimento de 22%. Com a metodologia proposta o grau de envelhecimento atinge 47%, o que equivale a quase 10 anos de vida

útil, um aumento de cerca de 6 anos. Porém, convém mencionar que não está levando em conta o acréscimo de temperatura, devido à adição do nível de tensão de alimentação dos dispositivos.

5 AVALIAÇÃO DA METODOLOGIA PROPOSTA

Para a Avaliação da metodologia baseada em hardware proposta foi realizado uma estimativa de *overheads*, avaliando os impactos acarretados pela implementação da metodologia. Em seguida é apresentado simulações referentes as variações de processo dos dispositivos, que foram simuladas através do método de Monte Carlo que simula de maneira probabilística as variações do processo de fabricação dos *dies*.

5.1 *Overheads*

Neste capítulo será apresentado as estimativas de *Overheads* estimadas que está metodologia baseada em hardware acarreta à arquitetura utilizada.

A respeito da temporização, a Latência introduzida é de 3 ciclos de *clock*: 1 ciclo de *clock* para a inserção do vetor de teste, 1 ciclo de *clock* para a ativação do Sensor e mais um ciclo de *clock* para o tempo de ativação das chaves de alimentação, após a detecção do Sensor de Envelhecimento. Esse tempo é suficiente para as transições do Contador, Decodificar e do chaveamento das Chaves de Alimentação.

Sobre o aumento de Área: o Atuador possui área estimada de 30 pm², o Sensor de Envelhecimento e as Fontes de Alimentação é responsável por cerca de 15 pm² cada. Isto responde a cerca de 6%, 3% e 3% da área total do *CUT* adotada. A referência adotada para determinar os tamanhos das portas lógicas se encontra no manual da tecnologia (STMICROELECTRONICS, 2008). É claro que para o *CUT* essa proporção de área agregada parece muito, mas utilizando um circuito maior, a área da metodologia não irá aumentar muito para o que já está definido, assim o aumento de área é considerado satisfatório.

Ao olhar para o consumo de energia, o circuito original (*CUT*) possui um consumo médio de potência de cerca 318 μ W. Adicionando a metodologia proposta, incluindo Sensor e Atuador, o consumo médio de potência aumenta para 400 μ W, com o Atuador acionado. Isso representa um aumento de cerca de 20% de potência. Para cada nível extra de tensão adicionado houve um aumento de 7% de potência média, em relação a tensão nominal.

Analisando os dados avaliados, conclui-se que a metodologia apresenta um relativo baixo consumo de energia e pouco acréscimo de ocupação de área, referente ao Sensor e ao Atuador, além de baixa latência de tempo.

5.2 Simulações de Monte Carlo para as Variações de Processos

Como apresentado na Fundamentação Teórica, as Variações de Processos de Fabricação são um tópico essencial para se avaliar em metodologias desenvolvidas em 65 nm. Assim uma Avaliação da Metodologia com variações de processos se faz necessário. Essas variações são realizadas através de simulações de Monte Carlo.

Foram realizadas simulações de Monte Carlo primeiramente para os dispositivos da metodologia, de forma *inter-die* e *intra-die*.

As simulações foram realizadas com 30 iterações onde variou-se 5 parâmetros do *MOSFET*, de forma individual e de com todos variando ao mesmo tempo. Os parâmetros são: L_{eff} (comprimento do gate), tox (largura do óxido do *PMOS* e do *NMOS*) e V_{th} (tensão de *threshold* do *PMOS* e do *NMOS*). A variação foi realizada com distribuição Gaussiana com $\pm 3\sigma$ e variação de $\pm 10\%$. O acréscimo do envelhecimento se deu pelo mesmo método apresentado na Fundamentação Teórica, inserindo uma fonte de tensão no terminal *gate* dos transistores *PMOS*.

As simulações foram realizadas utilizando o *corner* de fabricação *typical-typical* com as tensões de *trheshold* já apresentadas para o transistor tipo N 0,45 V, e tensão de *threshold* do transistor tipo P -0,43 V.

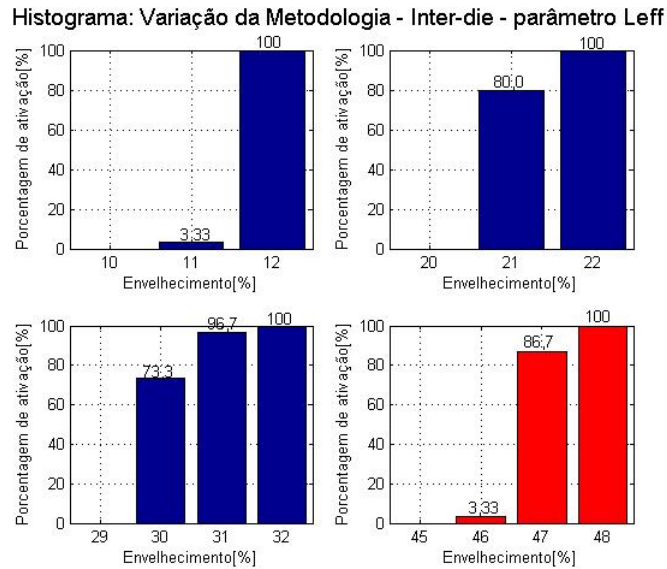
Estas simulações de Monte Carlo foram simplificadas, de modo a obter um menor de tempo de simulação do Hspice. Dessa forma o acionamento do Sensor somente ocorreu a cada um grau de envelhecimento do CI, causado por *NBTI*. Importante mencionar que o envelhecimento do *CUT* ocorre de maneira uniforme, ou seja, todos os transistores envelhecem juntos e da mesma forma. Foi avaliado se a ativação do Sensor de Envelhecimento e operação do Atuador ocorreu no grau de envelhecimento correto, posterior, ou num tempo anterior ao definido, sendo esse um mau resultado, devido ao objetivo da metodologia de aumentar o tempo de vida útil do CI o máximo possível.

5.2.1 Variações *Inter-die*

A seguir nas Figuras 37 até 42 são apresentadas as simulações para o CI variando unicamente os dispositivos da metodologia, ou seja, o Sensor de Envelhecimento e o Atuador, realizando uma série de seis simulações *inter-die*. A ordem da variação dos parâmetros ocorre da seguinte forma: 1) L_{eff} (comprimento do gate), 2) tox_p (largura do óxido do *PMOS*), 3) tox_n (largura do óxido do *NMOS*), 4) V_{thp} (tensão de *threshold* do *PMOS*, 5) V_{thn} (tensão de *threshold* do *NMOS*) e finalmente 6) variando todos os parâmetros ao mesmo tempo.

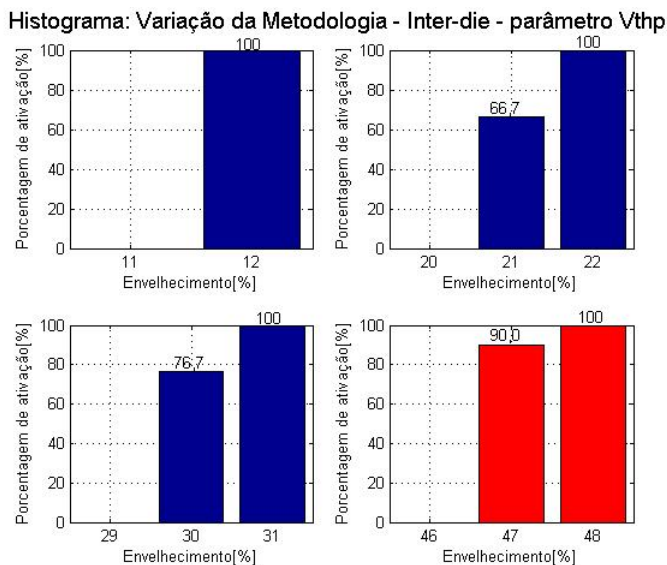
O método de observação do circuito da Figura 37 é o mesmo das demais simulações apresentadas nesse capítulo. Assim, o primeiro quadro da figura, da direita para

Figura 37 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro *Leff* - *Inter-die*.



Fonte: O autor (2015).

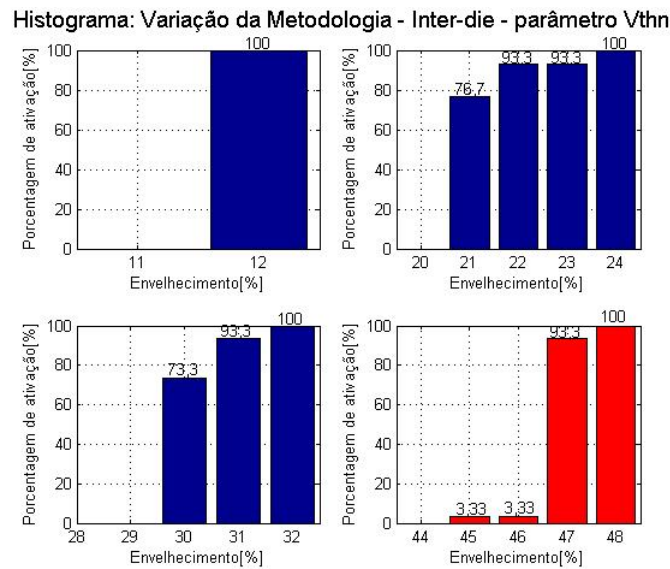
Figura 38 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro *Vthp* - *Inter-die*.



Fonte: O autor (2015).

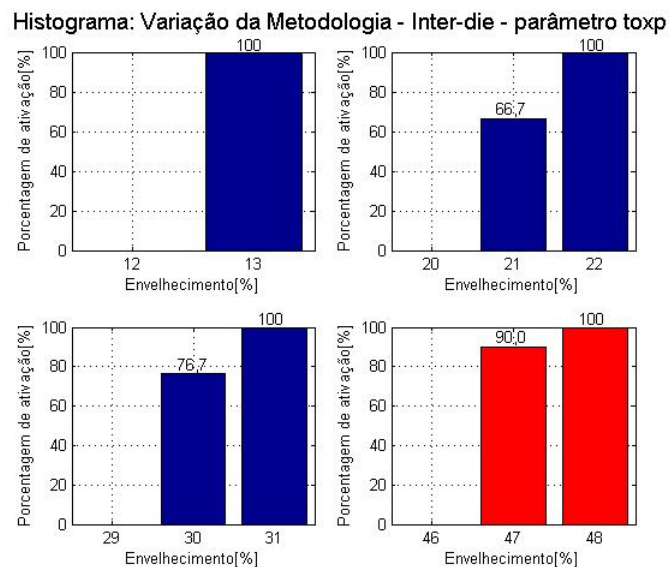
esquerda, de cima para baixo, mostra o grau de envelhecimento que aciona uma transição no Atuador, neste caso um transição do Nível de Tensão 0 para 1. No segundo quadro mostra o grau de envelhecimento que gera uma transição do atuador de Nível de Tensão 1 para 2, no terceiro quando da mesma forma, mostra a transição da metodologia do Nível de Tensão 2 para 3, e o quarto quadro, por fim, em vermelho, evidencia o fim da vida útil do CI.

Figura 39 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro V_{thn} - *Inter-die*.



Fonte: O autor (2015).

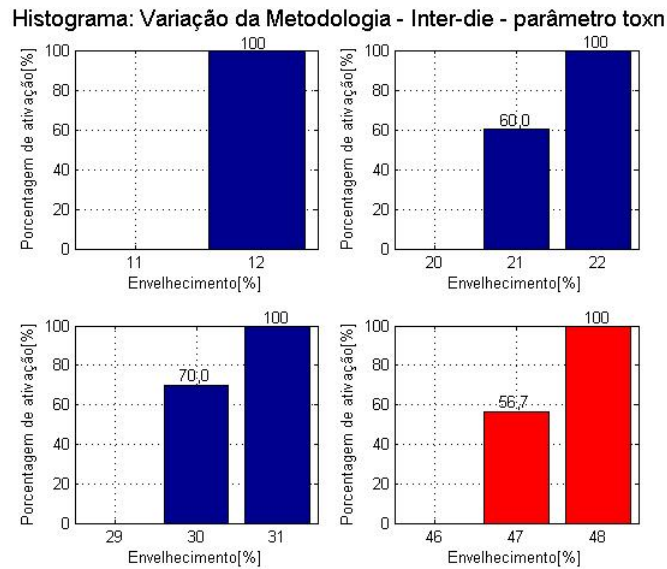
Figura 40 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro to_{xp} - *Inter-die*.



Fonte: O autor (2015).

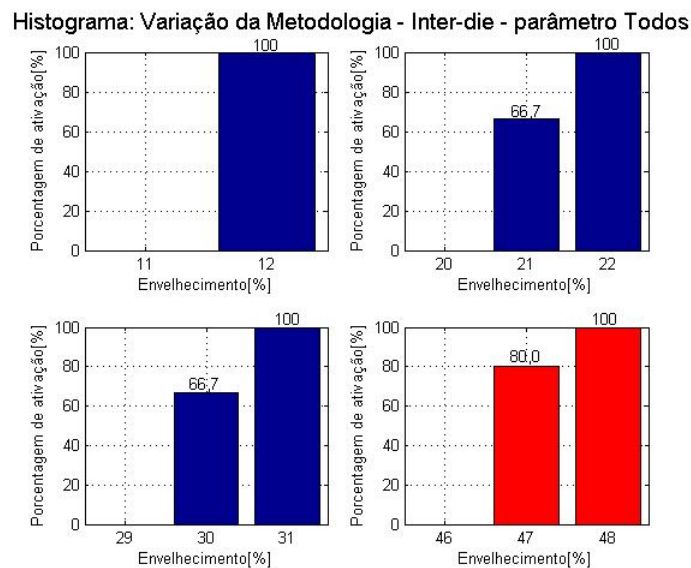
Ao analisar uma figura individualmente vê-se que na Figura 37, 3,33% das simulações tiveram ocorrência no grau de envelhecimento do CI de 11% e todas as simulações ocorreram no grau de envelhecimento de 12%. No segundo quadro, referente a transição do Nível de Tensão de 1 para 2, 80,0% das ocorrências ocorrem no grau 21% de envelhecimento. No terceiro quadro, referente a Transição do Nível de 2 para 3, ocorreram 73,3% de acionamento no grau de envelhecimento de 30%, 96,7% de acionamento em 31% do

Figura 41 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro *tox*n - *Inter-die*.



Fonte: O autor (2015).

Figura 42 – Histograma da Simulação de Monte Carlo para a Metodologia variando todos os cinco parâmetro - *Inter-die*.



Fonte: O autor (2015).

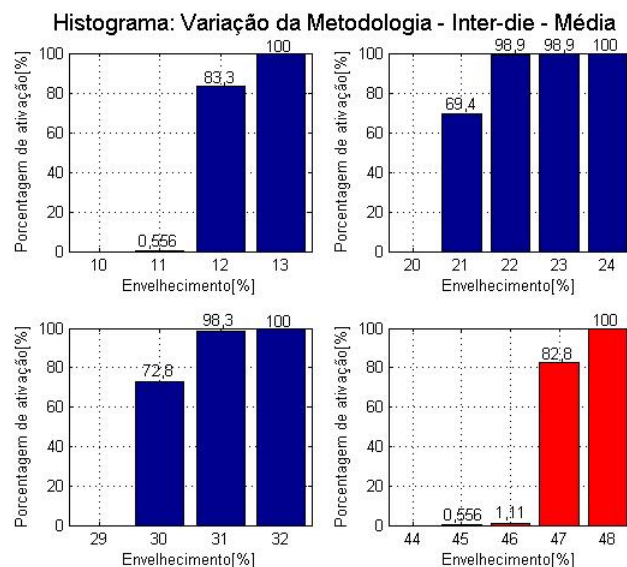
grau de envelhecimento e 100% em 32% do grau de envelhecimento. E finalmente, 3,33% das iterações tiveram o fim da sua vida útil em 46% do grau de envelhecimento, 86,7% da iterações tiveram e fim da vida útil em 47% de envelhecimento, e por fim, o restante das simulações iram encontrar o fim da vida útil em 48% do envelhecimento.

Analisando a Tabela 2 do Capítulo 4 e comparando com os resultados apresentados na Figura 37, verifica-se que as transições dos Níveis de Tensão ocorrem em graus muito próximos, o que é muito bom para a metodologia, pois se ativação ocorrer muito tarde, corre um risco do sinal do Sensor não se manter ativo em nível lógico alto tempo o suficiente para a ativação do Atuador, e se a ativação ocorrer muito antes do tempo estimado, há uma redução da vida útil do circuito, pois, com o a mudança precoce do nível de tensão, há um aumento da temperatura do CI, que acelera o envelhecimento. É importante lembrar que a questão do aumento da temperatura não foi considerado neste trabalho.

Analisando as demais Figura 38 à 42, verifica-se um comportamento semelhante ao da Figura anterior, dessa forma, os resultados dos teste para esse o tipo de simulação *Inter-die*, apresentaram ser muito positivas, pois todas as transições do Nível de Tensão ocorreram em graus próximos ao do circuito ideal projetado. Um tópico interessante observar é que o tempo de vida útil foi aumentado, da estimativa inicial de 47% na maioria das iterações.

Na Figura 43 é apresentado a média das simulações *inter-die*. Analisando esses dados, somente 1,11% das iterações tiveram o seu fim da vida útil num grau de envelhecimento menor que o ideal, que seria de 47% segundo a Tabela 2. Esse resultado é considerado satisfatório para a metodologia.

Figura 43 – Média do Histograma da Simulação de Monte Carlo para a Metodologia - *Inter-die*.



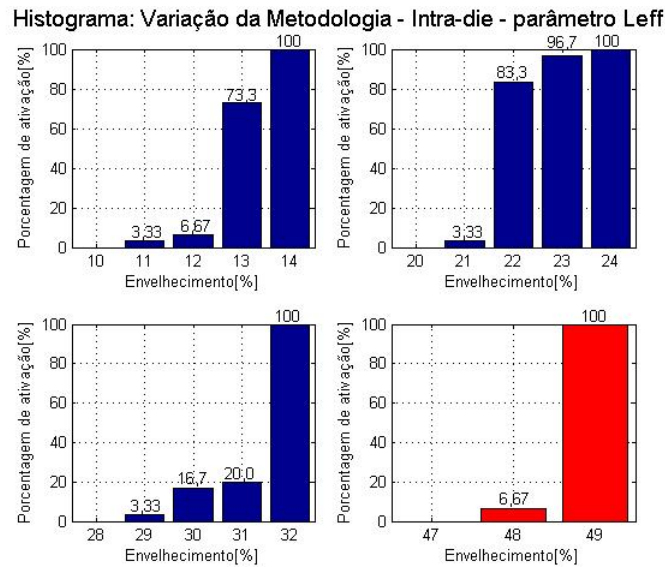
Fonte: O autor (2015).

5.2.2 Variações *Intra-die*

A seguir nas Figuras 44 até 49 são apresentados as simulações para o CI variando unicamente os dispositivos da metodologia, ou seja, o Sensor de Envelhecimento e o Atuador.

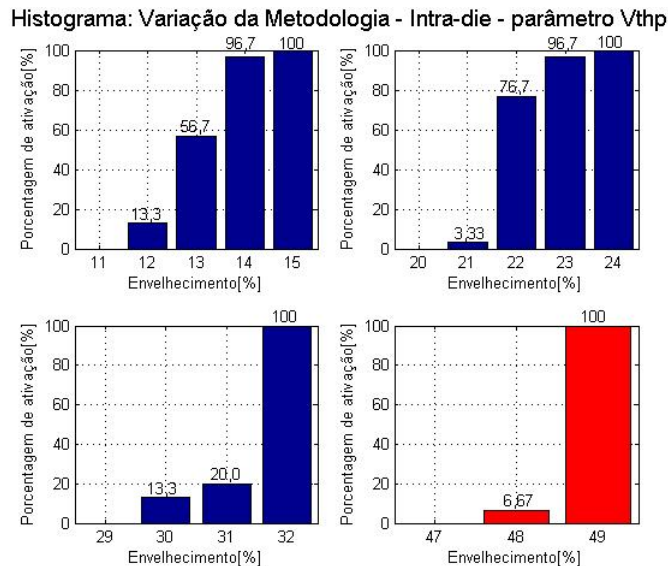
Foi realizado novamente, uma série de seis simulações *intradie*. A ordem da variação dos parâmetros ocorre da seguinte forma.

Figura 44 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro *Leff* - *Intra-die*.



Fonte: O autor (2015).

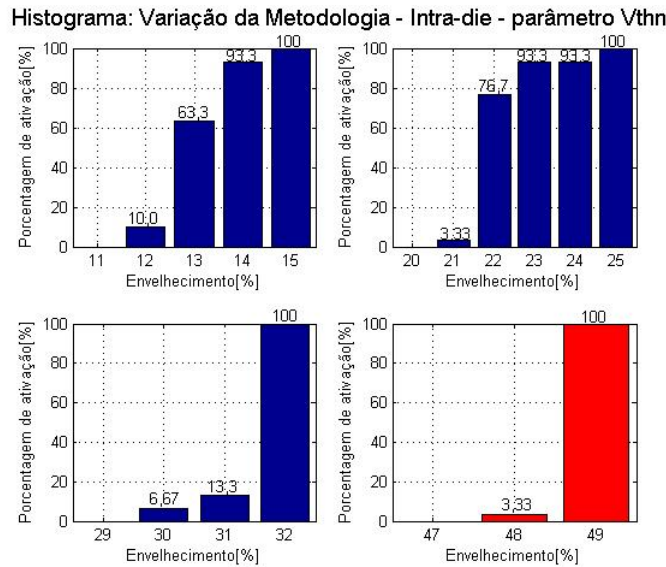
Figura 45 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro *Vthp* - *Intra-die*.



Fonte: O autor (2015).

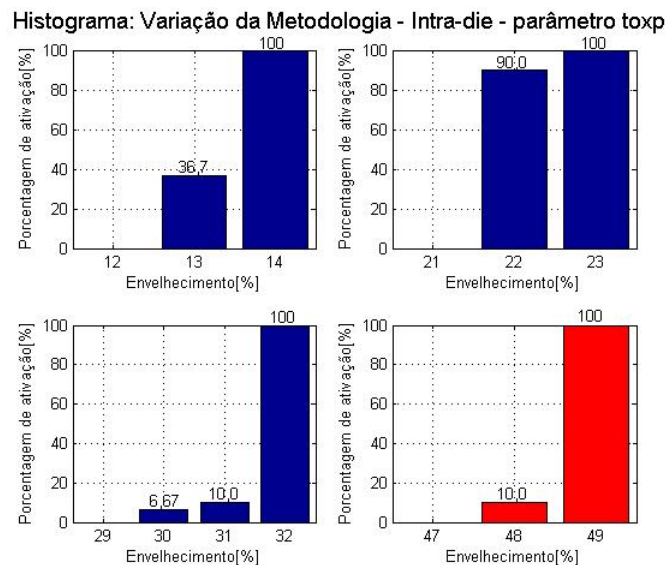
Analisando a Figura 44, 3,33% das simulações tiveram ocorrência no grau de envelhecimento do CI de 11%, 6,67% de ativação das iterações ocorreram no grau de envelhecimento de 12% (isto significa os 3,33% do grau anterior mais 3,34% que ocorrem nesse

Figura 46 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro V_{thn} - *Intra-die*.



Fonte: O autor (2015).

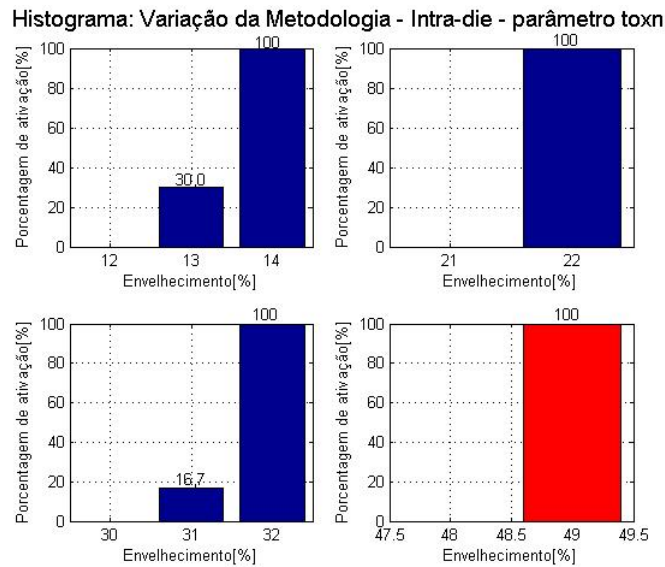
Figura 47 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro to_{xp} - *Intra-die*.



Fonte: O autor (2015).

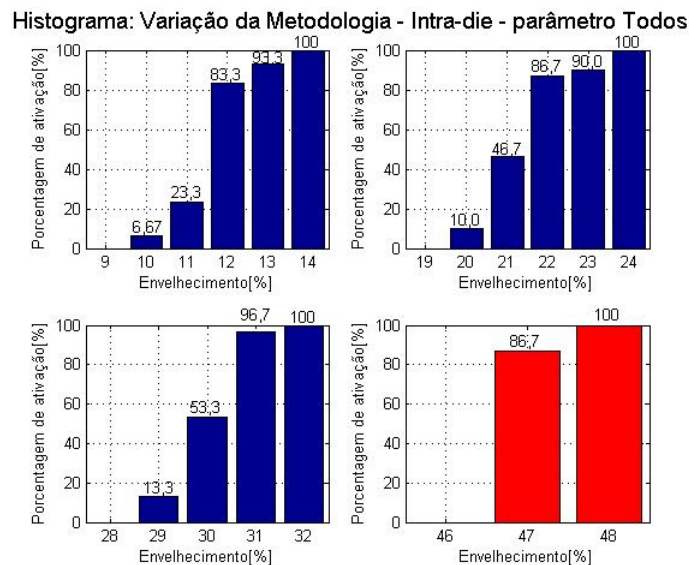
grau de envelhecimento, é indicado desta forma o número total de ativação das iterações somando as ativações anteriores), 73,3% de ativação das iterações ocorreu no grau de 13% o restante no grau de envelhecimento de 14%. No segundo quadro, referente a transição do Nível de Tensão de 1 para 2, 3,33% das ocorrências ocorrem no grau 21% de envelhecimento, 83,3% ocorreram no grau de envelhecimento de 22%, e 96,7% de ativação das iterações ocorreu no grau de 23% o restante no grau de envelhecimento de 24%. No ter-

Figura 48 – Histograma da Simulação de Monte Carlo para a Metodologia variando o parâmetro *tox*n - *Intra-die*.



Fonte: O autor (2015).

Figura 49 – Histograma da Simulação de Monte Carlo para a Metodologia variando todos os cinco parâmetro - *Intra-die*.



Fonte: O autor (2015).

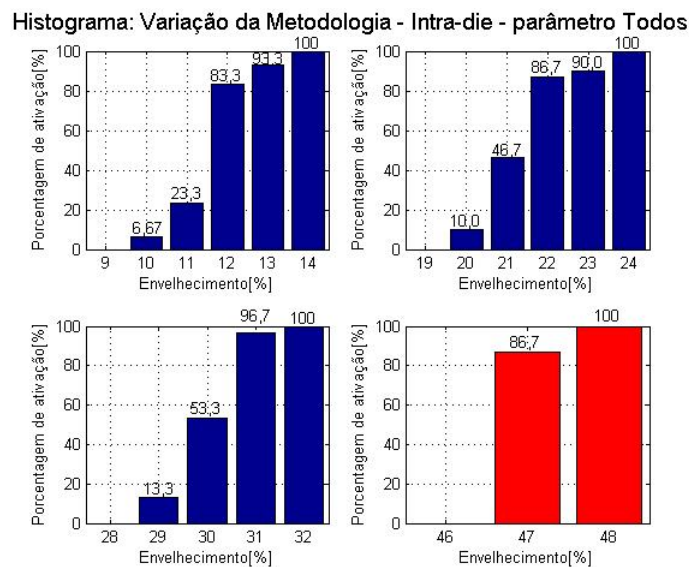
ceiro quadro, referente a Transição do Nível de 2 para 3, ocorreram 3,33% das ocorrências ocorrem no grau 29% de envelhecimento, 16,7% ocorreram no grau de envelhecimento de 30%, e 20,0% de ativação das iterações ocorreu no grau de 31% o restante no grau de envelhecimento de 24%. E finalmente, 6,67% das iterações tiveram o fim da sua vida útil em 48% do grau de envelhecimento, e o restante 93% das iterações tiveram o fim da vida útil em 49% de envelhecimento.

Analisando novamente a Tabela 2 do Capítulo 4 e comparando com os resultados apresentados na Figura 44, verifica-se que as transições dos Níveis de Tensão ocorrem em graus muito próximos, o que é excelente como mencionado anteriormente.

Analisando as demais Figura 45 à 49, todos apresentam um comportamento semelhante ao da Figura 44, dessa forma, os resultados dos teste para esse tipo de simulação *Intra-die* apresentaram ser muito positivas, pois todas as transições do Nível de Tensão ocorreram em graus próximos ao do circuito ideal projetado. Importante verificar que a distribuição das iterações para o tipo de simulação *Intra-die* possui uma diversificação maior de distribuição, que a simulação *Inter-die*. Um tópico interessante de observar novamente é que o tempo de vida útil foi aumentado, da estimativa inicial de 47% na maioria das iterações.

Na Figura 50 é apresentado a média das simulações *intra-die*. Analisando esses dados, o fim da vida útil aconteceu num grau de envelhecimento ideal, segundo a Tabela 2, ou maior, o que é um bom resultado para a metodologia. Porém houve 6,67% das iterações que ocorreram no grau de envelhecimento de 10%, no quadro de transição do Nível de Tensão de 0 para 1, anterior ao grau ideal de 11%. A consequência disto no CI é a redução da vida útil para essas iterações, devido ao aumento de temperatura no CI, que impactará na aceleração do envelhecimento. Esse impacto não é mostrado nessas simulações devido a não se observar o impacto na temperatura durante o trabalho.

Figura 50 – Média do Histograma da Simulação de Monte Carlo para a Metodologia - *Intra-die*.

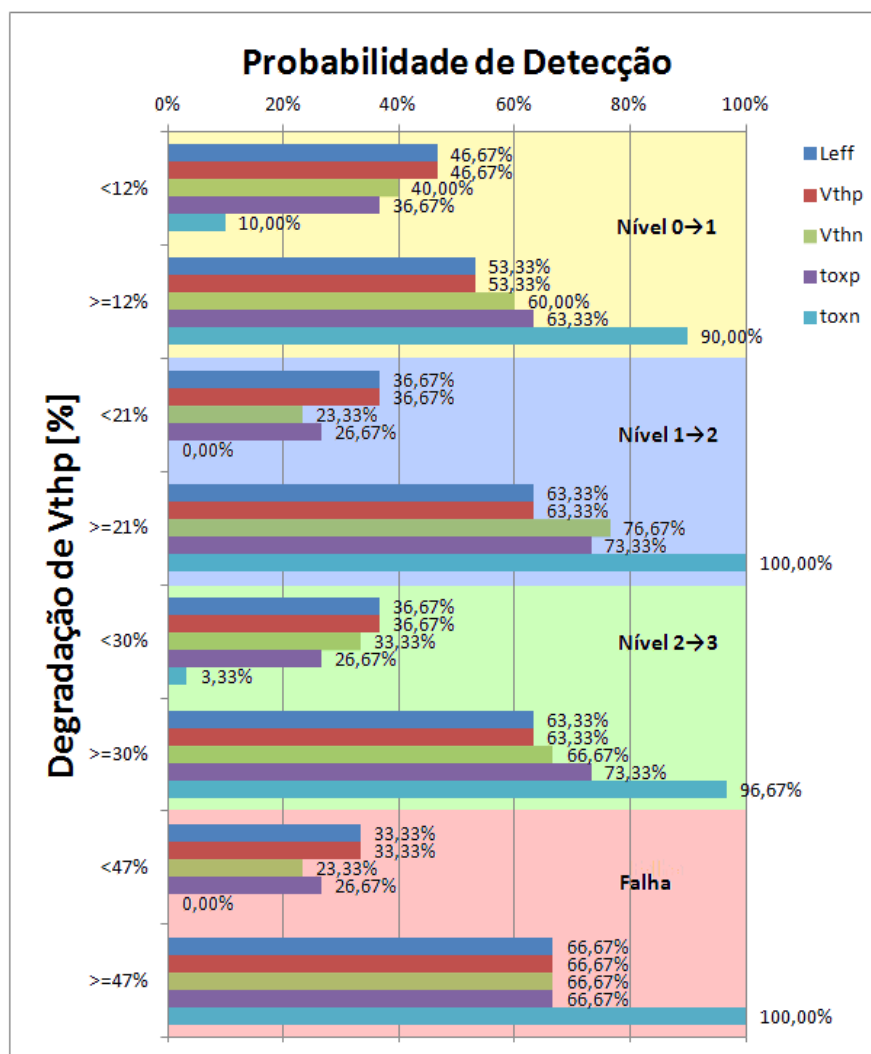


Fonte: O autor (2015).

5.2.3 Variações *Inter-die* de todo o CI

Foi realizado também uma simulação *Inter-die* de todo o CI, o resultado desta simulação, apesar de não estar nos mesmos moldes das apresentadas anteriormente, será apresentado devido à elas serem citadas em trabalhos publicados durante o desenvolvimento do projeto. Foram realizadas essas simulações, com 30 iterações onde variou-se os mesmos 5 parâmetros do *MOSFET*, de todos os dispositivos, L_{eff} (comprimento do gate), tox (largura do óxido do *PMOS* e do *NMOS*) e V_{th} (tensão de *threshold* do *PMOS* e do *NMOS*). A variação foi realizada com distribuição Gaussiana com $\pm 3\sigma$ e variação de $\pm 10\%$. O acréscimo do envelhecimento se deu pelo mesmo método apresentado no Capítulo 2. O resultado é apresentado na Figura 51.

Figura 51 – Histograma da Simulação de Monte Carlo para os parâmetros analisados variando individualmente.



Fonte: O autor (2015).

Estas simulações de Monte Carlo foram simplificadas, de modo a obter um menor de tempo de simulação do Hspice, assim os resultados das simulações avaliados, foram para os tempos de ativação da metodologia, definidos no Capítulo 4, verificando se a ativação do Sensor de Envelhecimento e operação do Atuador ocorreu no grau de envelhecimento correto, posterior, ou num tempo anterior ao definido, sendo esse um mau resultado, devido ao objetivo da metodologia de aumentar o tempo de vida útil do CI o máximo possível. A probabilidade Média destas detecções é analisado na Tabela 3.

Tabela 3 – Probabilidade de ativação do Atuador, simulações de Monte Carlo para parâmetros com variação individual.

Transição de Nível de Tensão ou Falha	Grau de Degradação V_{thp}	Ocorrência Média de Ativação
Nível 0 -> 1	<12%	36,00%
Nível 0 -> 1	\geq 12%	64,00%
Nível 1 -> 2	<21%	24,67%
Nível 1 -> 2	\geq 21%	75,33%
Nível 2 -> 3	<30%	27,33%
Nível 2 -> 3	\geq 30%	72,67%
Falha	<47%	23,33%
Falha	\geq 47%	73,34%

Os quatro pontos de análise para a Figura 51 e a Tabela 3 são: a transição de Nível de Tensão de 0 para 1, no grau de degradação de 12%, se as transições iram ocorrer antes ou depois/igual desse grau de envelhecimento; transição de Nível de Tensão de 1 para 2, no grau de degradação de 21%; transição do Nível de Tensão de 2 para 3, no grau de degradação de 30%; e finalmente, com o último nível ativado, o quão próxima do nível de degradação do CI estipulado, de 47%, a vida útil do mesmo será prolongada pela metodologia. Ainda na Tabela 3 deve-se verificar se soma da probabilidades, para cada um dos pares de transição analisado, devem ser iguais a 100%

Analisando a Figura 51 e a Tabela 3 verifica-se que com a variação dos parâmetros, cerca de 64 a 75% das detecções ocorrem no tempo projetado ou superior, aumentando o tempo de vida do CI, e cerca de 30% das ocorrências terão um tempo de vida menor que o projetado, mas ainda sim mais longo que o *CUT* sem a metodologia.

Um ponto interessante na análise desses dados, na Figura 51, é que as variações no parâmetro *Leff* e *vthp* geram as simulações com o menor tempo de vida útil. Eles são próximos, mas aparecem como iguais por causa dessa forma de análise dos dados utilizada. E a variação do parâmetro *tox_n* sozinho, não causa grande impacto no circuito.

Um tópico importante a se mencionar nessas simulações é que houve um falso negativo, quando com o circuito novo, esse incidente ocorreu devido ao deslocamento do ponto de detecção do Sensor, causado pelas Variações de Processo. Uma forma de

corrigir isto seria determinar o ponto de ativação do Sensor de um CI depois de fabricado e ajustá-lo.

6 CONSIDERAÇÕES FINAIS

Com a redução nas dimensões e CIs, fenômenos que antes eram ignorados, tornam-se problemas a serem solucionados. Esses problemas diminuem a vida útil dos componentes consideravelmente e são mais críticos à medida que a o nodo tecnológico diminui.

Este Trabalho propôs o desenvolvimento de uma metodologia baseada em hardware capaz de monitorar níveis de envelhecimento ao longo da vida útil do CI, bem como uma forma de minimizar esses efeitos através do ajuste da tensão de alimentação no CI. Em outras palavras, a metodologia proposta visa aumentar a robustez de CIs utilizados em aplicações consideradas críticas.

Conseguiu-se validar a proposta apresentada e comprovar que a metodologia é capaz de aumentar a vida útil de CIs consideravelmente. Através de avaliações, definiu-se que a técnica é tolerante as variações do processo de fabricação e aos *corners*. Ainda, verificou-se que a metodologia possui um baixo consumo de energia e pouco acréscimo de ocupação de área, para o Sensor e o Atuador propostos, além de uma baixa latência de tempo de operação no Modo Teste.

Segundo a especificação, os elementos utilizados no Atuador serão próprios da biblioteca utilizada, e somente o Sensor será constituído por elementos *full-custom*, dessa forma a metodologia possui uma simples implementação.

Trabalhos futuros poderiam ser feitos em relação ao impacto da variação de temperatura que acontece ao variar os níveis de tensão do CI. Essa análise não foi realizada devido ao trabalho ser realizado no nível de simulação elétrica, e para esse tipo de testes seriam necessário a implementação da metodologia em um CI fabricado. Outro trabalho que poderia ainda ser realizado esta associado ao fato de que a técnica prevê a inserção de vários Sensores, o que por sua vez, gera um *overhead* de área. Assim, uma estratégia para minimizar esse impacto seria baseada no uso de meios probabilísticos que determinam quantos Sensores de Envelhecimento deveriam ser inseridos para garantir a robustez desejada para o sistema.

REFERÊNCIAS

- AGARWAL, M. et al. Optimized circuit failure prediction for aging: Practicality and promise. In: IEEE. **Test Conference, 2008. ITC 2008. IEEE International**. [S.l.], 2008. p. 1–10. Citado 7 vezes nas páginas 23, 40, 41, 42, 44, 45 e 46.
- AGARWAL, M. et al. Circuit failure prediction and its application to transistor aging. In: IEEE. **VLSI Test Symposium, 2007. 25th IEEE**. [S.l.], 2007. p. 277–286. Citado 8 vezes nas páginas 23, 24, 40, 41, 42, 44, 45 e 46.
- ALAM, M. Reliability-and process-variation aware design of integrated circuits. **Microelectronics Reliability**, Elsevier, v. 48, n. 8, p. 1114–1122, 2008. Citado na página 39.
- ALAM, M. A.; MAHAPATRA, S. A comprehensive model of pmos nbtI degradation. **Microelectronics Reliability**, Elsevier, v. 45, n. 1, p. 71–81, 2005. Citado na página 36.
- BAGATIN, M. et al. Impact of nbtI aging on the single-event upset of sram cells. **Nuclear Science, IEEE Transactions on**, IEEE, v. 57, n. 6, p. 3245–3250, 2010. Citado na página 23.
- BONING, D.; NASSIF, S. Models of process variations in device and interconnect. **Design of high performance microprocessor circuits**, IEEE Press Piscataway, NJ, p. 6, 2000. Citado na página 39.
- BORKAR, S. Designing reliable systems from unreliable components: the challenges of transistor variability and degradation. **Micro, IEEE, IEEE**, v. 25, n. 6, p. 10–16, 2005. Citado na página 39.
- BUSHNELL, M.; AGRAWAL, V. D. **Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits**. [S.l.]: Springer Science & Business Media, 2000. Citado na página 35.
- CALIMERA, A.; MACII, E.; PONCINO, M. NbtI-aware clustered power gating. **ACM Transactions on Design Automation of Electronic Systems (TODAES)**, ACM, v. 16, n. 1, p. 3, 2010. Citado 5 vezes nas páginas 36, 37, 38, 39 e 56.
- CERATTI, A. et al. An on-chip sensor to monitor nbtI effects in srams. **Journal of Electronic Testing**, Springer, v. 30, n. 2, p. 159–169, 2014. Citado na página 26.
- CERATTI, A. D. Desenvolvimento de um sensor "on-chip" para monitoramento do envelhecimento de srams. Pontifícia Universidade Católica do Rio Grande do Sul, 2012. Citado na página 38.
- COPETTI, T. et al. NbtI-aware design of integrated circuits: A hardware-based approach. **Test Symposium (LATS)**, 2015. Citado na página 26.

- FERRI, C. et al. Nbti-aware data allocation strategies for scratchpad memory based embedded systems. In: IEEE. **Test Workshop (LATW), 2011 12th Latin American**. [S.l.], 2011. p. 1–6. Citado 2 vezes nas páginas 23 e 37.
- HU, Z. et al. Microarchitectural techniques for power gating of execution units. In: ACM. **Proceedings of the 2004 international symposium on Low power electronics and design**. [S.l.], 2004. p. 32–37. Citado na página 38.
- INTEL. Nbti_stress_recovery. **Site**. Acessado: 2012-08. Citado na página 37.
- JAN, M. R.; ANANTHA, C.; BORIVOJE, N. **Digital Integrated Circuits—A Design Perspective**. [S.l.]: Pearson Education, 2003. Citado 3 vezes nas páginas 28, 31 e 34.
- KACZER, B. et al. Disorder-controlled-kinetics model for negative bias temperature instability and its experimental verification. In: IEEE. **Reliability Physics Symposium, 2005. Proceedings. 43rd Annual. 2005 IEEE International**. [S.l.], 2005. p. 381–387. Citado na página 37.
- KANG, K. et al. Nbti induced performance degradation in logic and memory circuits: how effectively can we approach a reliability solution? In: IEEE COMPUTER SOCIETY PRESS. **Proceedings of the 2008 Asia and South Pacific Design Automation Conference**. [S.l.], 2008. p. 726–731. Citado 4 vezes nas páginas 36, 37, 38 e 65.
- KANG, K. et al. Impact of negative-bias temperature instability in nanoscale sram array: modeling and analysis. **Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on**, IEEE, v. 26, n. 10, p. 1770–1781, 2007. Citado 2 vezes nas páginas 23 e 36.
- KANG, S.-M.; LEBLEBICI, Y. **CMOS digital integrated circuits**. [S.l.]: Tata McGraw-Hill Education, 2003. Citado 5 vezes nas páginas 28, 31, 33, 34 e 46.
- KOSTIN, S. et al. Hierarchical identification of nbti-critical gates in nanoscale logic. In: IEEE. **Test Workshop-LATW, 2014 15th Latin American**. [S.l.], 2014. p. 1–6. Citado 3 vezes nas páginas 26, 62 e 63.
- KOSTIN, S. et al. Spice-inspired fast gate-level computation of nbti-induced. **18th IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems**, 2015. Citado na página 26.
- KRISHNAN, A. T. et al. Negative bias temperature instability mechanism: The role of molecular hydrogen. **Applied Physics Letters**, AIP Publishing, v. 88, n. 15, p. 153518, 2006. Citado na página 36.
- MARTINS, C. V. et al. Adaptive error-prediction flip-flop for performance failure prediction with aging sensors. In: IEEE. **VLSI Test Symposium (VTS), 2011 IEEE 29th**. [S.l.], 2011. p. 203–208. Citado 11 vezes nas páginas 24, 40, 45, 46, 47, 48, 49, 56, 57, 58 e 59.
- MARWEDEL, P. **Embedded system design: Embedded systems foundations of cyber-physical systems**. [S.l.]: Springer Science & Business Media, 2010. Citado na página 53.

- MINAYA, H. L. V. Reliability enhancement of nanometer-scale digital circuits. Instituto Nacional de Astrofísica, Óptica y Electrónica, 2014. Citado na página 40.
- PALERMO, N. et al. Rejuvenation of nanoscale logic at nbt-critical paths using evolutionary tpg. **Test Symposium (LATS)**, 2015. Citado na página 26.
- PHILIPS. 74hc/hct181 4-bit arithmetic logic unit. **Datasheet**, 1998. Citado na página 62.
- SEDRA, A. S.; SMITH, K. C. **Microeletrônica, 5a edição**. [S.l.]: Editora Pearson, 2004. Citado 5 vezes nas páginas 28, 29, 31, 32 e 34.
- STMICROELECTRONICS. 10v version 4.1 standard cell library. **User Manual and Databook**, 2008. Citado 2 vezes nas páginas 56 e 71.
- TSCHANZ, J. et al. Adaptive frequency and biasing techniques for tolerance to dynamic temperature-voltage variations and aging. In: IEEE. **Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International**. [S.l.], 2007. p. 292–604. Citado 3 vezes nas páginas 49, 51 e 52.
- VAZQUEZ, J. C. et al. Predictive error detection by on-line aging monitoring. In: IEEE. **On-Line Testing Symposium (IOLTS), 2010 IEEE 16th International**. [S.l.], 2010. p. 9–14. Citado 5 vezes nas páginas 40, 44, 45, 46 e 49.
- WANG, L.-T.; WU, C.-W.; WEN, X. **VLSI test principles and architectures: design for testability**. [S.l.]: Academic Press, 2006. Citado na página 35.

Parte II

Apêndices

A ARTIGOS PUBLICADOS

Neste item será apresentado os artigos publicados nos congressos e revistas, durante o período cursado no Curso de Mestrado:

COPETTI, T. et al. NBTI-Aware Design of Integrated Circuits: A Hardware-Basead Approach. **Test Symposium (LATS), 2015**

CERATTI, A. et al. An On-Chip Sensor to Monitor NBTI Effects in SRAMs. **Journal of Electronic Testing (Dordrecht. On-line)**, v. 30, p. 159-169, 2014.

KOSTIN, S. et al. Hierarchical Identification of NBTI- Critical Gates in Nanoscale Logic. **In: Test Workshop (LATW), 15th IEEE Latin-American**, 2014, Fortaleza, Brazil.

PALERMO, N. et al. Rejuvenation of Nanoscale Logic at NBTI-Critical Paths Using Evolutionary TPG. **In: Test Symposium (LATS), 16th IEEE Latin-American**, 2015, Puerto Vallarta, Mexico.

KOSTIN, S. et al. SPICE-Inspired Fast Gate-Level Computation of NBTI-induced. **18th IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems**, 2015, Belgadre, Serbia.