

FACULDADE DE ENGENHARIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA
SISTEMAS DE COMPUTAÇÃO

MARCO TÚLIO GONÇALVES MARTINS

**AVALIAÇÃO DE DEFEITOS RESISTIVOS DE MANUFATURA EM SRAMS FRENTE AO
FENÔMENO DE NBTI**

Porto Alegre

2016

PÓS-GRADUAÇÃO - *STRICTO SENSU*



Pontifícia Universidade Católica
do Rio Grande do Sul

Marco Túlio Gonçalves Martins

Avaliação de Defeitos Resistivos de Manufatura em SRAMs Frente ao Fenômeno de NBTI

Porto Alegre - RS, Brasil

2016

Ficha Catalográfica

M386 Martins, Marco Túlio Gonçalves

Avaliação de Defeitos Resistivos de Manufatura em SRAMs Frente ao Fenômeno de NBTI / Marco Túlio Gonçalves Martins . – 2016.

84 f.

Dissertação (Mestrado) – Programa de Pós-Graduação em Engenharia Elétrica, PUCRS.

Orientadora: Profa. Dra. Leticia Maria Bolzani Poeehls.

1. SRAMs. 2. Defeitos Resistivos. 3. NBTI. 4. Resistive-Open Defects. 5. Resistive-Bridge Defects. I. Poeehls, Leticia Maria Bolzani. II. Título.

Marco Túlio Gonçalves Martins

Avaliação de Defeitos Resistivos de Manufatura em SRAMs Frente ao Fenômeno de NBTI

Dissertação de mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Pontifícia Universidade do Rio Grande do Sul, como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: SRAMs, Defeitos resistivos e NBTI.

Linha de Pesquisa: Sistemas Computacionais.

Pontifícia Universidade Católica do Rio Grande do Sul – PUCRS

Faculdade de Engenharia

Programa de Pós-Graduação em Engenharia Elétrica

Orientadora: Prof. Ph.D. Leticia Maria Bolzani Poeehls

Porto Alegre - RS, Brasil

2016



Pontifícia Universidade Católica do Rio Grande do Sul

FACULDADE DE ENGENHARIA

PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

AVALIAÇÃO DE DEFEITOS RESISTIVOS DE MANUFATURA EM SRAMS FRENTE AO FENÔMENO DE NBTI

CANDIDATO: MARCO TÚLIO GONÇALVES MARTINS

Esta Dissertação de Mestrado foi julgada para obtenção do título de MESTRE EM ENGENHARIA ELÉTRICA e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Pontifícia Universidade Católica do Rio Grande do Sul.



DRA. LETÍCIA MARIA BOLZANI POEHLIS - ORIENTADORA

BANCA EXAMINADORA



**DRA. CRISTINA MEINHARDT - PROGRAMA DE PÓS-GRADUAÇÃO EM COMPUTAÇÃO
- PPGCOMP - FURG**



DR. FABIAN LUIS VARGAS - PPGEÉ - FENG - PUCRS

PUCRS

Campus Central

Av. Ipiranga, 6681 - Prédio 30 - Sala 103 - CEP: 90619-900

Telefone: (51) 3320.3540 - Fax: (51) 3320.3625

E-mail: engenharia.pg.eletrica@pucrs.br

www.pucrs.br/feng

Resumo

Com o avanço tecnológico e a miniaturização da tecnologia CMOS, garantir a confiabilidade durante a vida útil de Circuitos Integrados (CI) tem se tornado um ponto extremamente complexo e importante para aplicações consideradas críticas. Muitos são os benefícios que esses avanços trouxeram, como aumento do desempenho, frequência de operação, CIs com capacidade para novas e mais complexas funcionalidades entre outros. Entretanto, com o aumento do número de interconexões e densidade dos *System-on-chip* (SoC) novos desafios surgiram e necessitam ser solucionados para que estes avanços possam continuar.

Avanços tecnológicos possibilitaram a fabricação de componentes com uma maior densidade de transistores em uma pequena área de silício, tornando-se um ponto crítico para o teste e análise da confiabilidade após sua fabricação, uma vez que esse processo de fabricação gera novos tipos de defeitos. Neste sentido, defeitos do tipo *resistive-open* e *resistive-bridge* aparecem como os mais prováveis. Esses defeitos ocorrem devido a pequenas mudanças geométricas das células e podem causar falhas estáticas, bem como falhas dinâmicas. Da mesma forma, fenômenos como *Negative Bias Temperature Instability* (NBTI), *Positive Bias Temperature Instability* (PBTI), *Hot Carrier Injection* (HCI) e *Electromagnetic Interference* (EMI) representam importantes desafios que obrigatoriamente devem ser tratados desde a fase inicial de projeto de CIs, bem como durante toda a sua vida útil. Assim, compreender esses fenômenos e como os mesmos afetam tecnologias abaixo de 65nm é considerado fundamental a fim de garantir a confiabilidade exigida para aplicações consideradas críticas.

Neste contexto, esse trabalho visa avaliar o impacto de defeitos resistivos do tipo *resistive-open* e *resistive-bridge* nas células de memória do tipo 6T, que passaram nos testes de manufatura, mas que, ao longo dos anos manifestaram falha devido a presença do fenômeno de NBTI. Esses defeitos foram modelados através da inserção de resistências em determinados pontos da célula de memória.

Foi observado que defeitos do tipo *resistive-open* e *resistive-bridge* quando presentes entre os inversores de uma célula de memória e não detectados durante os testes de manufatura, resultaram em falha nas operações de leitura da célula ao longo dos anos quando na presença de NBTI. Essa falha apresenta-se inicialmente com um comportamento dinâmico e, de acordo com o envelhecimento da célula, passa a comporta-se como estática. Essa situação compromete a confiabilidade da célula, uma vez que o tempo de vida estimado da célula será inferior ao projetado.

Palavras-chaves: SRAMs; Defeitos Resistivos; NBTI.

Abstract

With advances in technology and miniaturization of CMOS, reliability during the life cycle of Integrated Circuit (IC) becomes a complex concern for critical applications. Miniaturization brings many benefits as high performance, power consumption and increase number of functions inside of IC. However, alongside with these, the benefits for increase of interconnections and density of such SoCs create new challenges for the industry.

Moreover, a chip needs to store more and more information, resulting in the fact that SRAM occupy the greatest part of SoCs. Consequently, technology advances need to increase the transistor's density, turning them a critical concern for testing and reliability to be analysed after manufacturing, since it creates new types of defects. Defects during manufacture process, as well as Negative Bias Temperature Instability (NBTI), Hot Carrier Injection (HCI) and Electromagnetic Interference (EMI) phenomena represent important challenges that must be addressed at an early stages and over the IC's life-time. In this context, understanding these phenomena and how they affect technologies below 65nm is essential to ensure reliability required for critical applications.

In addition, another source of defects is related to process variations during manufacture. Such defects, like resistive-open and resistive-bridge, appear as the most incident. These defects occur due to small geometric changes in the cell, resulting in static and dynamic failures. Depending on the size of defect they can be considered as weak-defects, which do not result in faulty behaviour at logic level and are not sensitized in conventional manufacturing tests. Note that dynamic faults are considered most responsible for test-escapes during manufacturing test.

Another important phenomena that affects the reliability of ICs over time is NBTI, causing the aging of SRAMs. In this context, this work proposes to analyze the impact of NBTI in SRAM cells with weak resistive-open and resistive-bridge defects that can escape manufacturing tests due to their dynamic behaviour but, with aging, may become dynamic faults over time.

Key-words: SRAMs; *Resistive-Open Defects*; *Resistive-Bridge Defects*; NBTI.

Lista de ilustrações

Figura 1 – <i>Bathtub Curve</i>	17
Figura 2 – Matriz de memória e decodificadores	18
Figura 3 – Célula SRAM tipo 6T	19
Figura 4 – Operação de leitura em uma célula 6T contendo '0'(a) e '1'(b).	19
Figura 5 – Variações no processo de decomposição e planarização	21
Figura 6 – Visão microscópica de um corte transversal de um IC revelando um defeito resistivo em uma interconexão entre o metal 5 e 6.	23
Figura 7 – <i>Weak Open Defect</i>	23
Figura 8 – Defeitos do tipo <i>resistive-bridge</i> entre dois nodos.	24
Figura 9 – Processo de degradação em transistor pMOS	25
Figura 10 – Modelamento Gráfico SNM.	27
Figura 11 – Modelamento Elétrico SNM.	28
Figura 12 – SNM célula nova em <i>hold</i>	29
Figura 13 – SNM célula nova em <i>read</i>	29
Figura 14 – Representação de SNM em uma célula: célula nova e em uma célula com 6 anos de idade.	30
Figura 15 – Fluxograma para detecção de falhas estáticas e dinâmicas.	33
Figura 16 – Fluxograma para análise dos defeitos resistivos frente a NBTI.	34
Figura 17 – Defeitos do tipo <i>resistive-open</i> dentro de uma célula de memória.	36
Figura 18 – Defeitos do tipo <i>resistive-bridge</i> dentro de uma célula de memória.	36
Figura 19 – Modelamento da fonte de envelhecimento em pMOS.	37
Figura 20 – Célula SRAM 6T estudo de caso	40
Figura 21 – Controle de sinais da memória durante o processo de escrita.	41
Figura 22 – Controle de sinais da memória durante o processo de leitura.	42
Figura 23 – Valor armazenado(V) na célula livre de defeitos ao longo dos anos (0 a 20 anos).	43
Figura 24 – Valor de saída na célula livre de defeitos ao longo dos anos (0 a 20 anos).	43
Figura 25 – Relação entre o tamanho do defeito <i>resistive-open</i> e as falhas observadas.	44
Figura 26 – Célula 6T com a presença do defeito <i>resistive-open</i> 1.	45
Figura 27 – Falha de TF 0 para 1 em uma célula com DF1 de 87k Ω	46
Figura 28 – Célula 6T com a presença do defeito <i>resistive-open</i> 2.	46
Figura 29 – Falha do tipo RDF em uma célula com DF2.	48
Figura 30 – Célula 6T com a presença do defeito <i>resistive-open</i> 3.	49
Figura 31 – Falha do tipo RDF em uma célula com DF3.	50
Figura 32 – Célula 6T com a presença do defeito <i>resistive-open</i> 4.	51
Figura 33 – Célula 6T com a presença do defeito <i>resistive-open</i> 5.	51

Figura 34 – Falha do tipo TF em uma célula com DF5.	52
Figura 35 – Célula 6T com a presença do defeito <i>resistive-open</i> 6.	53
Figura 36 – Falha do tipo TF em uma célula com DF6.	53
Figura 37 – Relação entre o tamanho do defeito <i>resistive-bridge</i> e as falhas observadas.	54
Figura 38 – Célula 6T com a presença do defeito <i>resistive-bridge</i> 1.	55
Figura 39 – Falha do tipo NSF em uma célula afetado por DF1 de $30k\Omega$	55
Figura 40 – Falha do tipo IRF em uma célula afetado por DF1 de $90k\Omega$	56
Figura 41 – Célula 6T com a presença do defeito <i>resistive-bridge</i> 2.	56
Figura 42 – Falha do tipo SAF1 em uma célula afetado por DF2 de $10k\Omega$	57
Figura 43 – Falha do tipo RDF em uma célula afetado por DF2 de $70k\Omega$	57
Figura 44 – Falha do tipo dRDF em uma célula afetado por DF2 de $82k\Omega$	58
Figura 45 – Célula 6T com a presença do defeito <i>resistive-bridge</i> 3.	58
Figura 46 – Falha do tipo SAF1 em uma célula afetado por DF3 de $176k\Omega$	58
Figura 47 – Falha do tipo RDF em uma célula afetado por DF3 de $178k\Omega$	59
Figura 48 – Célula 6T com a presença do defeito <i>resistive-bridge</i> 4.	59
Figura 49 – Falha do tipo SAF0 em uma célula afetado por DF4 de $11k\Omega$	60
Figura 50 – Falha do tipo SAF0 e IRF em uma célula afetado por DF4 de $13k\Omega$	61
Figura 51 – Célula com DF4 de $14k\Omega$, livre da falha de SAF0	61
Figura 52 – Comportamento instável da célula quando afetado por DF4 superior a $60k\Omega$	61
Figura 53 – Célula 6T com a presença do defeito <i>resistive-bridge</i> 5.	62
Figura 54 – Falha do tipo TF0 em uma célula afetado por DF5 de $4.6k\Omega$	62
Figura 55 – Falha do tipo TF1 em uma célula afetado por DF5 de $5.7k\Omega$	63
Figura 56 – Modelo de célula afetada pelo defeito DF5 <i>array</i>	63
Figura 57 – Falha do tipo TF1 em uma célula vizinha a célula afetada por DF5 de $3k\Omega$	64
Figura 58 – Comportamento falho: valor armazenado (V) na célula na presença de DF2 e NBTI	66
Figura 59 – Comportamento falho: valor de saída (V) na célula na presença de DF2 e NBTI	67
Figura 60 – Relação entre o tamanho do defeito e o comportamento observado considerando DF2 após 3 anos de envelhecimento.	67
Figura 61 – Comportamento falho: valor armazenado (V) na célula na presença de DF3 ($60k\Omega$) e NBTI	68
Figura 62 – Comportamento falho: valor de saída (V) na célula na presença de DF3 ($60k\Omega$) e NBTI	68
Figura 63 – Relação entre o tamanho do defeito e o comportamento observado considerando DF3 após 3 anos de envelhecimento.	69

Figura 64 – Comportamento falho: valor armazenado (V) na célula na presença de DF1 ($100k\Omega$) e NBTI	70
Figura 65 – Comportamento falho: valor armazenado (V) na célula na presença de DF1 ($75k\Omega$) e NBTI	72
Figura 66 – Comportamento falho: valor armazenado (V) na célula na presença de DF2 ($20k\Omega$) e NBTI	73
Figura 67 – Comportamento falho: valor armazenado (V) na célula na presença de DF3 ($176k\Omega$) e NBTI	73
Figura 68 – Comportamento falho: valor armazenado (V) na célula na presença de DF2 ($90k\Omega$) e NBTI	74
Figura 69 – Comportamento falho: valor armazenado (V) na célula na presença de DF3 ($240k\Omega$) e NBTI	75
Figura 70 – Comportamento falho: valor armazenado (V) na célula na presença de DF4 ($70k\Omega$) e NBTI	76
Figura 71 – Comportamento falho: valor armazenado (V) na célula na presença de DF5 e NBTI	78
Figura 72 – Comportamento falho: valor armazenado (V) na célula vizinha a célula com DF5 array de $3k\Omega$ e NBTI	78

Lista de tabelas

Tabela 1 – Mínimo valor que sensibiliza a falha em cada um dos defeitos <i>Resistive-Open</i>	65
Tabela 2 – Máximo valor que sensibiliza a falha em cada um dos defeitos <i>Resistive-Bridge</i>	71

Lista de abreviaturas e siglas

CI	Circuitos Integrados, p. 12
SRAMs	<i>Static Random Access Memories</i> , p. 12
SoCs	<i>System-on-chip</i> , p. 12
SIA	<i>Semiconductor Industry Association</i> , p. 12
NBTI	<i>Negative Bias Temperature Instability</i> , p. 12
PBTI	<i>Positive Bias Temperature Instability</i> , p. 12
HCI	<i>Hot Carrier Injection</i> , p. 12
EMI	<i>Electromagnetic Interference</i> , p. 12
V _{th}	tensão de <i>threshold</i> , p. 12
SNM	<i>Static Noise Margin</i> , p. 12
SEU	<i>Single Event Upsets</i> , p. 13
MTF	<i>Mean Time to Failure</i> , p. 14
SA	Sense Amplifiers, p. 17
PC	pre-charge, p. 17
WR	circuito de escrita, p. 17
RD	circuito de leitura, p. 17
BL	<i>bitline</i> , p. 18
$\bar{B}L$	<i>bitline</i> negado, p. 18
SAF	<i>Stuck-at Fault</i> , p. 20
TF	<i>Transition Fault</i> , p. 20
NSF	<i>No store fault</i> , p. 20
WRF	<i>Weak Read Fault</i> , p. 20
RDF	<i>Read Destructive Fault</i> , p. 20

dRDF	<i>Dynamic Read Destructive Fault</i> , p. 20
DRDF	<i>Deceptive Read Destructive Fault</i> , p. 20
dDRDF	<i>Dynamic Deceptive Read Destructive Fault</i> , p. 20
IRF	<i>Incorrect Read Fault</i> , p. 21
CFds	<i>Disturb Coupling Fault</i> , p. 21
RDF	<i>Random Dopant Fluctuation</i> , p. 22
Gm	<i>transconductance</i> , p. 25
BIST	<i>Build-In Self Test</i> , p. 26
RNM	<i>Read Noise Margin</i> , p. 28
SEU	<i>Single Event Upset</i> , p. 31

Sumário

1	INTRODUÇÃO	12
1.1	Motivação	13
1.2	Objetivo do Trabalho	14
1.3	Organização do Trabalho	14
2	FUNDAMENTOS TEÓRICOS	16
2.1	<i>Curva da Banheira</i>	16
2.2	Memória Estática SRAM	17
2.3	Defeitos, Falhas e Erros	19
2.3.1	Tipo de Falhas	20
2.4	Variações no Processo de Fabricação	21
2.5	Defeitos do Tipo Resistivo	22
2.5.1	Defeitos do Tipo <i>Resistive-Open</i>	22
2.5.2	Defeitos do Tipo <i>Resistive-bridge</i>	24
2.6	O Fenômeno de NBTI	24
2.7	Procedimento de Teste para Detecção de Defeitos Resistivos	26
2.8	Qualidade da célula – Método de Análise de SNM	27
2.9	Estado da Arte	30
3	AVALIAÇÃO PROPOSTA	32
3.1	Metodologia de Análise	34
3.2	Modelamento de Defeitos Resistivos	35
3.2.1	<i>Resistive-Open</i>	35
3.2.2	<i>Resistive-Bridge</i>	36
3.3	Modelamento de NBTI	37
4	VALIDAÇÃO	39
4.1	Estudo de Caso	39
4.2	Operações de Escrita/Leitura	41
4.3	Caracterização de NBTI em uma Célula SRAM	41
4.4	<i>Resistive-Open</i>	42
4.4.1	<i>Resistive-Open</i> : Defeito 1	45
4.4.2	<i>Resistive-Open</i> : Defeito 2	46
4.4.3	<i>Resistive-Open</i> : Defeito 3	47
4.4.4	<i>Resistive-Open</i> : Defeito 4	47
4.4.5	<i>Resistive-Open</i> : Defeito 5	47

4.4.6	<i>Resistive-Open</i> : Defeito 6	49
4.5	<i>Resistive-Bridge</i>	49
4.5.1	<i>Resistive-Bridge</i> : Defeito 1	51
4.5.2	<i>Resistive-Bridge</i> : Defeito 2	56
4.5.3	<i>Resistive-Bridge</i> : Defeito 3	57
4.5.4	<i>Resistive-Bridge</i> : Defeito 4	59
4.5.5	<i>Resistive-Bridge</i> : Defeito 5	60
4.5.5.1	<i>Resistive-Bridge</i> : Defeito 5 - <i>array</i>	62
5	RESULTADOS E DISCUSSÃO	65
5.1	NBTI e Defeitos do Tipo <i>Resistive-Open</i>	65
5.1.1	<i>Resistive-Open</i> DF2	66
5.1.2	<i>Resistive-Open</i> DF3	67
5.1.3	<i>Resistive-Opens</i> DF1 DF5 e DF6	69
5.2	NBTI e Defeitos do Tipo <i>Resistive-Bridge</i>	70
5.2.1	<i>Resistive-Bridge</i> DF1	71
5.2.2	<i>Resistive-Bridge</i> DF2 e DF3	72
5.2.3	<i>Resistive-Bridge</i> DF4	76
5.2.4	<i>Resistive-Bridge</i> DF5 e DF5 <i>array</i>	77
6	CONCLUSÃO	79
6.1	Trabalhos Futuros	80
	REFERÊNCIAS	81

1 Introdução

A miniaturização da tecnologia trouxe consigo grandes benefícios tais como os associados ao desempenho, escalabilidade e a capacidade de integração de sistemas em um único Circuitos Integrados (CI). O aumento na densidade de *Static Random Access Memories* (SRAMs) (SRAMs) tornou-se um importante desafio para o teste, uma vez que novos tipos de defeitos podem ocorrer durante o processo de manufatura. Em paralelo, necessitamos cada vez mais armazenar mais informações em um único CI, resultando no fato que SRAMs ocupam grande parte da área de *System-on-chip* (SoCs). De acordo com o *Roadmap* da *Semiconductor Industry Association* (SIA) esperava-se já em 2015 que 94% da área de silício de um CI fosse dedicado a memória (SIA, 2005).

Conforme anteriormente mencionado, muitas são as vantagens que a miniaturização dos transistores nos proporciona, contudo, a redução nas dimensões da tecnologia, gerou grandes desafios para o processo de fabricação de CI. Um exemplo disso está associado ao aumento do número de interconexões entre as células, tornando maior o número de possíveis defeitos do tipo resistivo. Esses defeitos, dependendo de sua dimensão são capazes de causar falhas estáticas ou até mesmo dinâmicas. Outro agravante para a confiabilidade dos dispositivos é o seu envelhecimento ao longo de sua vida útil. Alguns dos principais causadores deste envelhecimento são variações físicas como: *Negative Bias Temperature Instability* (NBTI), *Positive Bias Temperature Instability* (PBTI), *Hot Carrier Injection* (HCI) ou *Electromagnetic Interference* (EMI).

Confiabilidade é definida como a habilidade de um dispositivo em atender as funções requeridas sobre condições estabelecidas por um período de tempo específico (MINAYA, 2014). O NBTI é considerado uma das fontes mais relevantes que afetam a confiabilidade de um sistema, uma vez que causa degradação do seu desempenho temporal, *delay* do dispositivo ao longo de sua vida útil, devido ao aumento da tensão de *threshold* (V_{th}) dos transistores pMOS, resultando em uma redução da corrente e da margem de ruído estático - *Static Noise Margin* (SNM).

Variações no processo de fabricação devido ao aumento do número de transistores e de interconexões são outros fatores que influenciam na confiabilidade de CIs. Defeitos tem sua origem nas imperfeições desse processo, podendo resultar em defeitos do tipo *resistive-open* e *resistive-bridge*. Esses defeitos podem não ser detectados em testes de manufatura, dependendo da dimensão dos mesmos. Basicamente, esses tipos de defeitos podem não ser detectados através de metodologias de teste de manufatura tradicionais, uma vez que dependendo das suas dimensões podem não gerar falhas que, propagam-se à nível lógico. Em adicional, esses defeitos podem eventualmente gerar falhas dinâmicas.

Entende-se por falha dinâmica falhas que exigem duas ou mais operações contínuas *At Speed* para a sua sensibilização a nível lógico (DUBEY; GARG; MAHAJAN, 2010).

Defeito do tipo *resistive-open* são definidos como defeitos resistivos entre dois nodos de um circuito que deveriam estar conectados (LI; TSENG; MCCLUSKEY, 2001). De acordo com (NEEDHAM; PRUNTY; YEOH, 1998) defeitos do tipo *resistive-open* são as causas mais comuns de *test escapes* em tecnologias *deep-submicron*. Neste contexto, esses defeitos têm sido uma área de alto interesse, estando atualmente voltada para o estudo de defeitos classificados como *weak resistive-open*. Outro ponto importante é a distribuição desses defeitos, uma vez que podem apresentar correlação com o número de falhas dinâmicas (DUBEY; GARG; MAHAJAN, 2010). Conforme anteriormente mencionado, falhas dinâmicas são falhas que requerem um determinado número de operações em cada célula de memória para que possam ser sensibilizadas, tornando-se um grande desafio para a confiabilidade de SRAMs durante o seu ciclo de vida.

Defeito do tipo *resistive-bridge* é definido como um defeito causado devido ao surgimento de uma interconexão entre dois nodos que supostamente não deveria existir. Os principais trabalhos relacionados a defeitos resistivos são ligados a defeitos do tipo *open*. No trabalho apresentado em (FONSECA et al., 2012) defeitos do tipo *resistive-bridge* mostrou ser mais sensível em tecnologias mais recentes e sob condições de baixas temperaturas, baixas tensão e alta densidade são as condições que aumentam o alcance deste tipo de defeito.

Neste contexto, este trabalho propõem analisar o impacto do NBTI durante o tempo de vida útil de SRAMs que tenham sido afetadas por algum desvio da sua arquitetura nominal, causado devido a variações no processo de fabricação. Em mais detalhes, este trabalho propõem uma análise do impacto de NBTI para defeitos do tipo *resistive-open* e *resistive-bridge* que possam ter escapado durante o teste de manufatura. Defeitos não detectados em testes de manufatura, quando expostos ao fenómeno de NBTI podem causar falhas ao longo da vida útil das células SRAMs, consequentemente diminuindo a sua confiabilidade.

1.1 Motivação

A maior motivação para a realização deste trabalho está no estudo da confiabilidade de SRAMs ao longo de sua vida útil quando afetadas por defeitos resistivos que não foram detectados durante o processo de manufatura. Alguns trabalhos desenvolvidos estudam o impacto de defeitos resistivos em memórias SRAMs devido a diferentes fatores, alguns deles voltados apenas para a análise de defeitos *resistive-open* e *resistive-bridge* e o seu impacto frente a variações no processo de fabricação (VATAJELU et al., 2013) (ZHONG et al., 2011) e outros frente à análise do impacto de *Single Event Upsets* (SEU)

(MEDEIROS, 2015). Contudo, nenhum trabalho foi realizado voltado a análise do impacto de ambos defeitos ao longo da vida útil de uma célula de SRAM quando estão sob os efeitos de NBTI. Neste contexto, este trabalho visa concentrar-se nesta análise e no seus impactos para a confiabilidade da célula de memória.

1.2 Objetivo do Trabalho

O objetivo principal desta dissertação de mestrado é desenvolver uma metodologia capaz de avaliar a confiabilidade de ICs, na presença de defeitos do tipo *resistive-open* e *resistive-bridge*, sob efeito do fenômeno de NBTI. Atualmente, a presença destes defeitos são bastante comuns em CIs devido as variações no processo de fabricação. O NBTI gera um aumento da tensão de *threshold* (V_{th}) dos transistores do tipo pMOS de acordo com o seu *workload*, causando o seu envelhecimento.

Ao longo da vida útil do dispositivos, transistores passam a envelhecer devido ao *stress* de uso, quando expostos ao fenômeno de NBTI. Com o aumento do SNM e a variação da V_{th} para a troca de valor lógico dos transistores pMOS, o CI passa a falhar com uma maior frequência contribuindo para a perda na confiabilidade e redução do *Mean Time to Failure* (MTF). Em adicional a este processo, falhas causadas no CI devido a esses pequenos defeitos resistivos tornam-se mais evidentes, uma vez que os mesmos podem passar de defeitos dinâmicos para estáticos na célula.

Um dispositivo que após o processo de validação, apresente defeitos do tipo *resistive-bridge* ou *resistive-open* (não detectado), quando sob o efeito de NBTI podem agravar fortemente a confiabilidade do CI. Com base nesses defeitos, este trabalho tem como objetivo principal poder avaliar a confiabilidade de células SRAMs, sobre os efeitos do envelhecimento e que tenham suas células com defeitos não detectados durante o teste de manufatura.

Para o desenvolvimento da técnica e análise dos efeitos dos problemas apresentados, será utilizado como base, uma memória SRAM 6T. O objetivo é utilizar um sistema que possa ter os requisitos básicos para testes e análise. Com base neste sistema, serão inseridos os defeitos resistivos descritos em (DILILLO et al., 2005) e (FONSECA et al., 2012), seguido da análise do seu impacto ao longo dos anos. Espera-se ao final deste trabalho, poder analisar o quanto esses defeitos em conjunto com o fenômeno de NBTI afetam a confiabilidade das SRAMs.

1.3 Organização do Trabalho

Este manuscrito está organizado da seguinte forma:

- **Capítulo 2** - Neste capítulo serão abordados os fundamentos teóricos para o desenvolvimento deste trabalho;
- **Capítulo 3** - Neste capítulo será apresentada a proposta deste trabalho para o desenvolvimento da metodologia proposta;
- **Capítulo 4** - Neste capítulo será descrita a metodologia utilizada para validação da metodologia;
- **Capítulo 5** - Neste capítulo serão descritos os resultados obtidos;
- **Capítulo 6** - Neste capítulo serão apresentadas as considerações finais e a conclusão da metodologia descrita nos capítulos anteriores;
- **Capítulo 7** - Neste capítulo será brevemente apresentado os futuros trabalhos.

2 Fundamentos Teóricos

Com a tecnologia CMOS evoluindo e a sua miniaturização, uma série de dificuldades foram surgindo e sendo solucionadas para que pudéssemos chegar ao cenário atual. Como exemplos de soluções para esses avanços, podemos citar o aprimoramento dos processos de fabricação, a redução da tensão necessária para o funcionamento dos CIs, o particionamento da arquitetura interna de um CI, o processo de roteamento dos transistores, entre outros.

Entretanto, observa-se que um dos maiores desafios associados à miniaturização da tecnologia está relacionado à confiabilidade dos semicondutores durante a sua vida útil. A presença de pequenos defeitos durante o processo de fabricação, bem como os fenômenos de NBTI/PBTI, EMI e HCI podem afetar a confiabilidade de CIs ao longo de sua vida útil. Neste contexto, apenas é possível estimar o comportamento do CIs com base em determinados estímulos que são aplicados tendo como objetivo avaliar a sua confiabilidade nos seguintes aspectos (MINAYA, 2014):

- **Failure Rate Function** – defined as the rate of failures, that occur per time (t) given below, out of all sample performing normally until the time (t) passes after particular device, part, or component is being used.
- **Time To Failure** – defined as the time until failure develops in components (devices, parts, and elements) from when they commence to be used.
- **Mean Time To Failure** – defined as the average time for non-reparable components to fail.

2.1 Curva da Banheira

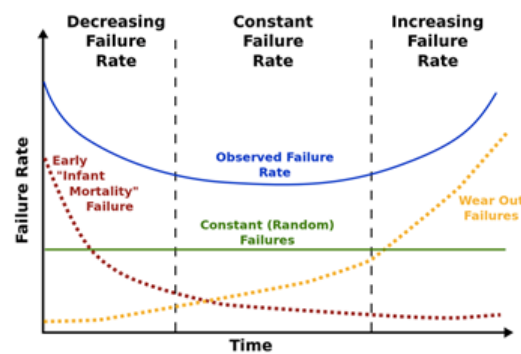
Ao analisarmos a confiabilidade de um CI ao longo de sua vida útil, utilizamos a “curva da banheira” (*bathtub curve*), uma metodologia extremamente aceita para representar o seu comportamento com o passar do tempo, sendo: alto índice de falhas no início (*early phase* ou *Infant Mortality*), comportamento moderado durante grande parte do tempo (*Useful life phase*), e aumento do índice de falhas ao envelhecer (*Wear-out failures phase*), Figure 1.

- **Early phase** – nesta fase, durante a etapa de *burn-in*, o CI é submetido a uma combinação de testes de manufatura, altas temperaturas, e potencia (BUSHNELL;

AGRAWAL, 2000). Assim, são detectadas muitas das falhas nos dispositivos providas durante o processo de fabricação e que causam a mortalidade infantil do CI;

- **Useful life phase** – após o dispositivo sobreviver ao processo de “mortalidade infantil”. Eventuais falhas podem surgir durante este período, provocadas devido a *soft-erros*. Contudo, a taxa em que ocorre será uma constante;
- **Wear-out failures phase** – a degradação do dispositivo devido ao seu funcionamento ao longo do período, resulta em falhas que podem variar de acordo com a forma de stress que o CI foi submetido ao longo do tempo, num processo de envelhecimento. Nesta fase, a taxa de ocorrência de falhas tende a aumentar devido a fenômenos como NBTI/PBTI, *oxide wear-out*, HCI, entre outros.

Figura 1 – *Bathtub Curve*



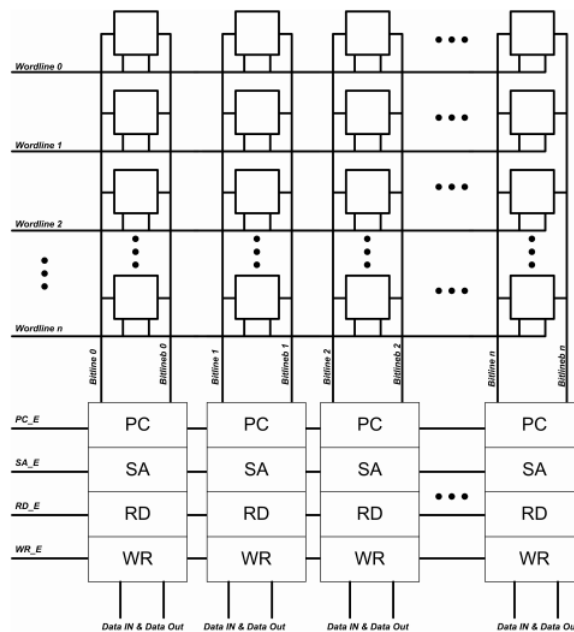
Obtida em (CUI, 2013)

2.2 Memória Estática SRAM

Memória Estática de Acesso Randômico (*Static Random Access Memory - SRAM*) é formada por uma matriz de células e decodificadores de forma que mantem o seu valor armazenado de forma estática. Sendo a matriz de célula para armazenar um dado em qualquer posição de suas linhas e colunas e os decodificadores para dar acesso aos endereços desta matriz, Figura 2. De maneira simplificada, além das células que compõem o *bit* com o dado armazenado, cada coluna (*bitline*) possui também o amplificador de descarga (Sense Amplifiers (SA)), o circuito de pré-carga (pre-charge (PC)), o circuito de escrita (WR) e o circuito de leitura (RD), onde:

- **Pré-carga (PC)** – possui a funcionalidade de remover as diferenças de tensão nas colunas, pré carregando os *bitline*. É o primeiro estágio de um processo de leitura ou escrita.

Figura 2 – Matriz de memória e decodificadores

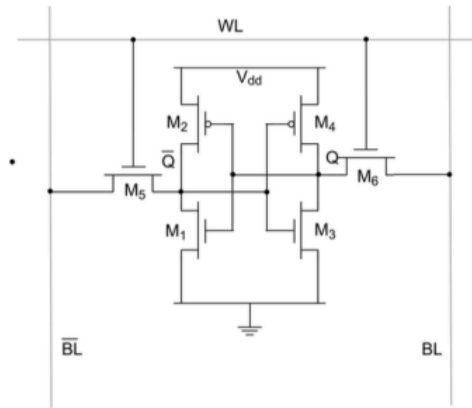


- **Amplificador de sinal (SA)** – possui a funcionalidade de amplificar a diferença de tensão tanto na leitura como na escrita de uma célula. Sendo a segunda etapa de uma operação na célula.
- **Circuito de escrita (WR)** – possui a funcionalidade de receber o dado a ser escrito na célula e atuar sobre os *bitlines* de acordo com o valor lógico a ser armazenado.
- **Circuito de leitura (RD)** – possui a funcionalidade de ler a diferença de tensão entre os *bitlines* de determinada célula e enviar os dados para o meio externo.

As trilhas de uma matriz de memória são compostas por células, chamadas de *bitlines*, sendo organizadas em colunas chamadas de *wordlines*. Estas colunas determinam a largura dos dados podendo ser *8bits*, *16bits*, *32bit*, *etc.* Neste trabalho será utilizado as células de memórias do tipo 6T, conforme está ilustrado na Figura 3. Onde os transistores M1, M2, M3 e M4 formam dois inversores conectados inversamente entre eles, e os transistores M5 e M6 são conhecidos como de acessos, pois estão conectados entre o *bitline* (BL) e *bitline* negado (\bar{BL}). O valor que fica armazenado na célula corresponde a diferença de tensão entre as saídas dos inversores Q e \bar{Q} .

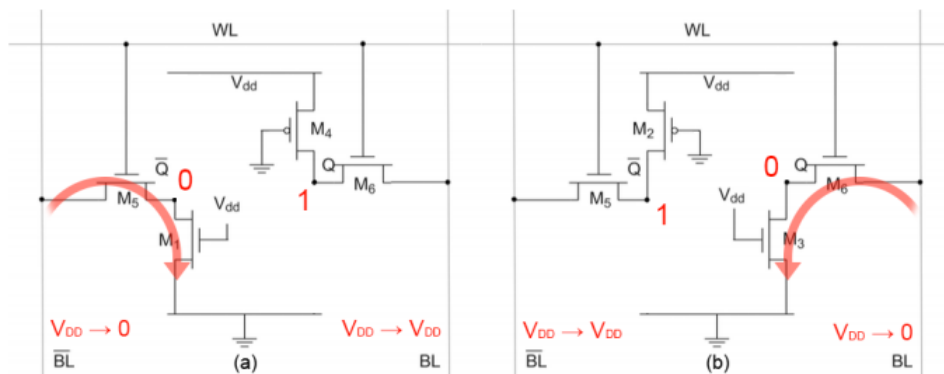
Em uma operação de escrita, o circuito de PC coloca BL e \bar{BL} em ativo alto, desta forma quando o WL for habilitado, a diferença de tensão que o circuito de escrita cria nas *bitlines* para o valor a ser armazenado é amplificado por SA e drenado para dentro da célula.

Figura 3 – Célula SRAM tipo 6T



Em uma operação de leitura, o circuito de PC é habilitado, em seguida WL habilita os transistores M5 e M6, levando o valor armazenado em Q e \bar{Q} para a *bitline* de acordo com o valor lógico da célula. Esta diferença é amplificada por SA possibilitando o circuito de leitura ler a informação armazenada na célula. Se a célula estiver armazenando '1', os circuitos inversores estarão ($Q = '1'$ e $\bar{Q} = '0'$) e será descarregado para \bar{BL} pelos transistores M1 e M5. No oposto, quando o valor na célula for '0' ($Q = '0'$ e $\bar{Q} = '1'$), seu valor será drenado para BL através dos transistores M3 e M6 Figura 4 (CARDOSO, 2015).

Figura 4 – Operação de leitura em uma célula 6T contendo '0'(a) e '1'(b).



2.3 Defeitos, Falhas e Erros

Os seguintes termos defeitos, falhas e erros serão utilizados neste trabalho de acordo com (BUSHNELL; AGRAWAL, 2000), onde:

- **Defeito** (*defect*) - *A defect in an electronic system is the unintended difference between the implemented hardware and its intended design.*
- **Falha** (*fault*) - *A representation of a "defect" at the abstracted function level is called a fault.*
- **Erro** (*error*) - *A wrong output signal produced by a defective system is called an error. An error is an "effect" whose cause is some "defect".*

2.3.1 Tipo de Falhas

Em memórias SRAMs existem diversas falhas funcionais que podem ser causadas devido a falhas durante o processo de fabricação. Falhas funcionais são aquelas que afetam o dado em uma operação de acesso a memória (GOOR; AL-ARS, 2000). Dependendo do seu tamanho e localização podem gerar falhas estáticas (apenas uma operação) ou dinâmicas (duas ou mais operações). Dentre essas falhas, os possíveis modelos de falhas que podem ser causadas devido a presença de defeitos resistivos na célula estão descritos abaixo, tendo como base (FONSECA et al., 2012) e (DILILLO et al., 2005).

- ***Stuck-at Fault* (SAF)**: quando a célula armazena apenas o mesmo valor. Podendo ficar sempre em 0 (SAF0) ou em 1 (SAF1).
- ***Transition Fault* (TF)**: quando a célula é capaz de armazenar um determinado valor lógico, contudo falha durante a transição de valores (1-0 ou 0-1) nas operações de escrita na célula.
- ***No store fault* (NSF)**: quando a célula não consegue armazenar um valor lógico entre os nodos S e SB.
- ***Weak Read Fault* (WRF)**: quando o resultado da operação de leitura na célula gera uma diferença de tensão entre BL e BLB abaixo do limiar para que o amplificador de sinal possa gerar a saída correta (10% do valor de VDD).
- ***Read Destructive Fault* (RDF)**: quando uma operação de leitura na célula altera o valor e gera um valor lógico incorreto na saída.
- ***Dynamic Read Destructive Fault* (dRDF)**: semelhante a RDF porém de forma dinâmica.
- ***Deceptive Read Destructive Fault* (DRDF)**: retorna o valor invertido durante a leitura na célula, porém retorna o valor correto;
- ***Dynamic Deceptive Read Destructive Fault* (dDRDF)**: semelhante a DRDF porém de forma dinâmica.

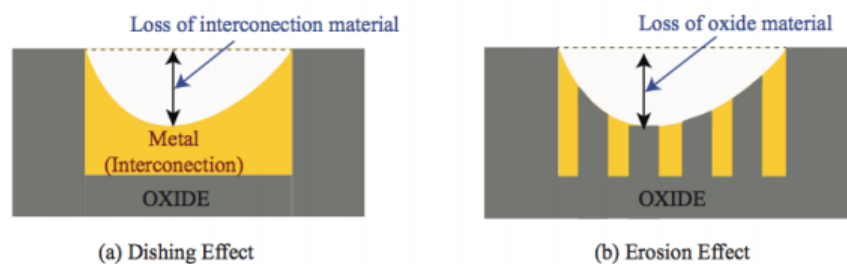
- **Incorrect Read Fault (IRF)**: quando uma operação de leitura na célula retorna um valor incorreto, contudo o valor correto continua armazenado na célula.
- **Disturb Coupling Fault (CFds)**: quando uma operação de leitura ou escrita força um outra célula a um valor lógico.

2.4 Variações no Processo de Fabricação

Com a redução no tamanho dos transistores e no aumento das interconexões, um dos grandes desafios é a fabricação e impressão do CI no *die*. Durante esse processo, alguns parâmetros são extremamente difíceis de controlar, como as dimensões do circuito, que podem sofrer alterações do tipo: tamanho do *gate* (L), largura (W), espessura (T_{ox}), etc. As principais fontes de variações no processo de fabricação são (MINAYA, 2014):

- **Sub-wavelength lithography** – para a fabricação de circuitos integrados, é utilizado processo de *photo-lithographic* no *wafer*, utilizando espectros ultravioletas de luz. Porém os transistores são fabricados com tamanhos inferiores ao tamanho da onda de luz, através de mascaras que criam *subwavelength*, podendo neste processo causar distorções devido a difração ótica. Resultando em variações na estrutura geométrica dos componentes.
- **Decomposição do material e planarização** – o uso de depósito de metal e planarização para poder fabricar circuitos com maior densidade podem causar uma série de problemas. Durante o depósito de metal, algumas vias podem ficar parcialmente vazias, e na planarização, podem surgir defeitos durante os processos de *dishing* (metal podem ser posto fora da linha) e erosão (linhas podem ser polidas mais rápidas que outras), Figura 5.

Figura 5 – Variações no processo de decomposição e planarização



Obtida em (MINAYA, 2014)

- **Implantação de dopantes** – conhecido como *Random Dopant Fluctuation* (RDF), resulta em variações no número de átomos na estrutura. Estas variações afetam a tensão de *threshold* do transistor.

Estas variações no processo de manufatura afetam o desempenho do circuito. Podendo impactar em: *delay* do CI, devido a alguns transistores necessitarem de maior V_{th} , consumo de potência, devido a propagação da corrente de fuga e margem de ruído, devido a carga e descarga torna-lo mais suscetível a ruído.

Como resultado final deste processo, alguns defeitos são formados no CI e não possuem interferência direta em seu funcionamento. Defeitos como *resistive-bridge defects* e *resistive-open defects* podem existir, contudo por serem pequenos acabam não sendo facilmente detectáveis ou ocorrerem apenas em casos onde a célula é estressada, ou seja, como falhas dinâmicas. Porém, com o envelhecimento do CI devido a fenômenos como NBTI, estes defeitos podem se manifestar com maior frequência, e em alguns casos, passar de falhas dinâmicas para falhas estáticas no CI.

2.5 Defeitos do Tipo Resistivo

Como detalhado na seção anterior, existem diversos fatores que podem interferir na confiabilidade do CI durante o processo de fabricação. Como escopo deste trabalho, dois destes defeitos serão abordados: *resistive-open defects* e *resistive-bridge defects*. Ambos defeitos resistivos serão analisados tendo como base uma célula de memória 6T.

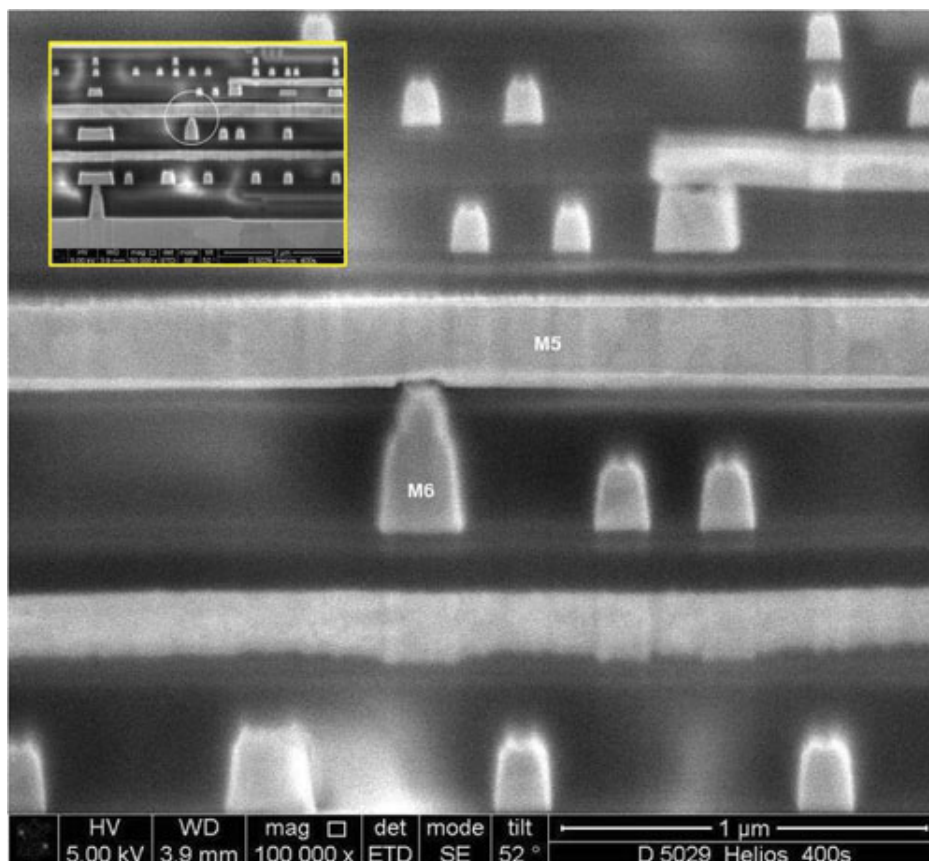
2.5.1 Defeitos do Tipo *Resistive-Open*

Defeitos do tipo *resistive-open* são formados por uma falha no processo de fabricação do CI, onde é criado um mal contato devido a imperfeições ou inconsistência entre dois nodos das camadas de metais, ficando conectados da forma que não foram projetados, conforme está ilustrado entre os metais 5 e 6 da Figura 6.

Alguns defeitos *resistive-open* podem não ser detectados em testes de manufatura, quando forem considerados fracos, também conhecido como *weak open defect*. Defeitos do tipo *resistive-open* fracos, Figura 7, são aqueles que podem ser detectados apenas de em falhas funcionais dinâmica, sendo dRDF e dDRDF, e necessitem inúmeros acessos para que possam ser sensibilizados.

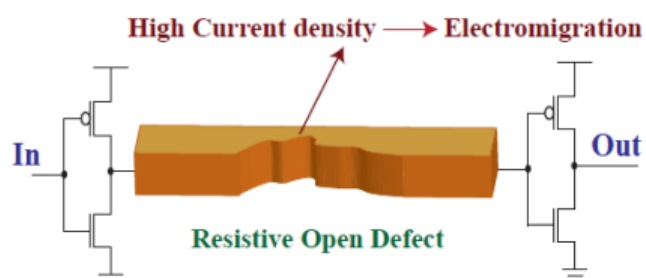
Para simular defeitos resistivos em um determinado nodo da célula são utilizados resistores. Estes resistores servem para aumentar a impedância em um ponto específico, onde em uma célula ideal, deveria ser nula.

Figura 6 – Visão microscópica de um corte transversal de um IC revelando um defeito resistivo em uma interconexão entre o metal 5 e 6.



Fonte: Obtida em (SWANSON; RENFREW, 2011)

Figura 7 – *Weak Open Defect*.

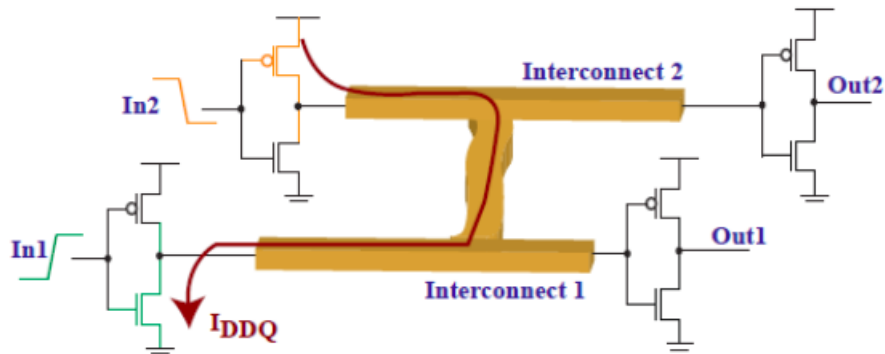


Obtida em (MINAYA, 2014)

2.5.2 Defeitos do Tipo *Resistive-bridge*

Semelhantemente a defeitos tipo *resistive-open*, *resistive-bridge* são gerados devido a defeitos no processo de fabricação dos CIs. Onde é criada uma conexão entre dois nodos de uma célula que não deveria existir, conforme Figura 8.

Figura 8 – Defeitos do tipo *resistive-bridge* entre dois nodos.



Obtida em (MINAYA, 2014)

Neste tipo de defeito, ao contrário de *resistive-open*, quando a ligação entre dois nodos geram uma resistência muito pequeno, o circuito será afetado por um atraso grande o suficiente para causar a falha na célula, sendo detectáveis em testes de manufatura convencionais. Contudo, quando a resistência entre os nodos for muito alta, a falha pode não ser observada na célula, não afetando o seu funcionamento. Onde altas resistências causam *weak-read-faults* e baixas resistências podem causar falhas do tipo SAF (FONSECA et al., 2010).

2.6 O Fenômeno de NBTI

A proporção do consumo de energia em dispositivos não tende a diminuir na mesma escala que ocorre com os transistores. Desta forma, quanto mais denso o CI e maior a frequência de operação, maior será a corrente, conseqüentemente, a temperatura irá aumentar (ABELLA; VERA; GONZALEZ, 2007). Altas temperaturas afetam tanto o desempenho, tornando-os mais lentos com o tempo, quanto o consumo de potência, uma vez que a potência de fuga tende a aumentar (FERRI et al., 2012), acelerando a degradação do sistema e encurtando o seu tempo de vida.

O fenômeno de NBTI afeta transistores do tipo pMOS, em particular degradando a sua tensão de *threshold*. Ou seja, ele aumenta o valor da V_{th} ao longo do tempo resultando numa variação dos parâmetros elétricos, como a corrente de condução (I_{drain}) ou a

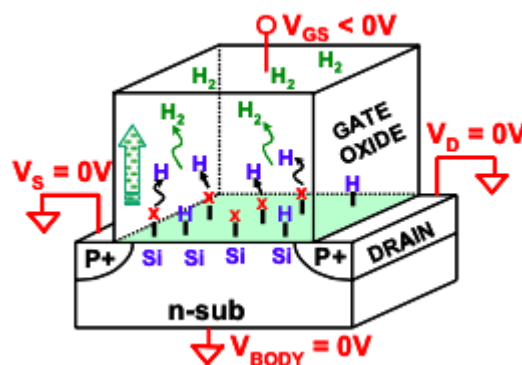
transconductance (Gm), resultando em uma degradação periódica do atraso do transistor pMOS, chamado de envelhecimento (*aging*).

Em tecnologias CMOS, NBTI ocorre quando é aplicado 0-lógico no *gate* do transistor pMOS, em altas temperaturas. Neste caso, ocorre um aumento na tensão de *threshold* (V_{th}) necessária para uma transição no transistor, exigindo mais tempo para que ele possa realizar a troca de estado, afetando assim o desempenho e a confiabilidade do sistema, além de uma possível falha do dispositivo. Os efeitos degradativos de NBTI são medidos através do SNM em memórias SRAM e pelo seu impacto temporal em circuitos digitais (RAMAKRISHNAN et al., 2007). Estudos revelam que a variação da V_{th} em SRAM é em torno de 10% a 15% por ano, impactando em uma degradação de SNM de aproximadamente 10% a cada 3 anos em escalas 100nm e 70nm (KUMAR; KIM; SAPATNEKAR, 2006). Em circuitos digitais os efeitos de NBTI causam uma degradação de aproximadamente 10% a cada 10 anos (PAUL et al., 2005).

Transistores nMOS também sofrem influências em temperaturas elevadas, conhecido como *Positive Bias Temperature Instability* (PBTI). Contudo, quando comparado com NBTI, seus efeitos são praticamente insignificantes (ABELLA; VERA; GONZALEZ, 2007).

Fisicamente, o fenômeno de NBTI ocorre quando as ligações de *SI – H* passam a se desestruturar durante o período de condução do transistor pMOS, entre o corpo do transistor (*SI*) e a camada de isolamento localizada entre o corpo e o *gate* (SiO_2) (KANG et al., 2007). Conforme está ilustrado na Figura 9, pode-se observar que algumas ligações *SI – H* foram afetadas, sendo os átomos de hidrogênio preenchidos por *x*, nestas circunstâncias, o valor da tensão de *threshold* é incrementado no transistor quando com um valor negativo for aplicado no *gate*.

Figura 9 – Processo de degradação em transistor pMOS



Obtida em (KANG et al., 2008)

É importante ressaltar que quando o transistor não está conduzindo, os átomos de hidrogênios retornam a sua posição original, resultando num processo de recuperação do transistor, conhecido como *annealing*. Nesta etapa, as ligações de $Si-H$ são recuperadas, restaurando o valor da tensão de *threshold* parcialmente para o seu valor original. Contudo, essa recuperação não é total, levando o transistor aos poucos para perda da sua capacidade de condução.

2.7 Procedimento de Teste para Detecção de Defeitos Resistivos

Conforme anteriormente mencionado, este trabalho tem como objetivo realizar uma análise do CI pós manufatura. Verificando possíveis defeitos e falhas que possam existir, provocadas devido a variabilidade no processo de fabricação. Podendo detectar CIs defeituosos, tanto na etapa de validação, utilizando métodos tradicionais, como analisar defeitos tipos SDD, que podem afetar a confiabilidade do CI ao longo de sua vida útil.

Testes de manufatura são executados para análise de erros de fabricação que poderão afetar a confiabilidade do CI, tais como *bridge defects* e *open defects* (*full-open defects*, e *weak open defects* ou *resistive open defects*) entre outros. Um dos testes básicos deste processo está na verificação de falhas lógicas (*logic faults testing*), verificando a existência de defeitos tais como *stuck-at*. Outro teste importante nesta etapa é a análise do consumo do circuito, que podem revelar pontos de defeitos resultantes do processo de fabricação. Contudo, durante essa etapa, alguns destes defeitos de fabricação, devido a variabilidade de processo, podem não ser detectados nos métodos tradicionais ou necessitam serem estressados até que a falha possa ser detectada (nos casos das falhas dinâmicas). Isto se dá, pois são extremamente pequenos e podem não afetar nos resultados dos testes (técnicas não possuem cobertura para esse tipo de defeito), porém estão lá, e em alguns casos podem levar o CI a possuir uma vida curta, por serem falhos.

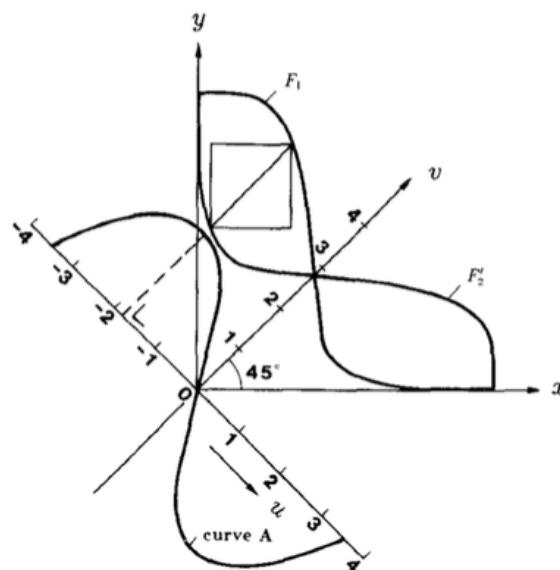
March Test é um dos testes mais conhecidos em *Build-In Self Test* (BIST) para análise de falhas estáticas. Esse tipo de teste tem como objetivo poder analisar a operação de uma determinada célula em modo funcional, ou seja, ao escrever um determinado valor em uma célula, seja possível lê-lo corretamente na saída. Para esse tipo de teste é necessário que em tempo de criação da memória seja inserido controladores de acesso que possibilitem o acesso a célula. Neste trabalho foram utilizados algoritmos de *March* que possibilitam executar $(w0r0w1r1)$, $(w0r0^n)$, e $(w0w1r1^n)$. Onde o algoritmo $(w0r0w1r1)$ corresponde ao processo de escrita do valor lógico '0', seguido de sua leitura, escrita do valor lógico '1', seguido de sua leitura; o algoritmos $(w0r0^n)$ corresponde a escrita do valor lógico '0' seguido de N leituras deste valor na célula e o algoritmo $(w0w1r1^n)$ correspondente a escrita do valor lógico '0', seguido pela escrita do valor lógico '1', finalizando com N leituras do valor lógico na célula.

2.8 Qualidade da célula – Método de Análise de SNM

Uma forma de analisar a qualidade de um célula é através do valor máximo de ruído que ela suporta antes que seu valor possa ser alterado, denominado métrica de SNM (LIST, 1986). SNM pode ser analisado em três formas, em uma operação de *write*, *read* ou em *hold*, onde: *read* e *hold* são medidos em Volts correspondente ao máximo valor DC que a célula suporta e *write* medido pelo valor mínimo de tensão nos *bitline* antes que o valor que tenha na célula seja alterado. Com o envelhecimento da célula, os SNM de leitura e armazenamento afetam o comportamento da célula negativamente devido a NBTI, já o de escrita é melhorada com o passar do tempo. Este comportamento ocorre pois com o envelhecimento, transistores pMOS se tornam mais rápidos durante a mudança de estado (CERATTI, 2012).

Para se obter a análise gráfica de SNM como ilustrado na Figura 10 em uma célula de memória 6T é necessário analisar a tensão dos inversores da célula de memória, ou seja os valores da tensão entre *bit* e *bitb* conforme Figura 17. Esse gráfico pode ser obtido através da inversão de dados dentro da célula, onde F_1 corresponde a tensão do inversor indo de ativo alto para baixo e F_2 ao contrário. A sobreposta das duas curvas formam o gráfico chamado de "butterfly", onde F_2 é rebatido, F'_2 . O ponto onde as duas curvas se cruzam é o ponto estável ou meta-estável. Dentro de cada parte podemos ter um quadrado onde o SNM corresponde ao valor de um dos seus lados.

Figura 10 – Modelamento Gráfico SNM.



Para a análise elétrica de SNM do modelo gráfico, o valor do inversor F_1 é modelado pela função $y = F_1$ e F'_2 por $y = F'_2$. Onde $F_1(x)$ pode ser obtido pelas Equações 1 e 2.

Colocando as duas equações no sistemas de coordenadas (u, v) em $y = F_1(x)$ obtemos a Equação 3.

$$x = \frac{1}{\sqrt{2}}u + \frac{1}{\sqrt{2}}v \quad (1)$$

$$y = -\frac{1}{\sqrt{2}}u + \frac{1}{\sqrt{2}}v \quad (2)$$

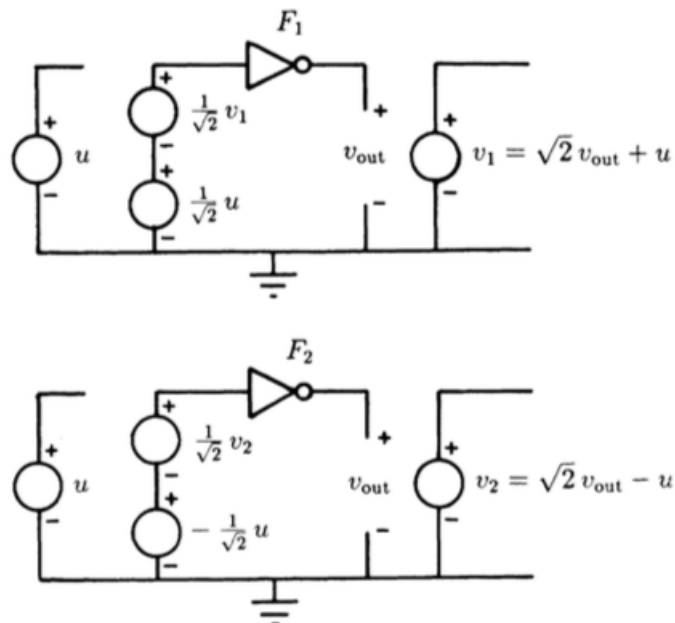
$$y = u + \sqrt{2}F_1\left(\frac{1}{\sqrt{2}}u + \frac{1}{\sqrt{2}}v\right) \quad (3)$$

Para obtermos F'_2 nas coordenadas (u, v) , rebatemos F_2 no eixo v e no mesmo processo que $F_1(X)$ obtemos F'_2 , como detalhado na equação 4.

$$y = -u + \sqrt{2}F_2\left(-\frac{1}{\sqrt{2}}u + \frac{1}{\sqrt{2}}v\right) \quad (4)$$

O circuito correspondentes as equações de $F_1(x)$ e $F'_2(x)$ estão detalhados na Figura 11 e foi simulado em HSPICE por (CERATTI, 2012) para obter os valores de SNM das células testadas quando em *Hold*. Para a análise de *Read Noise Margin* (RNM), os *bitlines* foram simulados com dois transistores nMOS inseridos com suas fontes ligadas as saídas dos inversores do circuito e suas portas sempre habilitadas e os drenos em duas fontes sempre ligadas.

Figura 11 – Modelamento Elétrico SNM.



O desenvolvimento deste trabalho teve como base os valores de NBTI obtidos por (CERATTI, 2012) onde as Figuras 12 e 13 correspondem a SNM em *hold* e em *read*. Nos gráficos é claramente observado a redução de capacidade da célula para ruído quando em *read*, ou seja, quanto mais envelhecido a célula, maior será a sua chance de inverter o seu valor em uma operação de leitura.

Figura 12 – SNM célula nova em *hold*.

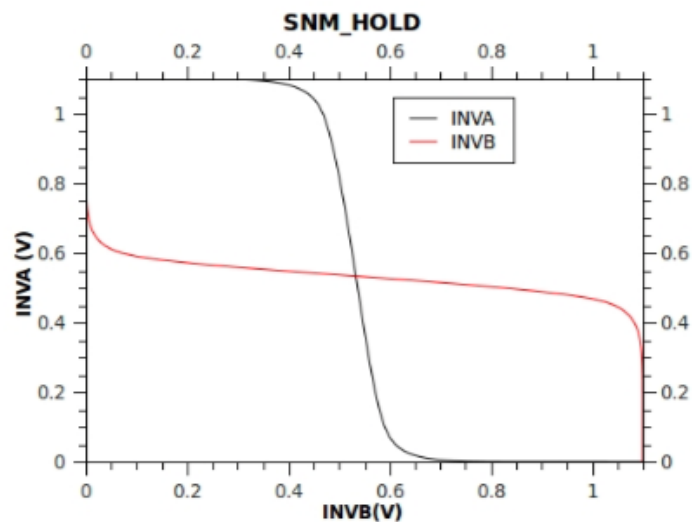
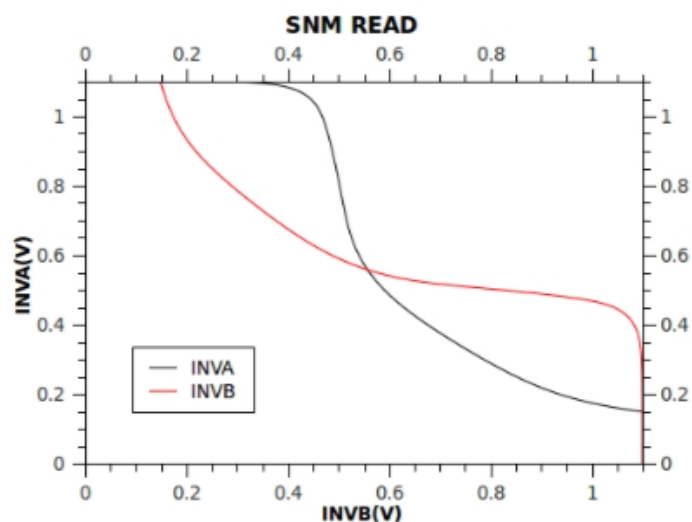


Figura 13 – SNM célula nova em *read*.



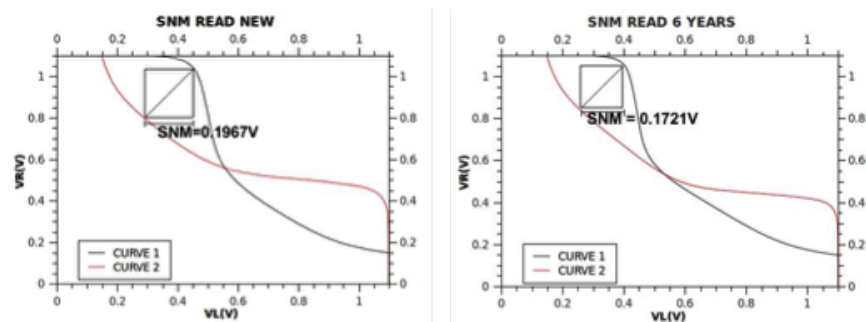
Durante o processo de leitura de uma célula, devemos levar em consideração o tamanho dos transistores de acesso nMOS, pois são eles os responsáveis em ligar os inver-

sores a saída do dado armazenado, criando uma corrente elétrica fluindo do *bitline* para fora.

Em NBTI, quando temos um envelhecimento no transistor pMOS, ele exigirá muito mais carga para que consiga colocar o transistor nMOS do inversor em condução, gerando um aumento na tensão do nó. Ou seja, a tensão entre os inversores com '1' e com '0' irá cair, e quanto menor esta diferença de tensão, menor o ruído necessário para alterar o valor lógico. Resultando em uma queda de instabilidade da célula.

Na Figura 14 são apresentados dois gráficos de análise de SNM em uma célula de memória SRAM 6T mapeado em uma tecnologia CMOS de 65nm. No primeiro gráfico temos uma célula de memória nova comparada com o segundo gráfico onde temos um envelhecimento de 6 anos na célula. Como pode ser observado na Figura, o envelhecimento da célula resultou em redução de SNM de 12,5% com relação a célula nova. Neste contexto, uma célula com 6 anos de idade pode sofrer por uma troca de valor na célula durante uma operação de leitura por qualquer ruído DC com valor equivalente a 0.1721V, enquanto em uma célula nova esse valor correspondia a 0.1967V (CERATTI et al., 2012).

Figura 14 – Representação de SNM em uma célula: célula nova e em uma célula com 6 anos de idade.



2.9 Estado da Arte

Neste trabalho será abordado os efeitos de NBTI frente a defeitos resistivos. Contudo, na literatura existem diversos estudos que abordam esses diferentes temas de forma separada. Nesta seção serão abordados diferentes trabalhos que envolvem defeitos resistivos frente a diferentes fenômenos e suas metodologias.

Em (VATAJELU et al., 2013) foi detalhado defeitos do tipo *resistive-open* frente a variabilidade de processo e falhas estáticas e dinâmicas, contudo sua abordagem é focada na verificação do impacto estático que estas falhas podem causar na memória quando não levadas em conta no processo de análise de defeitos da SRAM. Foram abordados *random threshold voltage* para defeitos estáticos e dinâmicos (DF1, DF4, DF5 e DF6 com falhas

estáticas e para DF2 e DF3 falhas dinâmicas). Também foram abordados outros tipos de stress para análise de cobertura de defeitos, como tensão e frequência maior que o nominal para a SRAM, ou sobre altas temperatura. Contudo, apenas aborda que a variação de V_{th} pode afetar a memória SRAM, quando em diferentes condições de stress, porém nenhum estudo foi feito para analisar esse impacto ao longo dos anos.

No trabalho desenvolvido em (CARDOSO, 2015) foi abordado o impacto de *Single Event Upset* (SEU) em SRAMs na presença de defeitos resistivos do tipo *open* e *bridge*. Células com a presença desses defeitos tendem a ser mais vulneráveis a SEUs, mais precisamente, células com defeitos do tipo *resistive-bridge* tendem a ter mais impacto quando exposto a radiação do que células com defeitos do tipo *resistive-open*.

Contudo, nenhum estudo foi realizado abordando ambos defeitos resistivos (*resistive-open* e *resistive-bridge*) quando sobre influência do fenômeno de NBTI ao longo dos anos. Sendo assim, nos próximos capítulos serão melhor abordados os objetivos deste trabalho, a proposta para análise do fenômeno de NBTI e os resultados obtidos.

3 Avaliação Proposta

Este trabalho realiza uma análise do impacto do fenômeno de NBTI em células de SRAMs quando na presença de defeitos resistivos não detectados em testes de manufatura. Para a análise desse impacto foram utilizados no estudo de caso, células de memórias do tipo 6T com defeitos do tipo *resistive-open* e *resistive-bridge*.

Convém mencionar que o envelhecimento do CI por NBTI, onde a tensão de *threshold* do transistor pMOS tende a variar com o passar do tempo, promove o aumento de *soft errors*, ou seja, torna as células mais suscetíveis a *bit flip*.

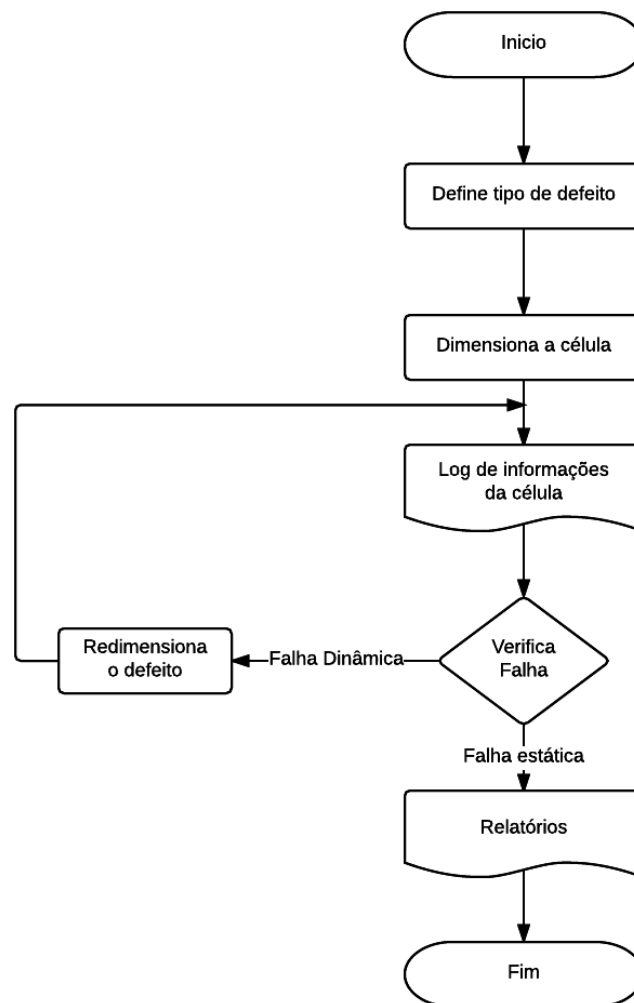
Os defeitos resistivos inseridos nas células seguem os modelos apresentados em (DILILLO et al., 2005) e (FONSECA et al., 2010) para defeitos do tipo *resistive-open* e *resistive-bridge*, respectivamente. O modelamento de envelhecimento da célula ao longo dos anos quando exposto ao fenômeno de NBTI, baseia-se no trabalho desenvolvido em (KANG et al., 2008) e detalhado nas próximas seções.

Dessa forma, a metodologia de análise proposta baseia-se nos seguintes passos:

- **ETAPA 1:** análise do comportamento das células de SRAMs, sem os efeitos de envelhecimento (NBTI) e livre de defeitos resistivos. Esta etapa é importante para se ter o estudo de caso base para futuras análises comparativas;
- **ETAPA 2:** análise do comportamento de células de SRAMs quando expostas unicamente ao fenômeno de NBTI. Essa etapa possibilitará uma análise completa do comportamento de células SRAMs ao longo de sua vida útil;
- **ETAPA 3:** análise do comportamento de células de SRAMs quando na presença de defeitos tipo *resistive-open* e *resistive-bridge*. Pretende-se analisar o comportamento lógico da tecnologia quando afetada por um determinado conjunto de defeitos. Em outras palavras, espera-se verificar o exato momento onde os defeitos geram falhas estáticas ou dinâmicas, conforme fluxograma descrito na Figura 15;
- **ETAPA 4:** análise do comportamento de células de SRAMs defeituosas sob os efeitos de NBTI. Nesta etapa, pretende-se analisar o quanto o comportamento pode ser afetado ao longo dos anos e o quão precoce falhas dinâmicas tornam-se estáticas.

No processo de detecção de falhas, conforme apresentado na figura 15, na primeira etapa é definido o tipo de defeito que será abordado para análise de comportamento da célula. Em seguida, é dimensionada o tamanho deste defeito na célula e verificado o seu comportamento. Caso o tamanho do defeito inserido gere uma falha no comportamento da

Figura 15 – Fluxograma para detecção de falhas estáticas e dinâmicas.



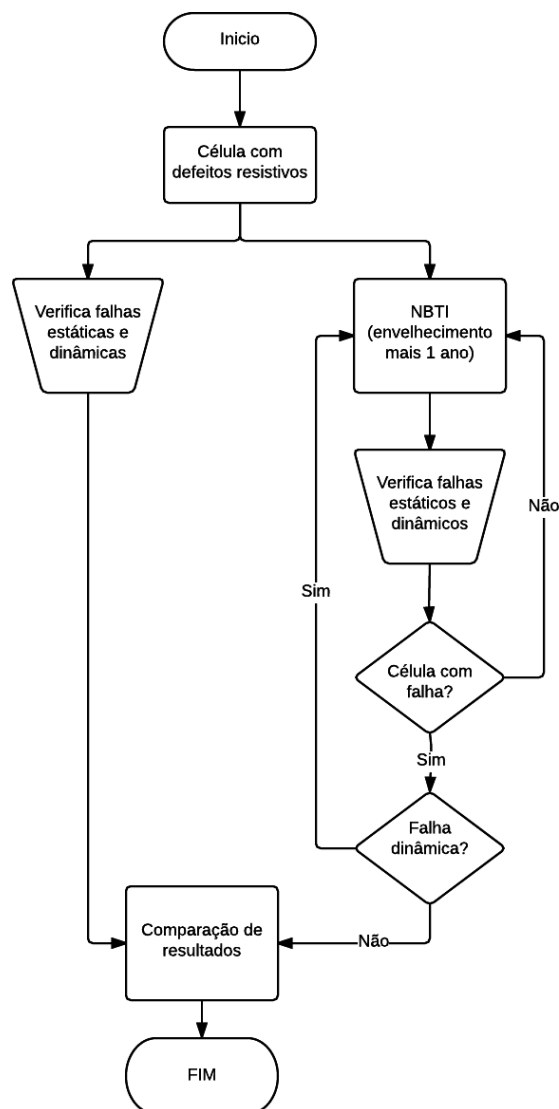
célula, na próxima etapa é analisado se esta falha ocorreu de forma estática ou dinâmica. Para as falhas dinâmicas, o tamanho do defeito na célula é redimensionado para que possa novamente analisar o seu comportamento. Por outro lado, quando o resultado desta falha for estático, o fluxo de detecção de falhas na célula é finalizado e uma relatório com todas estas informações de dimensionamento e tipos de falhas é obtido.

Note que, neste trabalho não será analisado o caso onde em uma célula tenha ambos tipos de defeitos resistivos, pois de acordo com (FONSECA et al., 2010), a probabilidade de uma célula sofrer com os dois tipos de defeitos é bastante baixa.

3.1 Metodologia de Análise

Para o desenvolvimento da análise do impacto do fenômeno de NBTI em SRAMs será utilizado como base células de memórias do tipo 6T, que já possuam defeitos resistivos, conforme será detalhado nas seções 3.2.1 e 3.2.2. Na Figura 16 é apresentado o fluxograma de análise de falhas de uma célula de memória que possui defeitos resistivos e está sobre influencia de NBTI.

Figura 16 – Fluxograma para análise dos defeitos resistivos frente a NBTI.



Inicialmente, será analisada uma célula que não possui nenhum tipo de defeito. Essa célula será exposta ao envelhecimento, conforme será detalhado em 3.3. Essa etapa é importante para poder analisar a SRAM e o seu tempo de vida quando livre de defeitos, tendo apenas a presença do fenômeno de NBTI.

Após esta primeira etapa, a memória será analisada na presença de defeitos do tipo *resistive-open* e *resistive-bridge*. O principal objetivo aqui é poder analisar as falhas que podem ser observadas na célula 6T desenvolvida, tanto estáticas como dinâmicas. Estes valores serão importantes para a última etapa de comparação, onde os valores serão comparados com os resultados obtidos após o envelhecimento da célula.

Seguindo na análise dos defeitos resistivos, a célula com defeito será avaliada após ser submetida ao envelhecimento causado pelo fenômeno de NBTI, conforme descrito na seção 3.3. Neste momento, uma nova análise do estado da célula será aplicada, verificando as falhas estáticas e dinâmicas da célula, de acordo com o defeito resistivo inserido. Ao concluir este processo, será verificado se a célula está com falha e se a mesma é uma falha estática ou dinâmica. Caso a falha seja dinâmica, a metodologia retorna para verificação do seu estado após mais um ano de envelhecimento causado por NBTI. Caso contrário, quando a falha passa a ser estática, a célula de memória perde sua funcionalidade, ou seja, sua confiabilidade, o que indica o fim de sua vida útil.

Na última etapa deste processo, é realizada uma comparação de resultados entre a célula de memória que apresentou falhas estáticas e dinâmicas com a célula de memória que foi afetada pelo fenômeno de NBTI ao longo dos anos. Essa comparação possibilitará realizar uma análise do impacto sofrido pela célula e o quanto defeitos resistivos podem afetar o tempo de vida de uma memória quando não detectados durante o teste de fabricação.

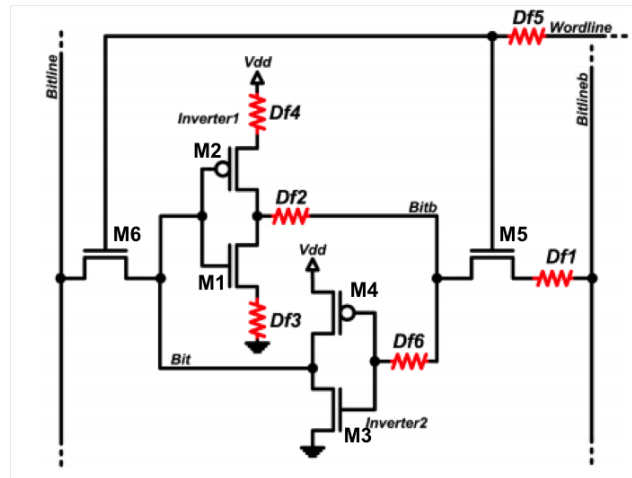
3.2 Modelamento de Defeitos Resistivos

Conforme apresentado nas seções anteriores, a análise do impacto do fenômeno de NBTI em SRAMs com defeitos resistivos levará em consideração células do tipo 6T. Este tipo de célula foi analisada nos trabalhos (DILILLO et al., 2005) para defeitos do tipo *resistive-open* e em (FONSECA et al., 2012) para defeitos do tipo *resistive-bridge*. Nas próximas seções, serão detalhados cada um desses modelos.

3.2.1 Resistive-Open

Em uma célula 6T existem 18 nodos onde podem ocorrer defeitos do tipo *resistive-open*. Entretanto, conforme (DILILLO et al., 2005), dado a simetria da célula, existe somente seis posições capazes de sensibilizar falhas funcionais, Figura 17. Falhas funcionais são aquelas que afetam o dado em uma operação de acesso a memória e pode ser observada funcionalmente. Todos os defeitos possíveis de ocorrerem na célula podem ser modelados através de DF1, DF2, DF3, DF4, DF5 e DF6.

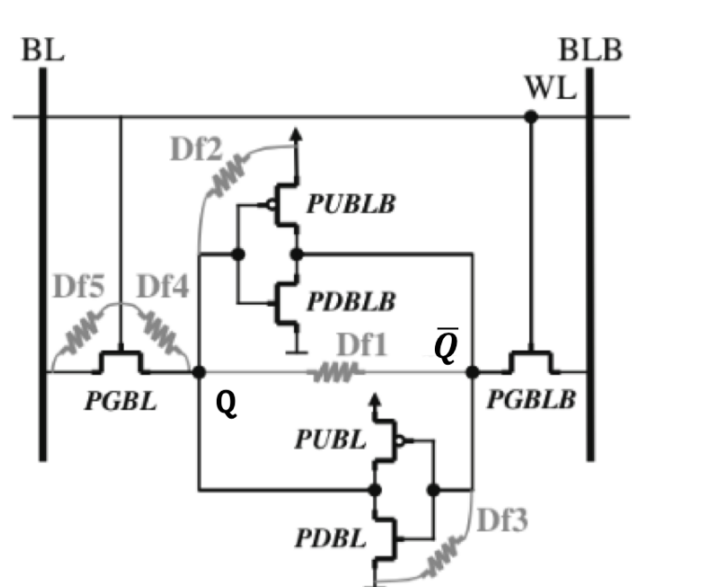
Figura 17 – Defeitos do tipo *resistive-open* dentro de uma célula de memória.



3.2.2 Resistive-Bridge

Em células SRAMs 6T esses defeitos ocorrem conforme Figura 18 (FONSECA et al., 2012). Esses defeitos foram extraídos considerando linhas adjacentes as camadas de metais ou entre as camadas. É importante salientar que todas as possibilidades de defeitos tipo *resistive-bridge* não são detalhadas devido a simetria da estrutura da célula.

Figura 18 – Defeitos do tipo *resistive-bridge* dentro de uma célula de memória.



Defeitos *resistive-bridge* são divididos em dois grupos, sendo:

- **Grupo1:** defeitos DF1, DF2 e DF3. São defeitos que podem afetar apenas a célula defeituosa nas operações de leituras/escritas.

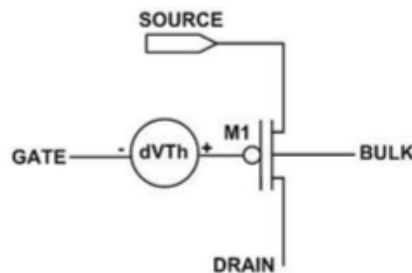
- **Grupo2:** defeitos DF4 e DF5. São defeitos que podem afetar tanto a própria célula como as suas células adjacentes.

3.3 Modelamento de NBTI

Para analisar o fenômeno de NBTI é necessário simular o envelhecimento dos transistores pMOS levando-se em consideração fatores como, probabilidade de envelhecimento da célula, o tempo em que cada valor lógico fica armazenado entre outros. Neste trabalho foi utilizado a técnica descrita em (KANG et al., 2008) e (WANG et al., 2007). O envelhecimento da célula devido ao fenômeno de NBTI foi avaliado levando-se em consideração o trabalho desenvolvido em (CALIMERA; MACII; PONCINO, 2009) para variação da tensão de *threshold*.

De acordo com (CALIMERA; MACII; PONCINO, 2009), transistores do tipo pMOS apresentam uma variação de 10% a 15% da tensão de *threshold* por ano, quando sob estresse. Sabendo que células 6T são formadas por dois inversores, este valor ainda depende da probabilidade de um inversor da célula estar envelhecendo mais do que o outro. Outro fator que influencia no envelhecimento é a quantidade de tempo que um determinado valor lógico fica armazenado na célula.

Figura 19 – Modelamento da fonte de envelhecimento em pMOS.



Obtida em (KANG et al., 2008)

Para modelar NBTI em uma célula é necessário variar a tensão de *threshold* nos transistores pMOS. Para isto foi utilizado o modelamento descrito em (KANG et al., 2008) e ilustrado na Figura 19. Neste modelo é inserido uma fonte em série com o *gate* do transistor pMOS. Desta forma, ao aumentar a tensão na fonte, provoca-se diretamente o envelhecimento do transistor, uma vez que como resultado, a tensão de *threshold* no transistor irá deslocar-se.

De acordo com a tecnologia utilizada para o desenvolvimento deste trabalho, sabe-se que o valor de *threshold* para o transistor pMOS é de 0,43V. Considerando uma variação

de 10% do limiar de acionamento por ano no transistor em 100% do seu tempo, temos uma variação de 0,0043V por ano do pMOS. É importante notar que o envelhecimento do transistor pode ocorrer de forma balanceada ou desbalanceada. Em células onde os dois inversores não se comportam de forma balanceada a vida útil da célula é menor, pois não possui um envelhecimento simétrico entre os transistores. Nas células com envelhecimento balanceado, o envelhecimento entre os dois transistores pMOS presentes nos inversores ocorre de forma simétrica, e o tempo útil de vida da célula é prolongado. Uma célula exposta ao fenômeno de NBTI por 5 anos em apenas um dos transistores pMOS terá a mesma tolerância a ruído que uma célula com 10 anos de envelhecimento de forma balanceada (CERATTI, 2012).

4 Validação

Tendo os fundamentos básicos para o desenvolvimento deste trabalho e a metodologia de análise proposta apresentados nos capítulos anteriores, este Capítulo tem como objetivo apresentar o processo de validação utilizado. Para isso, serão descritos detalhes sobre o estudo de caso adotado e a metodologia utilizada para análise dos resultados.

Para a validação foi desenvolvida uma memória como estudo de caso. Essa memória é composta por uma célula de SRAM com defeito resistivo. Após a análise do comportamento da memória na presença desse defeito, foi modelado o envelhecimento da memória causado pelo fenômeno de NBTI. Note que todas as simulações foram realizadas utilizando o HSPICE da Synopsys.

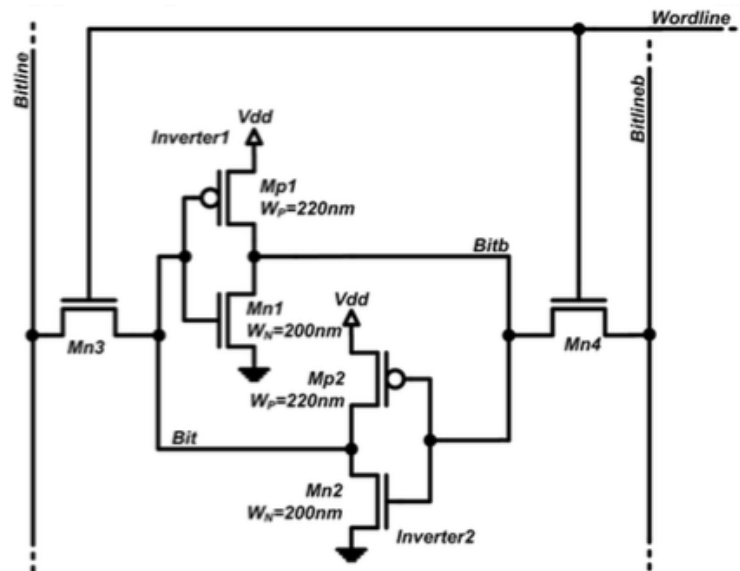
Assim, as próximas seções apresentam o estudo de caso usado neste trabalho, o método de inserção de defeitos resistivos, o processo de simulação do envelhecimento da célula causado devido o fenômeno de NBTI e o processo de validação dos defeitos resistivos.

4.1 Estudo de Caso

A análise proposta neste trabalho prevê o uso de uma SRAM composta por células do tipo 6T mapeadas na biblioteca tecnológica de 65nm da STMicroelectronics considerando os *corner* típico, temperatura de $27^{\circ}C$ e tensão de 1,1V como estudo de caso. Os dimensionamentos dos transistores da célula foram baseados no livro (HODGES, 1988) e projetados para operar em uma frequência de 500MHz. O desenvolvimento do bloco de memória foi baseado nos trabalhos de (LAVRATTI, 2012) e (CERATTI, 2012) para uma SRAM mapeada numa biblioteca tecnológica CMOS comercial de 65nm, sendo adaptados para a presença de defeitos resistivos.

De acordo com (HODGES, 1988), é sugerido que os transistores dos inversores da célula sejam dimensionados com o dobro de largura dos transistores nMOS de acesso, sendo $R_p = R_c = 1,5$. Onde $R_p = \frac{W_p}{W_a}$, sendo R_p a relação da largura entre o transistor pMOS (*pull up*) e o de acesso nMOS (*pull down*) do inversor da célula, e $R_c = \frac{W_N}{W_a}$ a relação entre o transistor nMOS (*pull down*) e o transistor de acesso nMOS. Com base nessas proporções foram definidos as larguras dos transistores como sendo $W_{pMOS} = 0,220nm$ e $W_{nMOS} = 0,200nm$ para os inversores e para os transistores nMOS de acesso $W_{nMOS} = 0,12nm$, correspondendo a $RP = 1,833\Omega$ e $RC = 1,667\Omega$, conforme detalhado na Figura 20. Desta forma, é assegurado que haverá estabilidade entre as operações da célula frente à ruídos, com SNM de leitura em $200mV$.

Figura 20 – Célula SRAM 6T estudo de caso



Obtida em (LAVRATTI, 2012)

Os circuitos auxiliares foram dimensionados para poderem operar a uma frequência de 500MHz, sendo um total de 2ns para cada operação. Sendo assim, na etapa inicial o circuito de pré-carga foi dimensionado para uma carga completa dos *bitlines* em 0,7ns. Na segunda etapa, num processo de leitura da célula de memória, o amplificador de sinal descarrega um dos *bitlines* em 1ns, ou em um processo de escrita este período refere-se a diferença de tensão entre os *bitlines*. Os últimos 0,3ns da operação na célula, são dedicados a terceira etapa, onde os dados são assimilados, na fase de aquisição dos valores pelo circuito de leitura, resultando em um tempo total das três operações, de 2ns.

O bloco de memória é composto por uma matriz de 8x8 células, onde em cada operação na célula é efetuado a leitura ou escrita de um *byte*. Para análise de defeitos do tipo *resistive-open*, foi utilizado a célula da última coluna como sendo a célula que apresenta defeito. Contudo, para defeitos do tipo *resistive-bridge* foram utilizadas as células da última coluna, bem como as células da coluna 6, podendo assim avaliar os defeitos que afetam células vizinhas a célula defeituosa.

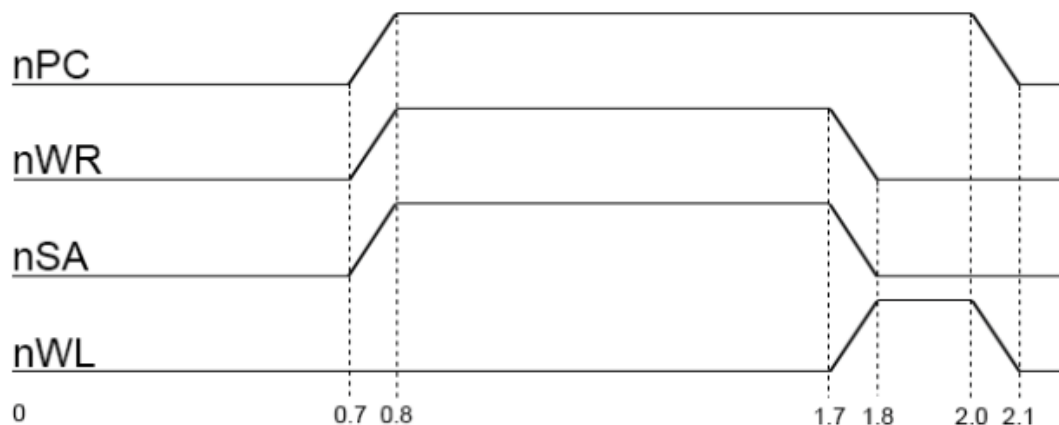
O dimensionamento dos defeitos resistivos foi realizado através da variação da resistência entre as conexões conforme apresentadas no Capítulo anterior. Já o fenômeno de NBTI levou em consideração a fonte ligada junto aos transistores pMOS, que por sua vez possibilita uma variação na tensão de *threshold* do transistor.

4.2 Operações de Escrita/Leitura

Como detalhado na seção anterior, a memória foi projetada para completar uma operação de leitura ou escrita na célula num período de 2ns, passando por três etapas: pré-carga dos *bitlines*, amplificação do sinal e na fase de aquisição dos valores.

Durante uma operação de escrita, na primeira etapa se o valor a ser armazenado na célula corresponde ao valor lógico '1', BL será carregado com VDD e \bar{BL} estará em GND . Consequentemente, quando se desejar armazenar o valor '0' na célula BL estará em GND e \bar{BL} carregado com VDD , sendo esse valor amplificado pelo SA . Na segunda etapa, o WL é ativado permitindo que os valores presentes nos *bitlines* possam ser armazenados dentro da célula. Essas etapas estão detalhados na Figura 21.

Figura 21 – Controle de sinais da memória durante o processo de escrita.



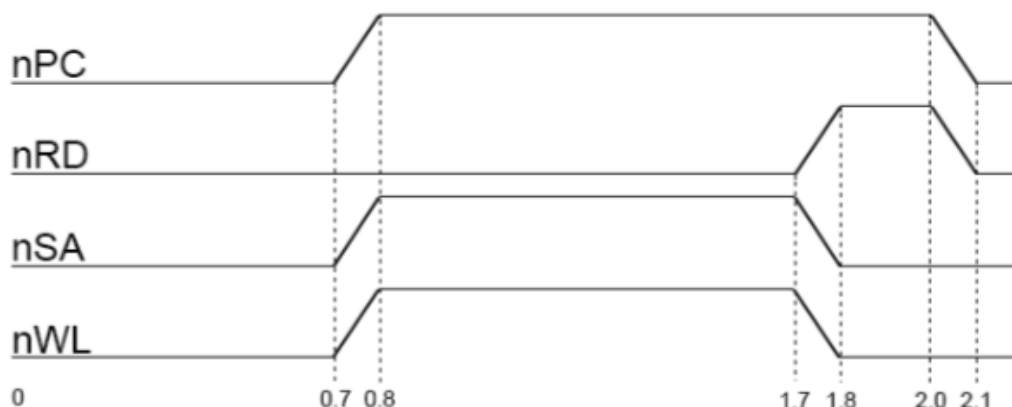
Obtida em (CARDOSO, 2015)

Durante uma operação de leitura, na primeira etapa PC , SA e WL são habilitados. Desta forma, ambos *bitlines* são colocados em ativo alto, passando um deles a descarregar. Este processo cria um caminho entre o transistor *PULL DOWN* e o GND e a diferença gerada entre os *bitlines* corresponde ao valor da célula. Após o valor ser lido, SA e WL são desabilitados e RD é habilitado possibilitando a leitura do valor que está presente na célula. As etapas desta operação podem ser observados na Figura 22.

4.3 Caracterização de NBTI em uma Célula SRAM

Com o objetivo de poder analisar o impacto de NBTI em células de SRAMs na presença de defeitos resistivos, em um primeiro momento é necessário analisar a memória definida como estudo de caso livre de defeitos, simulando apenas o efeito de envelhecimento causado por NBTI ao longo dos anos. A comparação dos resultados dessa simulação

Figura 22 – Controle de sinais da memória durante o processo de leitura.



Obtida em (CARDOSO, 2015)

servirá para compreender o impacto de NBTI em células com *weak-defects*. Convém mencionar que *weak-defects* representam um desafio para o teste de manufatura, uma vez que dependendo de sua dimensão não geram falhas a nível lógico.

Na Figura 23 é apresentada uma célula de SRAM livre de defeitos avaliada ao longo dos anos. Os valores são apresentados em *Volts*, correspondendo a uma célula durante a realização das operações *w0r0w1r1* sob o fenômeno de NBTI. É possível analisar através desta imagem que a célula de SRAM mantém o comportamento esperado ao longo dos anos por um período de vida de 20 anos sem que resulte em uma falha em nível lógico. Contudo, é possível observar que, considerando um envelhecimento de 20 anos, a célula de SRAM passa a mudar o seu comportamento quando uma operação de *w1* é executada.

Na Figura 24 é apresentada a saída da célula SRAM durante as simulações de 20 anos de envelhecimento. É possível observar também que o valor de saída da leitura não sofre nenhuma alteração ao longo desses anos. Desta forma, as Figuras 23 e 24 demonstram que a memória do estudo de caso funciona corretamente por um período superior a 20 anos, servindo como base para futuras análises quando na presença de defeitos resistivos.

4.4 Resistive-Open

Após a análise do comportamento da célula frente ao fenômeno de NBTI e livre de defeitos, na segunda etapa da metodologia proposta, foram inseridos defeitos do tipo *resistive-open*. O objetivo desta etapa é poder identificar na memória definida como estudo de caso, as falhas que podem ser observados na célula de memória sob avaliação. Assim, serão analisados, tanto as falhas estáticas causadas por defeitos do tipo *resistive-open* como as falhas dinâmicas.

Figura 23 – Valor armazenado(V) na célula livre de defeitos ao longo dos anos (0 a 20 anos).

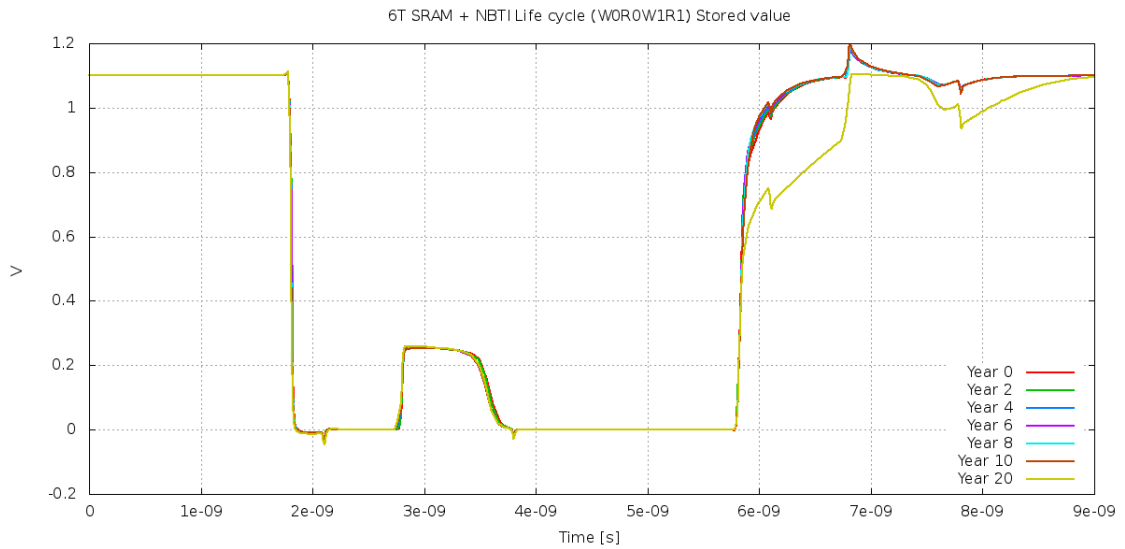
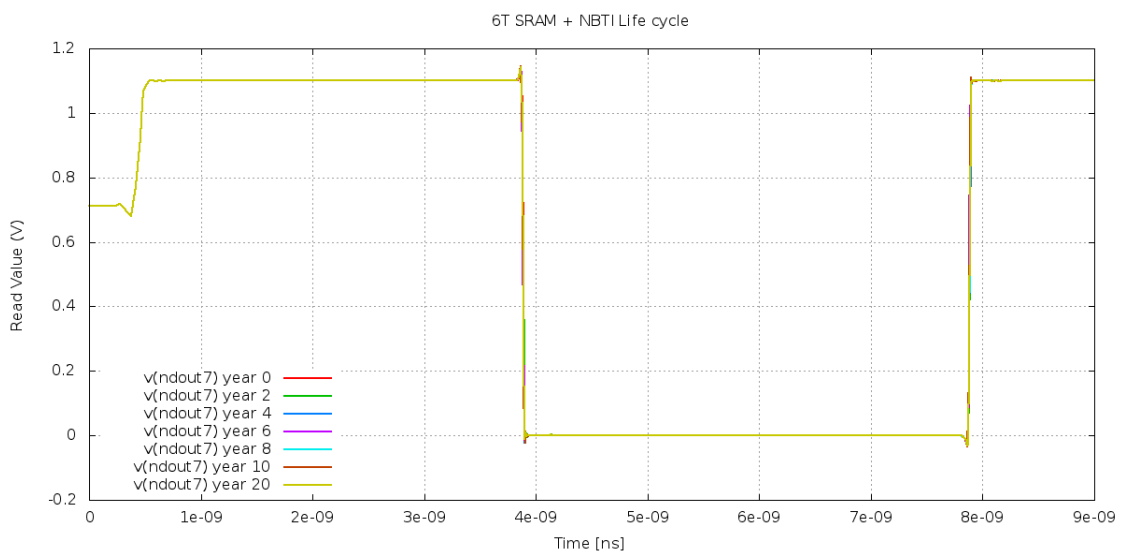
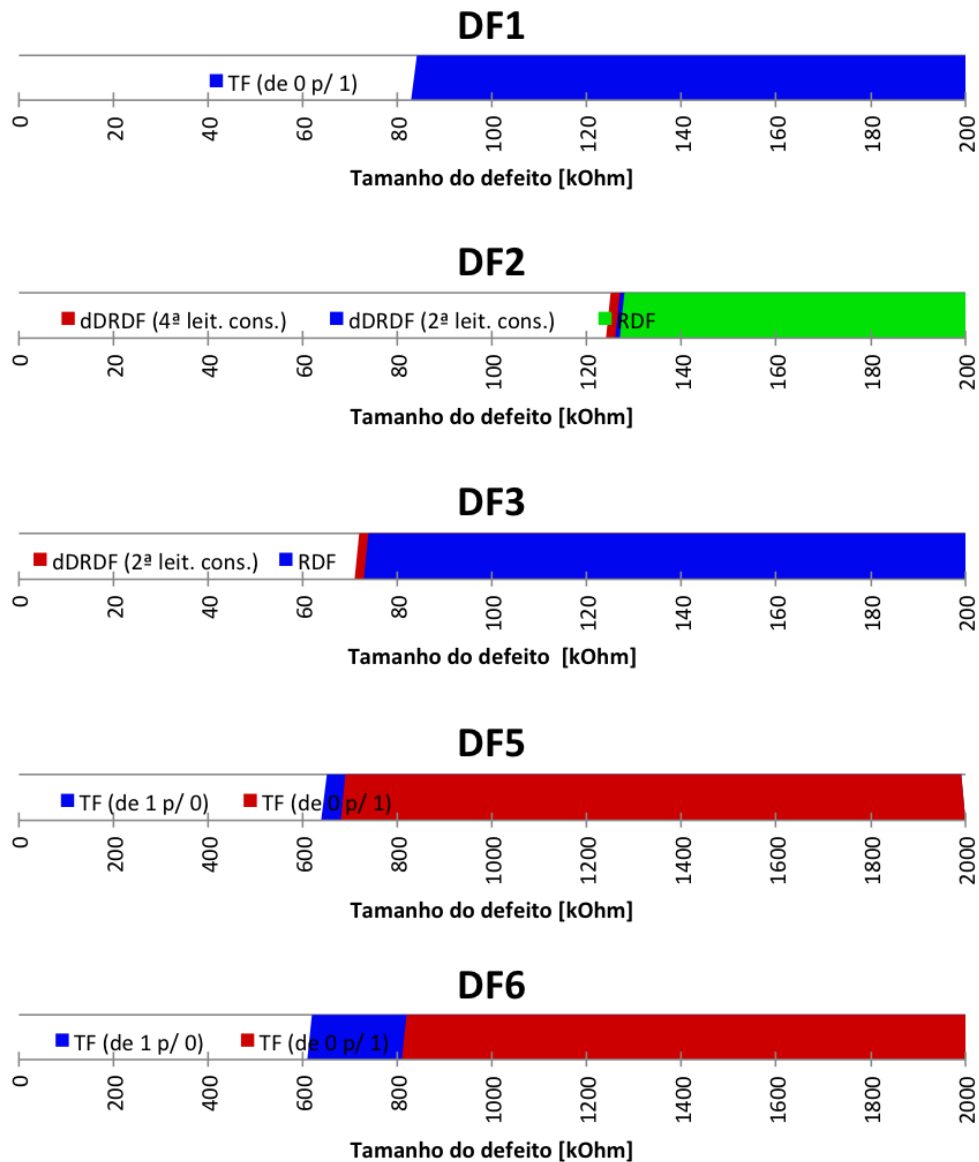


Figura 24 – Valor de saída na célula livre de defeitos ao longo dos anos (0 a 20 anos).



As simulações em HSPICE para a análise dos defeitos DF1 a DF6 resultaram na Figura 25 que, por sua vez resume os defeitos encontrados. Três diferentes situações foram consideradas dependendo do tamanho do defeito em uma determinada posição da célula, de acordo com os defeitos detalhados na Figura 17. Sendo:

Figura 25 – Relação entre o tamanho do defeito *resistive-open* e as falhas observadas.



- O defeito inserido na célula SRAM é considerado fraco, conseqüentemente não sensibiliza falha em nível lógico;
- O tamanho do defeito resulta em uma falha dinâmica, podendo ser detectada após um limitado número de operações de leitura;

- O tamanho do defeito é suficiente para manifestar-se como uma falha estática na célula de memória.

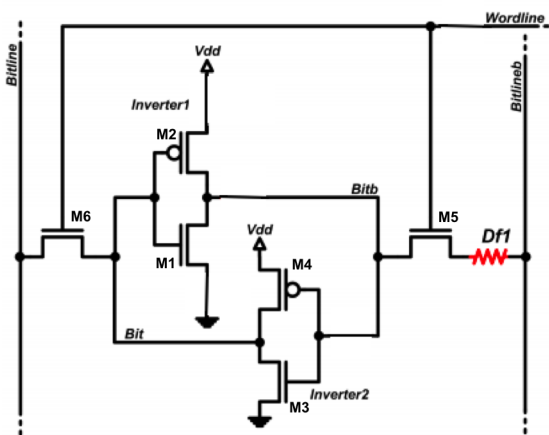
Analisando a Figura 25 é possível observar a relação entre o tamanho do defeito (valor de resistência) e a falha observada na célula. É importante ressaltar que o DF4 não está presente na figura pois durante as simulações não foi possível observar nenhuma falha, considerando um range de $0k\Omega$ a $2000k\Omega$. Contudo, para todos os outros defeitos foi possível observar a falha ocorrida, considerando diferentes faixas de tamanho do defeito.

Defeitos do tipo *resistive-open*, como detalhado anteriormente, são gerados durante o processo de manufatura e criam uma resistência em uma determinada parte da célula que podem resultar em falhas. Essas falhas podem ser causadas devido a uma pequena variação do limiar de resistência, conforme representado na Figura 17. Por esta razão o método utilizado para simular estas falhas em HSPICE foi baseado em um valor alto de resistência, sendo gradualmente reduzido até que se tenha uma célula funcional sem falhas. Assim, conclui-se que células com valor de resistência maior que as descritas aqui, representam células defeituosas

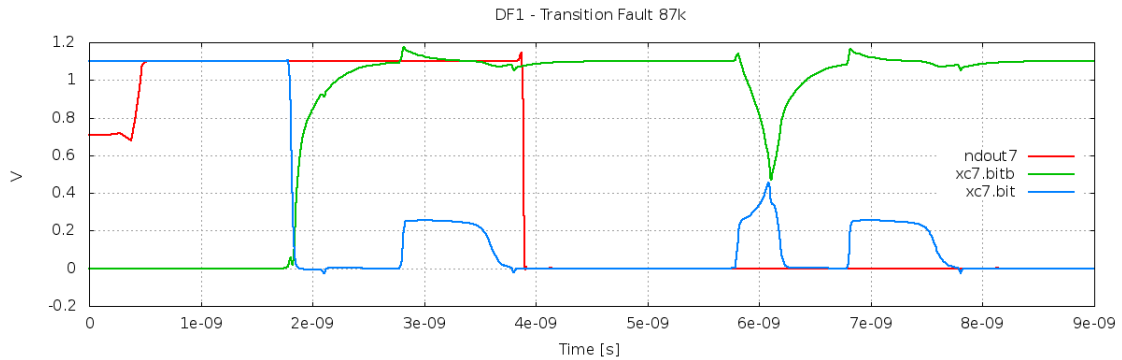
4.4.1 *Resistive-Open*: Defeito 1

Conforme detalhado na Figura 26, o primeiro defeito DF1 está localizado entre o transistor M5 e o *bitline* ($\bar{B}L$). A falha observada a partir deste defeito foi de *Transition Fault* (TF) de 0 para 1. Essa falha foi observada quando o defeito resistivo presente na célula foi superior a $84k\Omega$.

Figura 26 – Célula 6T com a presença do defeito *resistive-open* 1.

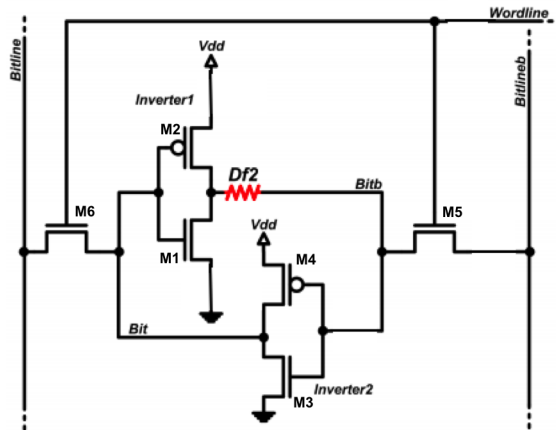


Na Figura 27 é possível observar uma célula com DF1 de $87k\Omega$ sendo afetada por uma falha do tipo TF. Essa falha pode ser observada em uma sequência de operação de *w0r0w1r1* na célula.

Figura 27 – Falha de TF 0 para 1 em uma célula com DF1 de $87k\Omega$.

4.4.2 Resistive-Open: Defeito 2

No segundo defeito DF2 do tipo resistive-open está localizado conforme detalhado na Figura 28, localizado entre o primeiro inversor (transistores M1 e M2) e \bar{Q} . Nas simulações com este tipo de defeito, pode ser observado falhas do tipo RDF.

Figura 28 – Célula 6T com a presença do defeito *resistive-open* 2.

Na Figura 29 é possível observar a falha do tipo RDF. Através das simulações em HSPICE, executando uma operação de $w0w1r1^n$ foram detectados falhas dinâmicas e estáticas para a célula na presença deste defeito. Na Figura 29.(a), é possível observar uma célula com defeito resistivo de $120k\Omega$. Neste instante, apesar da presença do defeito, o mesmo não gera uma falha em nível lógico. Na Figura 29.(b), uma célula com defeito resistivo do tamanho de $126K\Omega$ apresenta um comportamento de falha dinâmica do tipo dDRDF a partir da quarta leitura realizada na célula. Com defeito de $127K\Omega$ para DF2, na Figura 29.(c), observa-se que a falha dinâmica acontece na segunda operação de leitura da célula. Por fim, na Figura 29.(d), observa-se que a célula com um defeito de $130K\Omega$ apresenta uma falha do tipo RDF. A partir deste ponto, observa-se sempre uma falha

estática na célula, onde toda operação de leitura resultará em um valor lógico alterado na saída.

4.4.3 *Resistive-Open*: Defeito 3

O terceiro defeito do tipo *resistive-open* (DF3) está localizado entre o transistor M1 e GND, como representado pela Figura 30. Assim como em DF2, em DF3 foi possível observar falha dinâmicas e estáticas do tipo RDF, conforme detalhado na Figura 31.

Na Figura 31 é possível observar que foram gerados dois tipos de falhas na célula, falhas do tipo RDF e falhas dinâmicas de RDF após a segunda operação de leitura. Para simular essas falhas foram executadas simulações via HSPICE considerando operações de $w0w1r1^n$. Na Figura 31.(a), observa-se que uma célula na presença de DF3 não propaga nenhuma falha a nível lógico. Contudo, quando o tamanho do defeito resistivo na célula é de $72k\Omega$, pode-se observar um RDF após a segunda leitura do valor armazenado na célula, caracterizando uma falha dinâmica, dDRDF, Figura 31.(b). Na Figura 31.(c), um defeito do tamanho de $74k\Omega$ resulta em uma falha do tipo RDF em uma operação de leitura na célula.

4.4.4 *Resistive-Open*: Defeito 4

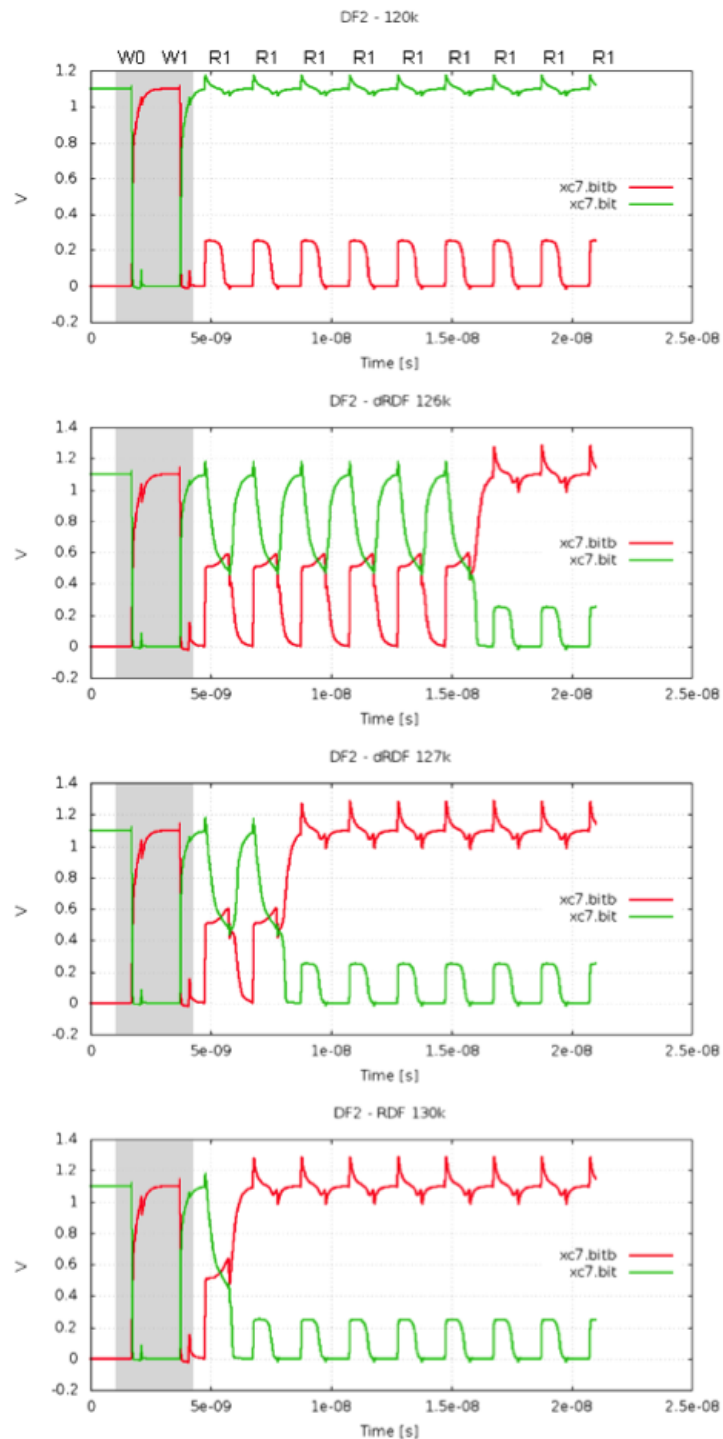
O quarto defeito resistivo (DF4) analisado nas simulações está localizado entre o transistor M2 e VDD. Contudo, durante as simulações este defeito não gerou nenhuma falha lógica. O mesmo cenário foi observado no trabalho de (LAVRATTI, 2012).

4.4.5 *Resistive-Open*: Defeito 5

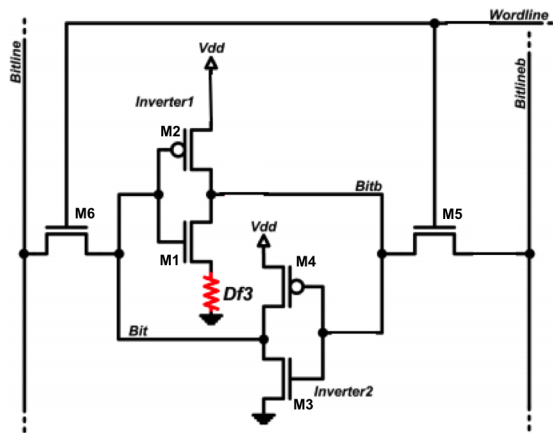
A Figura 33 detalha o quinto defeito *resistive-open* (DF5). Esse defeito está localizado entre o transistor M5 e o $\bar{B}L$. Por sua localização, entre os transistores de acesso, esse defeito dependendo do seu tamanho pode interferir nas operações de leitura e escrita da célula. Na simulações em HSPICE para a análise deste defeito foram executadas operações de $w0r0w1r1$.

Por este defeito inserir um atraso nas operações entre o $\bar{B}L$ e os inversores, pode ser observado falhas do tipo TF de 1 para 0 e de 0 para 1. Essa falha ocorre pois o defeito afeta o tempo de descarga do *bitline* na célula. A Figura 34 apresenta três diferentes cenários de uma célula afetada por DF5 com diferentes tamanhos. Na Figura 34.(a), é possível observar um DF5 de resistência igual a $500k\Omega$, que apesar da presença do defeito, o mesmo não se propaga a nível lógico. A Figura 34.(b) apresenta a célula com uma falha de TF de 0 para 1, quando o tamanho do defeito resistivo presente na célula é de $660k\Omega$. No entanto, quando esse defeito for superior a $700k\Omega$ observa-se uma TF de 1 para 0, conforme Figura 34.(c).

Figura 29 – Falha do tipo RDF em uma célula com DF2.



(a) DF2 de $120k\Omega$ onde a presença do defeito não se propaga para uma falha lógica, (b) DF2 de $126k\Omega$ resultando em dDRDF a partir da quarta leitura, (c) DF2 de $127k\Omega$ resultando em dDRDF a partir da segunda leitura e (d) DF2 de $130k\Omega$ de uma célula com defeito estático do tipo RDF.

Figura 30 – Célula 6T com a presença do defeito *resistive-open* 3.

4.4.6 Resistive-Open: Defeito 6

O último defeito do tipo *resistive-open* (DF6) está localizado próximo ao segundo inversor, entre os transistores M3/M4 e \bar{Q} conforme Figura 35. Simulações executando as operações de *w0r0w1r1* podem detectar falhas estáticas na célula de acordo com a variação do defeito resistivo.

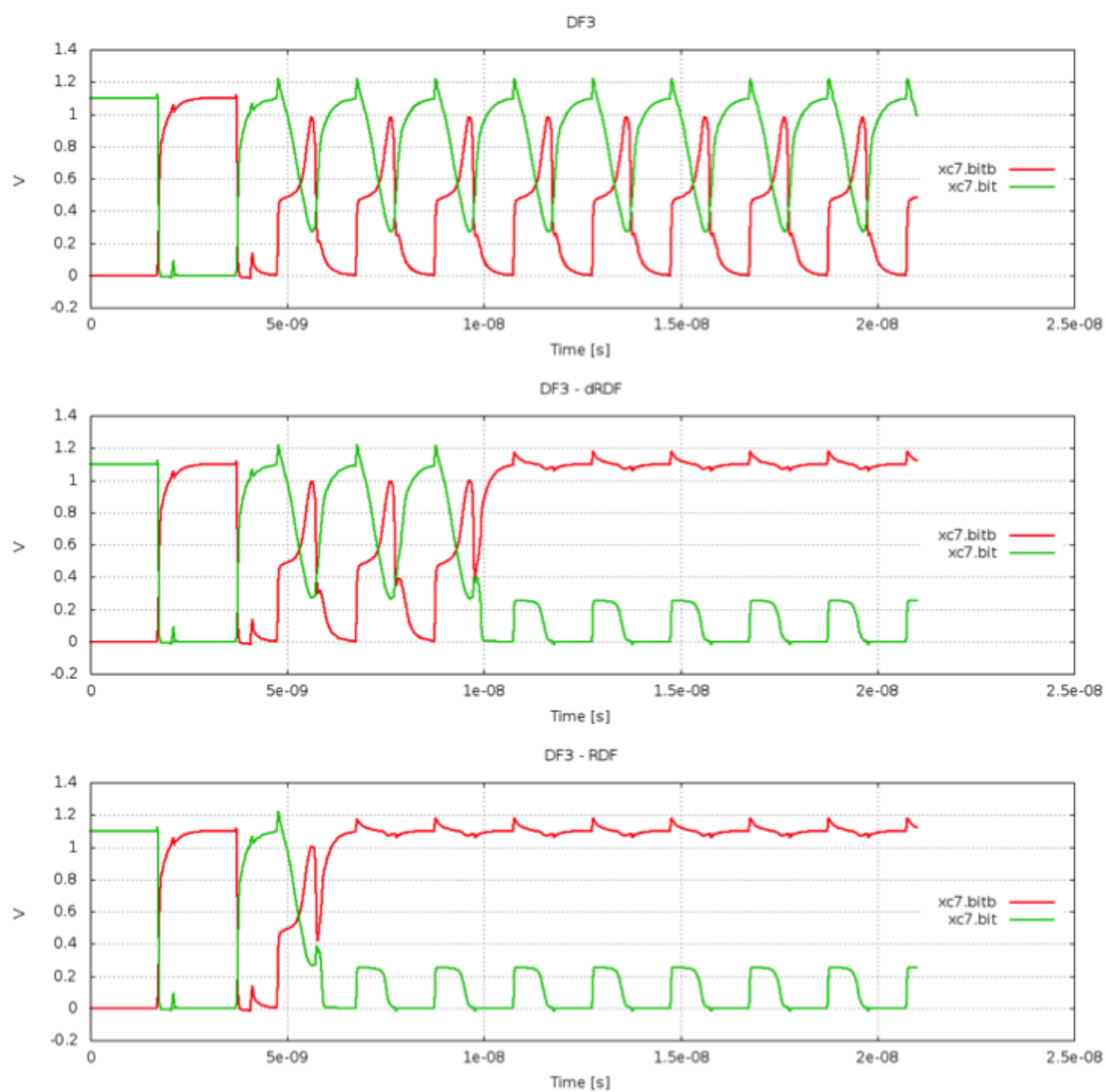
Dada sua localização, este defeito interfere nos processos de escrita de dados na célula. Na Figura 36.(a) observa-se que na presença do defeito resistivo equivalente a $600k\Omega$, a falha não se propaga a nível lógica. Na Figura 36.(b), uma célula com DF6 de tamanho igual a $620k\Omega$, causa uma falha estática do tipo TF de 1 para 0. O oposto também pode ser observado, quando uma TF ocorre de 0 para 1, Figura 36, com defeito de $820k\Omega$.(c). Células com valores de defeito resistivo superiores serão sempre células falhas, sendo facilmente detectáveis durante os testes convencionais de manufatura da memória.

4.5 Resistive-Bridge

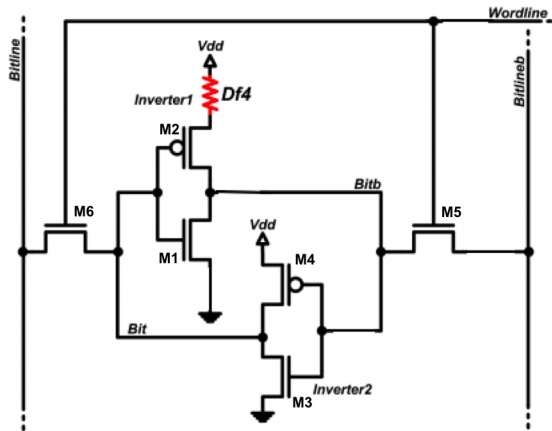
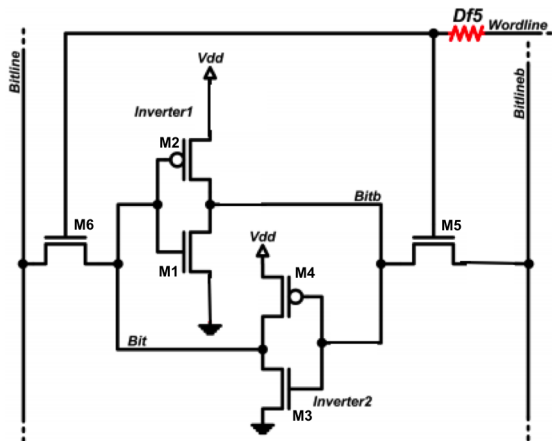
A terceira parte deste trabalho analisa o impacto de NBTI em células de memórias com defeitos do tipo *resistive-bridge*. Nessa etapa foram inseridos defeitos conforme apresentados na Figura 18 visando verificar tanto as falhas estáticas como as eventuais falhas dinâmicas que possam vir a ocorrer em uma célula defeituosa.

Ao contrário de defeitos do tipo *resistive-open*, em defeitos do tipo *bridge* quanto menor o tamanho da resistência interligando dois pontos, mais propenso estará a manifestação de uma falha. Quando existe uma conexão entre dois pontos da célula, surge um meio de condução que interfere em todo o seu comportamento. Contudo, para poder simular esses defeitos e determinar suas falhas, inicialmente insere-se um defeito pequeno na célula e observa-se o comportamento lógico da célula. Em seguida, esse defeito vai

Figura 31 – Falha do tipo RDF em uma célula com DF3.



(a) DF3 de $70k\Omega$ onde a presença do defeito não se propaga para uma falha lógica, (b) DF3 de $72k\Omega$ resultando em dDRDF a partir da segunda leitura, (c) DF3 de $74k\Omega$ de uma célula com defeito estático do tipo RDF.

Figura 32 – Célula 6T com a presença do defeito *resistive-open* 4.Figura 33 – Célula 6T com a presença do defeito *resistive-open* 5.

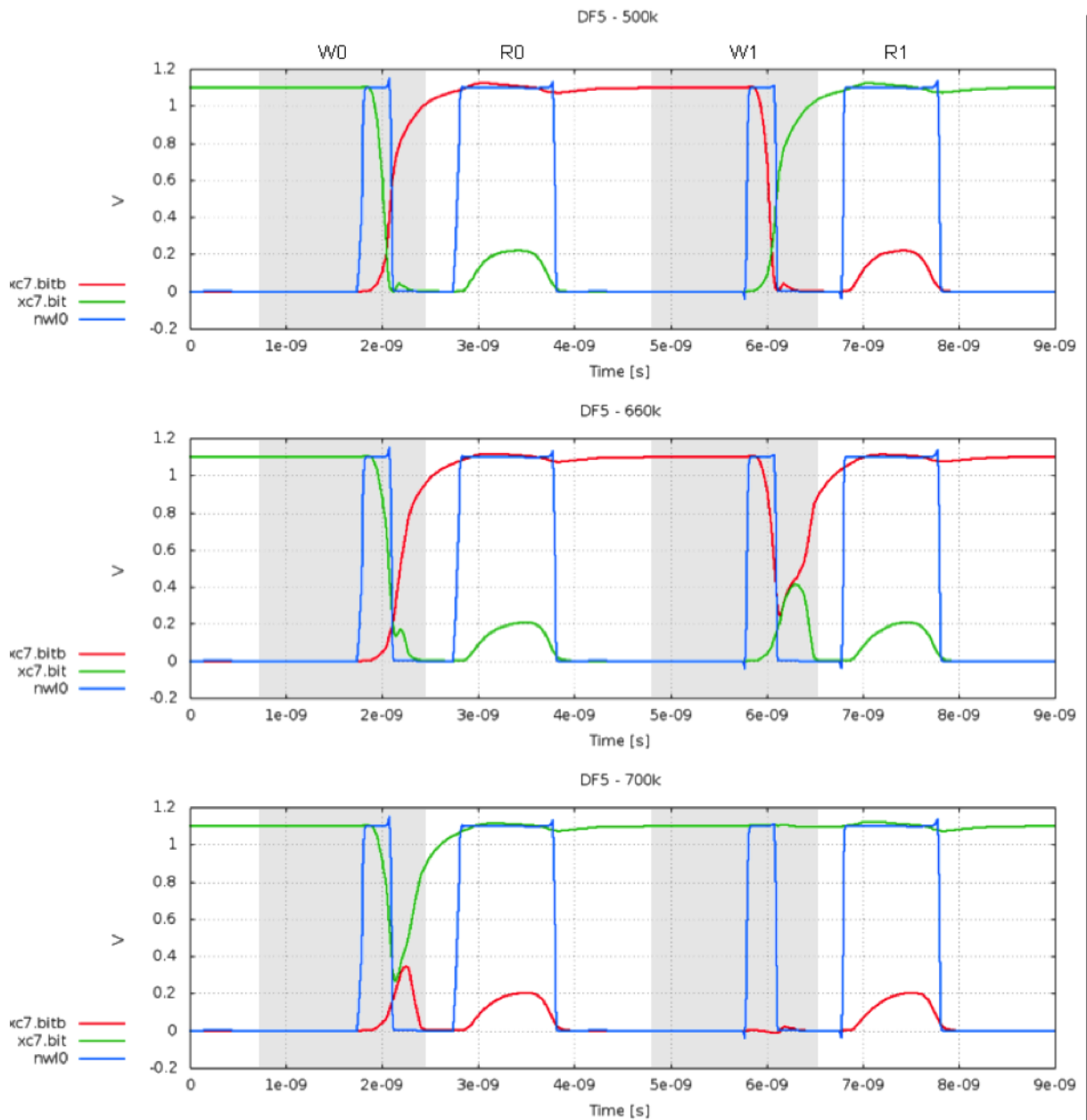
sendo aumentado até que nenhuma falha possa ser observada.

Para essa análise, foram realizadas simulações em HSPICE, modelando os defeitos DF1, DF2, DF3, DF4 e DF5. O objetivo desta etapa é poder identificar na memória adotada como estudo de caso, as falhas que os defeitos do tipo *resistive-bridge* podem gerar nas células defeituosas. A Figura 37 mostra um breve resumo do comportamento da memória estudo de caso na presença dos defeitos (DF1 a DF5). Nas próximas subseções, serão abordadas essas falhas, analisando o comportamento da célula apenas com a presença do defeito e livre de qualquer efeito de envelhecimento.

4.5.1 *Resistive-Bridge*: Defeito 1

O primeiro defeito DF1 do tipo *resistive-bridge* está localizado entre os inversores 1 e 2, como detalhado na Figura 38. Este defeito resistivo cria um conexão entre Q e \bar{Q}

Figura 34 – Falha do tipo TF em uma célula com DF5.



(a) DF5 de $500k\Omega$ onde a presença do defeito não se propaga a nível lógico, (b) DF5 de $660k\Omega$ resultando em TF de 0 para 1, (c) DF5 de $700k\Omega$ de uma célula com TF de 1 para 0.

Figura 35 – Célula 6T com a presença do defeito *resistive-open* 6.

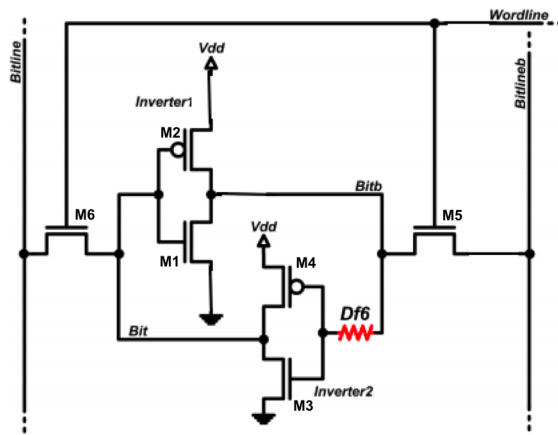
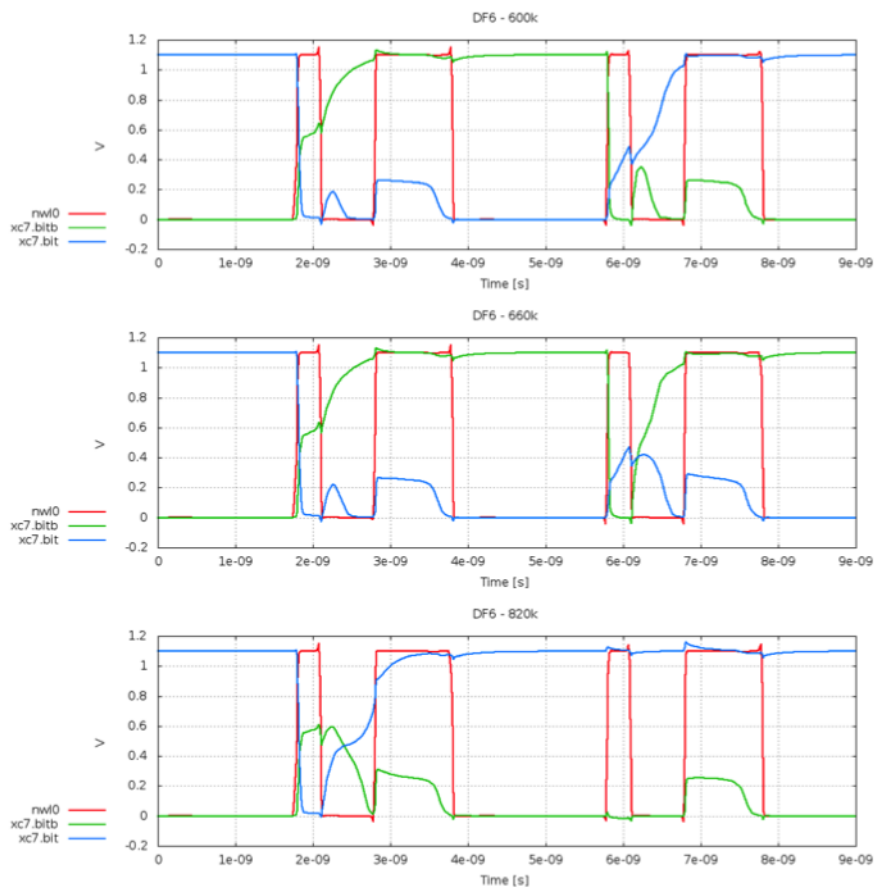
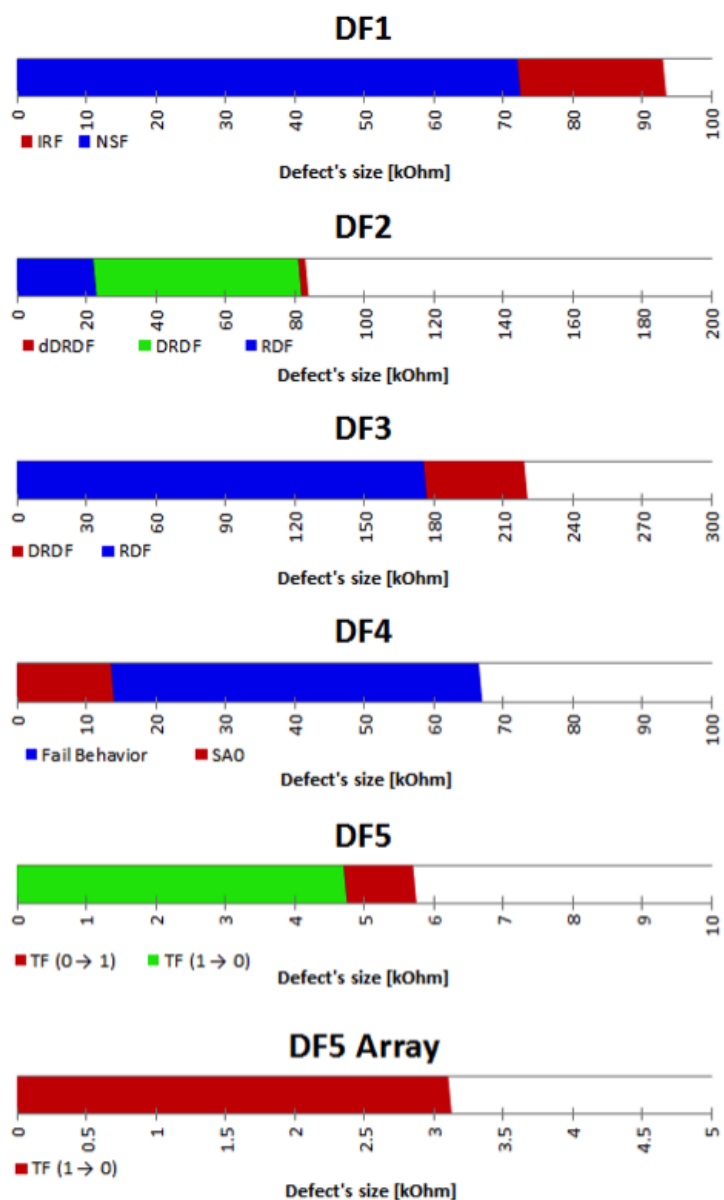


Figura 36 – Falha do tipo TF em uma célula com DF6.



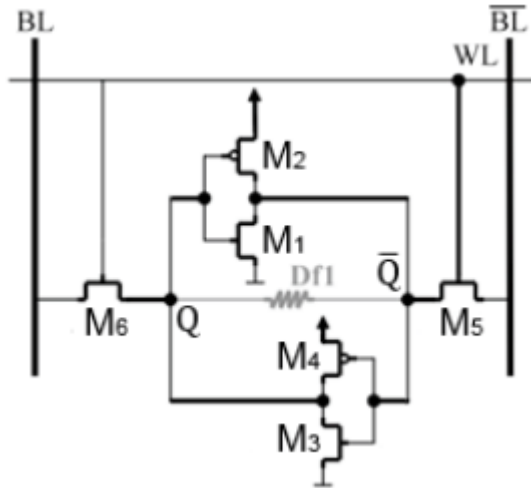
(a) DF6 de $600k\Omega$ onde a presença do defeito não gera uma falha à nível lógico, (b) DF6 de $660k\Omega$ resultando em TF de 0 para 1, (c) DF6 de $820k\Omega$ de uma célula com TF de 1 para 0.

Figura 37 – Relação entre o tamanho do defeito *resistive-bridge* e as falhas observadas.



impossibilitando a célula de armazenar um determinado valor. Células com este defeito podem apresentar falhas do tipo NSF, IRF e dIRF, dependendo da dimensão do defeito entre os dois nodos.

Figura 38 – Célula 6T com a presença do defeito *resistive-bridge* 1.



Quando a célula é afetada por um defeito *resistive-bridge* entre os nodos Q e \bar{Q} , inferior a $73k\Omega$, a mesma é incapaz de armazenar um valor, caracterizando uma falha do tipo NSF. Esse defeito pode ser observado na Figura 39, onde foi simulado uma operação de escrita, seguida da leitura da célula. Entretanto é possível observar que o valor entre os *bitlines* não foram alterados. Para defeitos superiores ou iguais a $73k\Omega$, a célula de memória apresenta falha estática do tipo IRF, Figura 39. Esta falha pode ser observada na célula afetada por um defeito entre $73k\Omega$ e $93k\Omega$. Note que, não foram observadas falhas na célula com defeito superior a $93k\Omega$ de resistência.

Figura 39 – Falha do tipo NSF em uma célula afetado por DF1 de $30k\Omega$

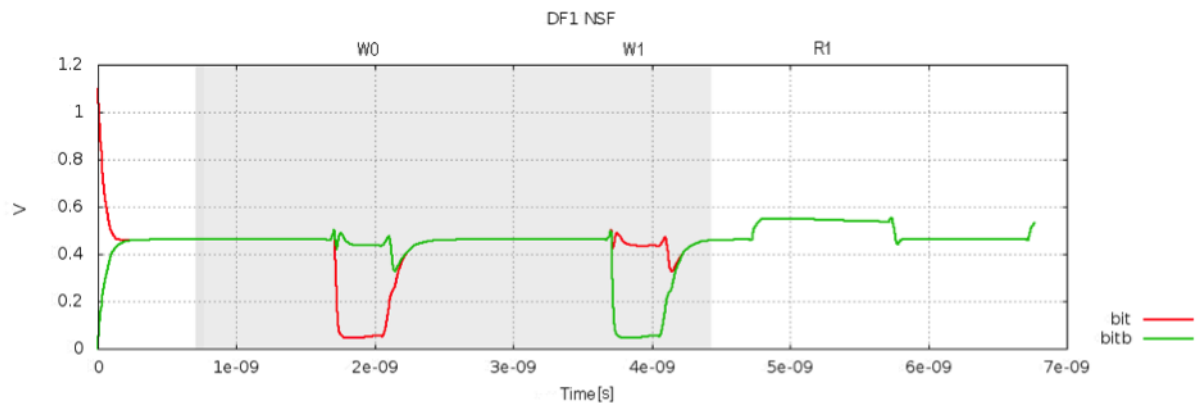
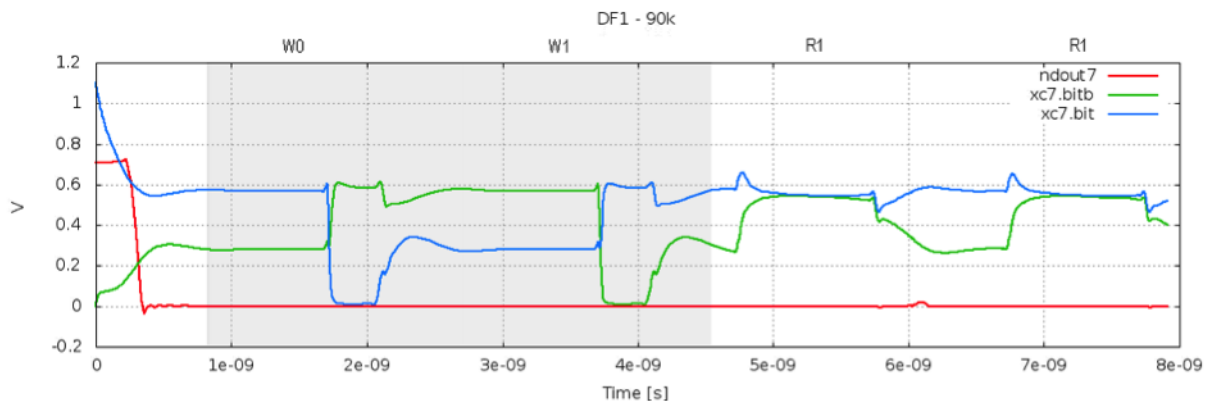
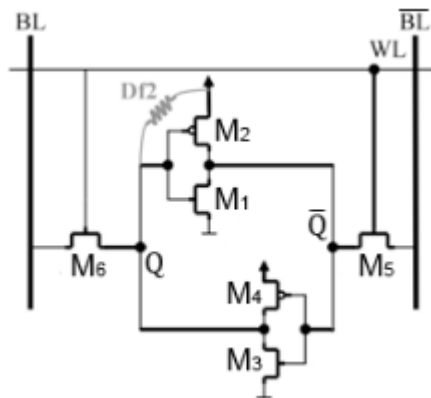


Figura 40 – Falha do tipo IRF em uma célula afetado por DF1 de $90k\Omega$ 

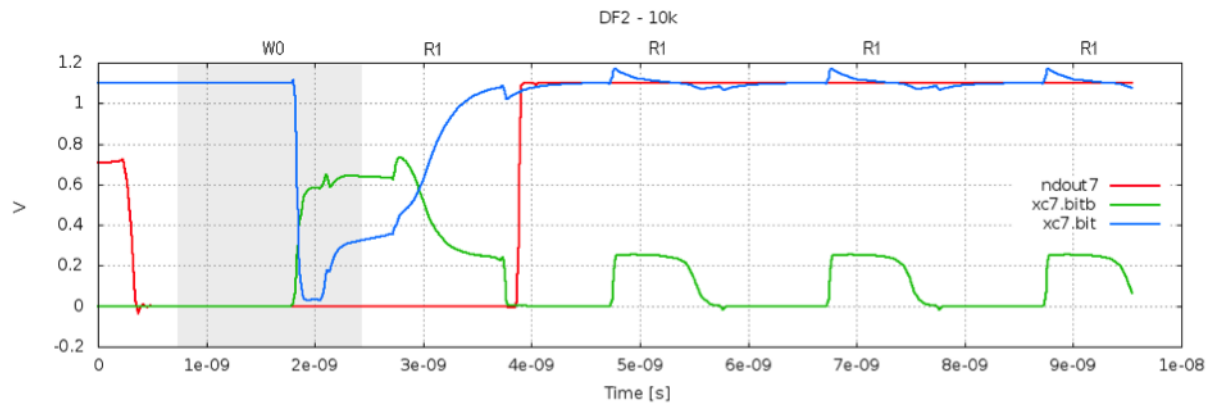
4.5.2 Resistive-Bridge: Defeito 2

O defeito DF2 em uma célula 6T está localizado entre o *source* do transistor pMOS do primeiro inversor M2 e o seu *gate*, ou seja, cria um caminho interligando os nodos de VDD e Q , conforme está ilustrado na Figura 41. Essa conexão afeta diretamente a capacidade de armazenamento.

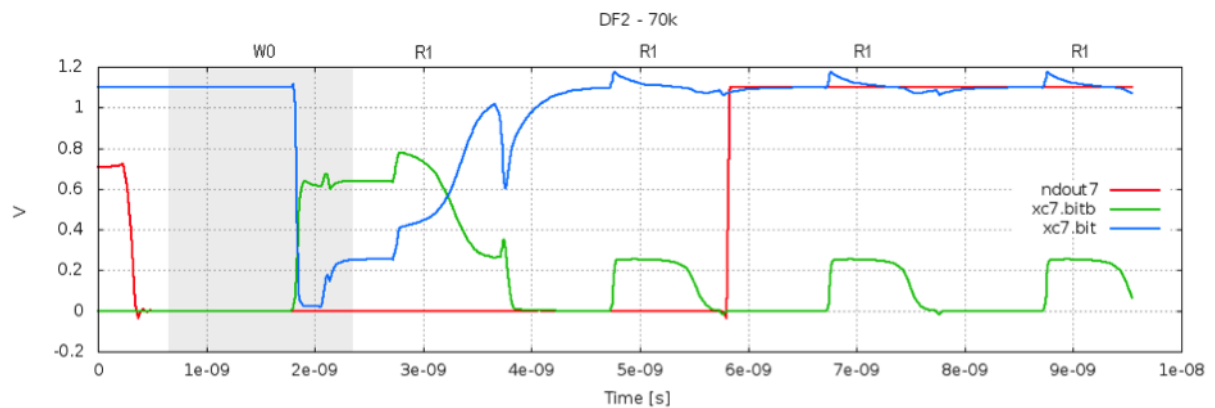
Figura 41 – Célula 6T com a presença do defeito *resistive-bridge 2*.

Das falhas observadas na célula quando na presença de DF2, inicialmente as mesmas impedem que o valor lógico '0' possa ser armazenado, conforme Figura 42, célula na presença de um defeito de $10k\Omega$, e uma SAF1. Essa falha pode ser observada na presença de uma resistência inferior a $23k\Omega$.

Para defeitos superiores a $23k\Omega$, pode ser observado falhas do tipo RDF na célula. Essa falha pode ser observada de forma estática na célula para defeitos inferiores a $81k\Omega$. Contudo, para defeitos com resistência superior a $81k\Omega$ e inferiores a $83k\Omega$ a falha somente pode ser observada na segunda leitura consecutiva, caracterizando-se assim como uma

Figura 42 – Falha do tipo SAF1 em uma célula afetado por DF2 de $10k\Omega$ 

falha dinâmica do tipo RDF (dRDF), conforme Figura 43 para um defeito de $70k\Omega$ e na Figura 44 para um defeito de $82k\Omega$.

Figura 43 – Falha do tipo RDF em uma célula afetado por DF2 de $70k\Omega$ 

4.5.3 Resistive-Bridge: Defeito 3

O terceiro defeito resistivo (DF3) em uma célula do tipo 6T do tipo *resistive-bridge* está localizado entre o *source* do transistor do tipo nMOS do segundo inversor M3 (GND) e o seu *gate* (\bar{Q}), criando um caminho entre os dois nodos, Figura 45. Essa conexão entre os dois nodos impede a célula de armazenar um valor lógico.

Para DF3 inferior a $176k\Omega$, a célula é incapaz de armazenar o valor lógico '1', caracterizando uma falha do tipo SAF1, conforme Figura 46. Para defeitos superiores a $176k\Omega$ ou inferiores a $218k\Omega$, em uma operação de leitura na célula que esteja armazenado '0', falhas do tipo RDF podem ser observadas, conforme Figura 47.

Figura 44 – Falha do tipo dRDF em uma célula afetado por DF2 de $82k\Omega$

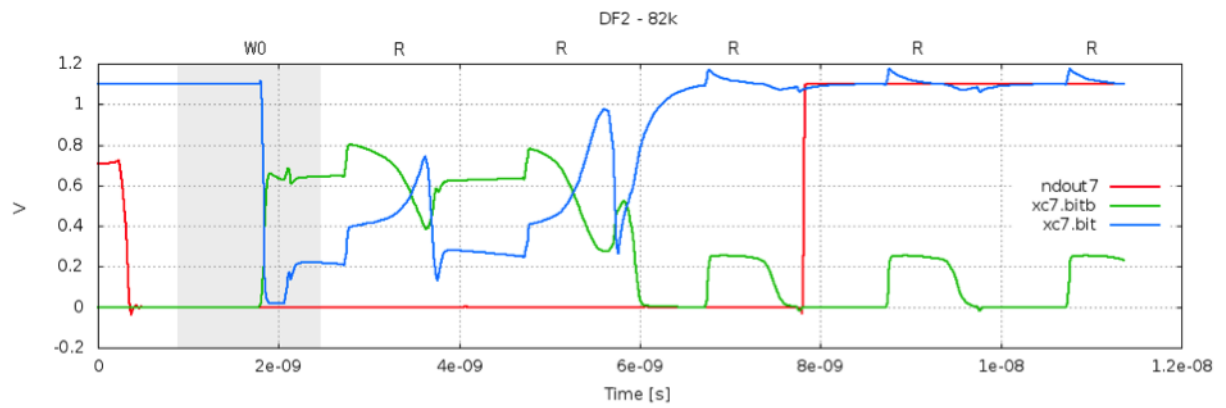


Figura 45 – Célula 6T com a presença do defeito *resistive-bridge* 3.

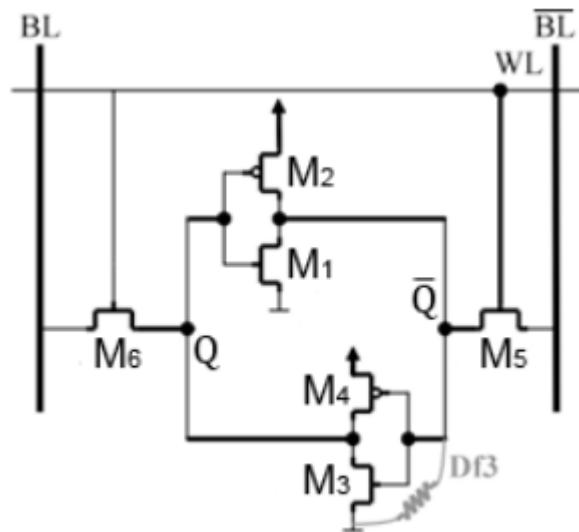


Figura 46 – Falha do tipo SAF1 em uma célula afetado por DF3 de $176k\Omega$

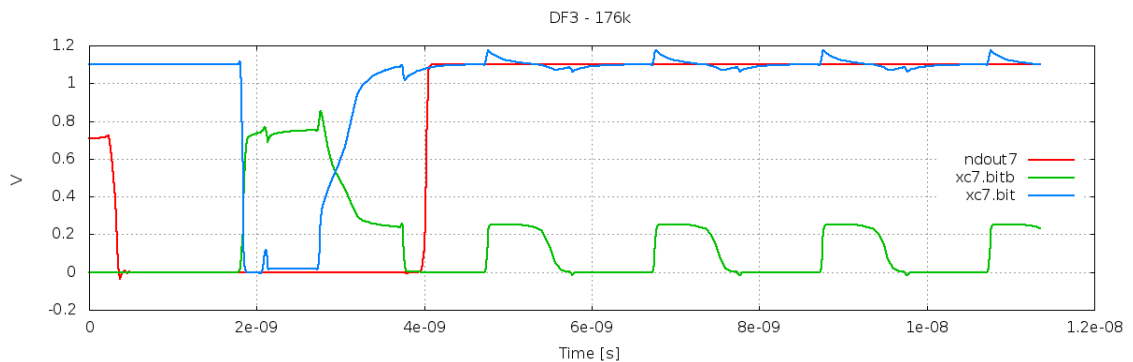
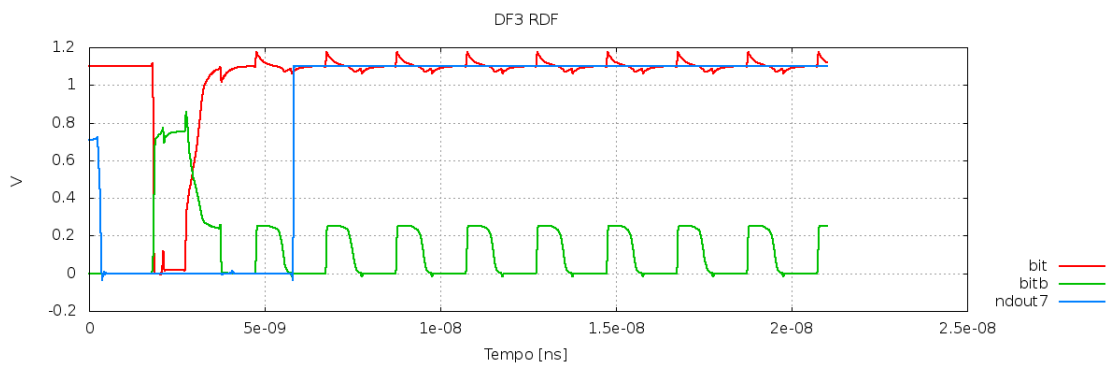
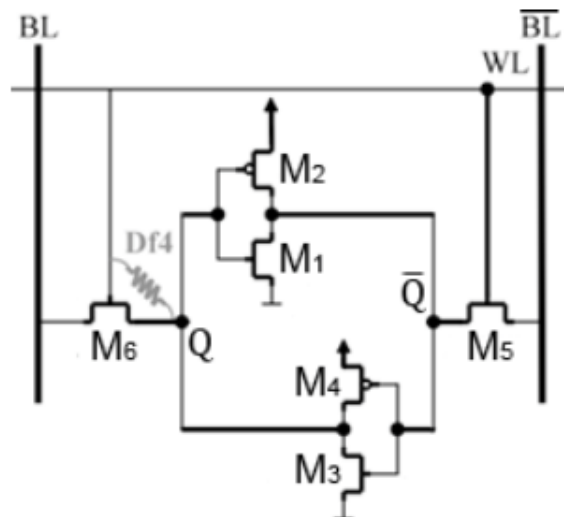


Figura 47 – Falha do tipo RDF em uma célula afetado por DF3 de $178k\Omega$ 

4.5.4 Resistive-Bridge: Defeito 4

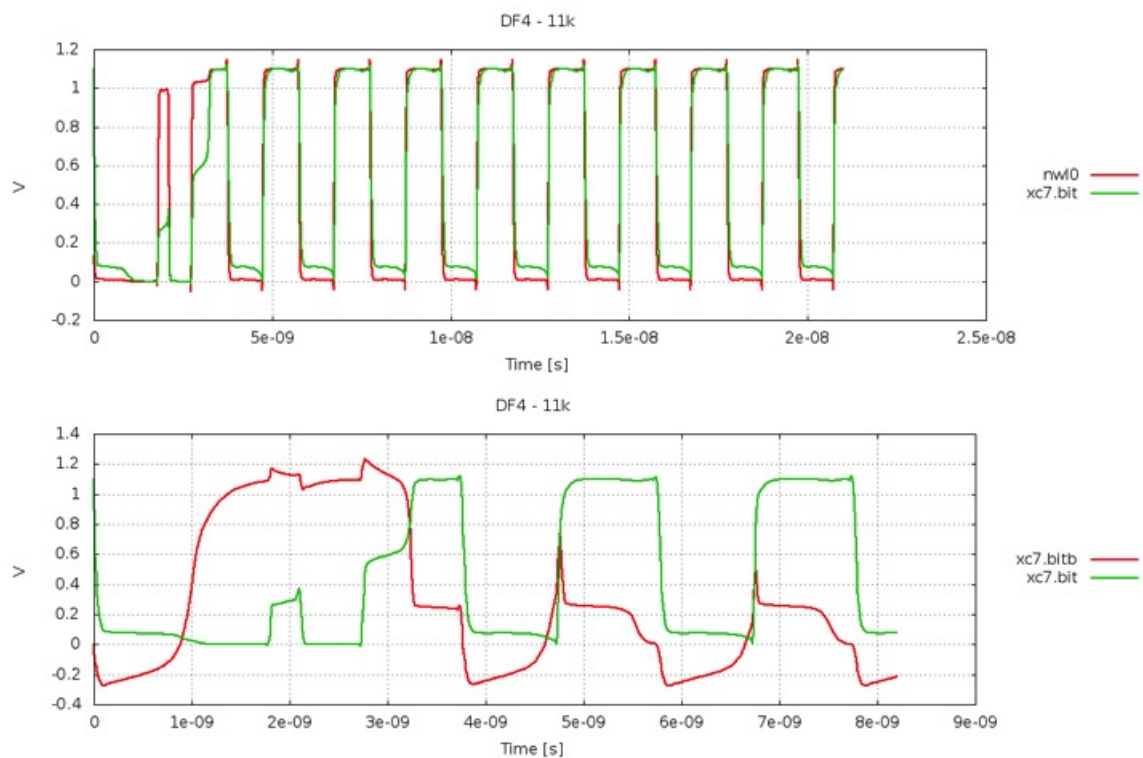
O quarto defeito resistivo do tipo *resistive-bridge* (DF4) observado em uma célula de memória 6T está ilustrado na Figura 48. Esse defeito está localizado junto ao transistor M6, interligando os nodos entre o *drain Q* e o *source WL* (*wordline*) do transistor, criando uma conexão direta entre o WL e Q. Esse defeito afeta especificamente o armazenamento do valor '1' na célula, uma vez que o valor será drenado para a WL devido a conexão entre os nodos.

Figura 48 – Célula 6T com a presença do defeito *resistive-bridge* 4.

Assim, quando o defeito resistivo for inferior a $12k\Omega$ é possível observar uma falha de SAF0 na célula, uma vez que a célula é incapaz de alterar o seu valor lógico para '1', conforme Figura 49. Neste gráfico, devido a presença do defeito, a célula possui o mesmo comportamento que a *wordline*, Figura 49.(a), uma vez que existe uma conexão interligando os dois nodos, WL e *bit*. Na Figura 49.(b), é possível observar que a célula

não consegue armazenar o valor lógico devido a esse comportamento. Quando esse valor é superior a $12k\Omega$ e inferior a $14k\Omega$ a célula continua apresentando SAF0, contudo o seu valor lógico de saída é diferente do valor lógico da célula durante o período de leitura, o que, por sua vez, caracteriza-se como uma IRF, Figura 50. Quando DF4 for superior a $14k\Omega$ é possível verificar pela Figura 51 que a célula já não apresenta mais uma SAF0.

Figura 49 – Falha do tipo SAF0 em uma célula afetado por DF4 de $11k\Omega$



(a) DF4 de $11k\Omega$, *bit* com comportamento semelhante a *WL*, (b) DF4 nas operações de escrita e leitura do valor lógico 0.

Nas operações de escrita, foi possível observar que a célula fica com um comportamento instável para defeitos inferiores a $60k\Omega$. Essa falha resulta na alteração do valor lógico armazenado na célula quando em *idle*. Esse comportamento é ilustrado na Figura 52.

4.5.5 Resistive-Bridge: Defeito 5

O quinto defeito resistivo DF5 observado em uma célula do tipo 6T interliga dois nodos e está representado através da Figura 53. Este defeito interliga a *source* e o *gate* do transistor M6, sendo eles *WL* e *BL*, respectivamente. Devido a sua posição na célula,

Figura 50 – Falha do tipo SAF0 e IRF em uma célula afetado por DF4 de $13k\Omega$

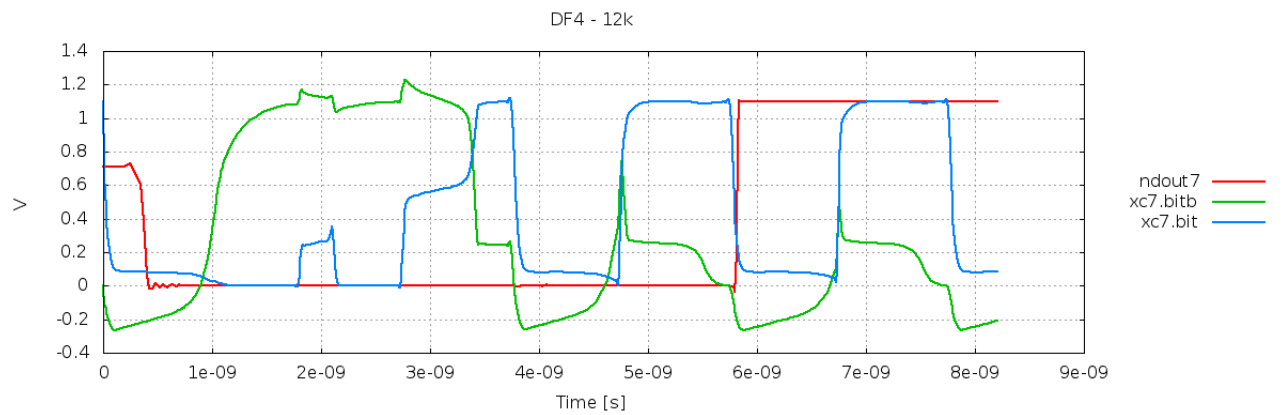


Figura 51 – Célula com DF4 de $14k\Omega$, livre da falha de SAF0

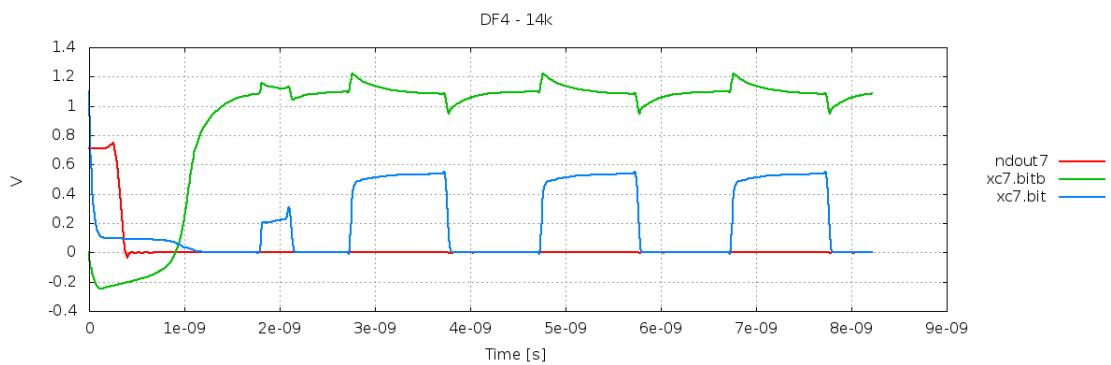
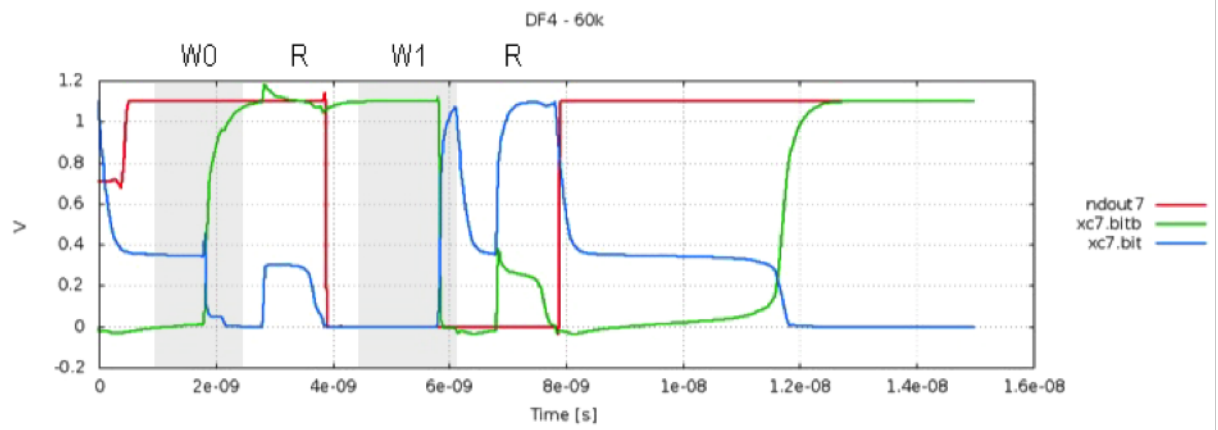
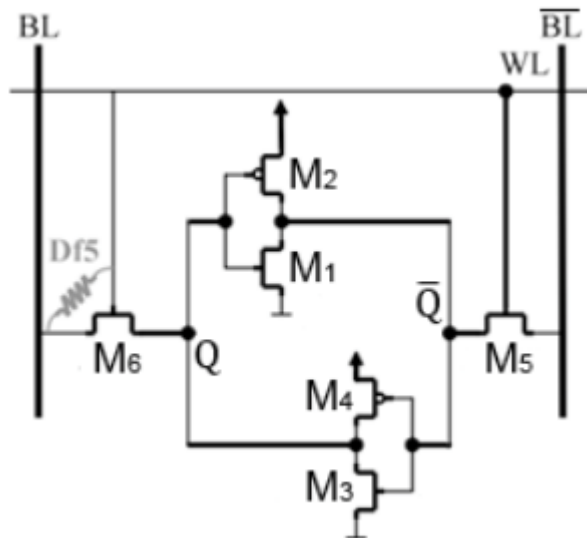


Figura 52 – Comportamento instável da célula quando afetado por DF4 superior a $60k\Omega$



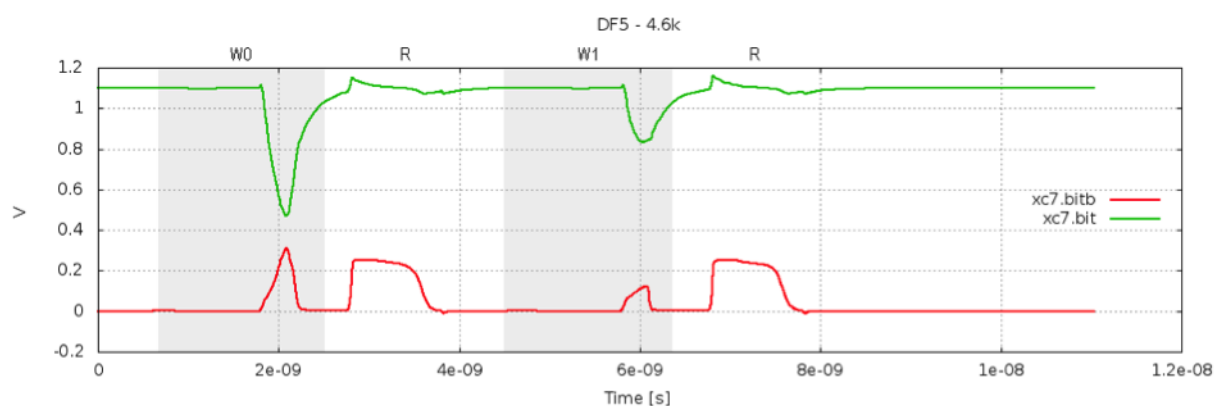
esse defeito pode resultar tanto em falhas na própria célula como causar falhas nas células vizinhas, uma vez que o defeito está interligado ao *bitline*.

Figura 53 – Célula 6T com a presença do defeito *resistive-bridge* 5.



Quando a célula apresenta um defeito resistivo inferior a $4,8k\Omega$ pode-se observar uma falha do tipo TF, impossibilitando armazenar o valor lógico '0' na célula, conforme ilustrado na Figura 54. A mesma falha do tipo TF ocorre quando se deseja armazenar o valor lógico '1' na célula, sendo essa falha observada para defeitos inferiores a $5,8k\Omega$, Figura 55.

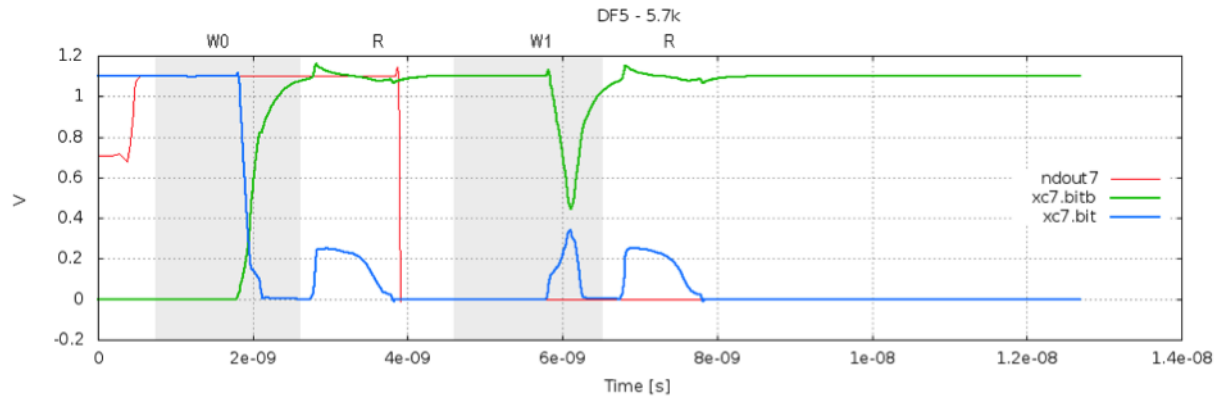
Figura 54 – Falha do tipo TF0 em uma célula afetado por DF5 de $4.6k\Omega$



4.5.5.1 Resistive-Bridge: Defeito 5 - array

Como o DF5 está ligado ao *bitline* da célula, o mesmo pode afetar as células vizinhas na mesma coluna da matriz de memória, Figura 56. Sendo assim, nesta simulação

Figura 55 – Falha do tipo TF1 em uma célula afetado por DF5 de $5.7k\Omega$



foi utilizado como referência uma célula localizada na sexta coluna do bloco de memória, tornando-se viável a análise das células vizinhas com defeito. A Figura 57 detalha a falha de TF de '1' para '0' para um defeito resistivo de $3,0k\Omega$, observada na memória estudo de caso. Foi possível sensibilizar essa falha em célula com defeito inferior, ou igual a $3,0k\Omega$.

Figura 56 – Modelo de célula afetada pelo defeito DF5 *array*

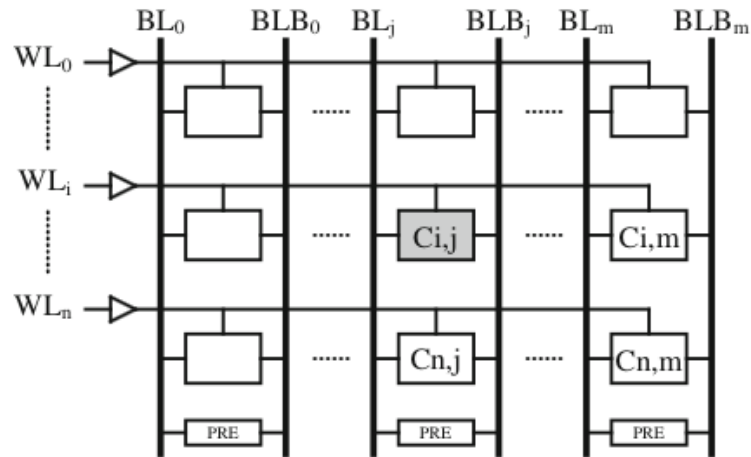
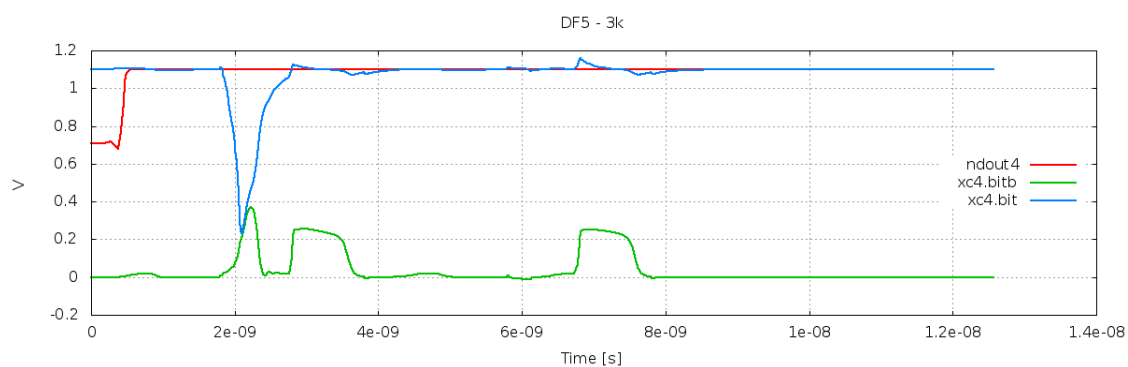


Figura 57 – Falha do tipo TF1 em uma célula vizinha a célula afetada por DF5 de $3k\Omega$



5 Resultados e Discussão

Esta seção descreve os resultados obtidos durante as simulações executadas para avaliarmos o impacto de NBTI em memórias com defeitos do tipo *resistive-open* e *resistive-bridge*. Para obtenção destes resultados foram realizadas simulações em HSPICE. Desta forma, espera-se poder analisar o impacto no tempo de vida da célula de memória quando afetada por esses defeitos e expostas ao fenômeno de NBTI. Nas próximas seções serão abordados o impacto de NBTI em um célula SRAM livre de defeito, seguido da análise do impacto em células com defeitos *resistive-open* e *resistive-bridge* respectivamente, levando-se em consideração as falhas encontradas na seção anterior.

5.1 NBTI e Defeitos do Tipo *Resistive-Open*

Esta seção tem o objetivo de abordar os resultados obtidos durante o processo de análise do impacto do fenômeno de NBTI em células SRAM com defeitos do tipo *resistive-open*. Dado os tipos de falhas observados nas células de memórias, detalhados na Tabela 1, a análise de resultados foi dividida em dois grupos. Primeiramente, serão analisados os defeitos DF2 e DF3 que resultaram em falhas estáticas e dinâmicas na célula. A seguir, serão abordados os defeitos DF1, DF5 e DF6 que resultaram somente em falhas estáticas do tipo TF.

Tabela 1 – Mínimo valor que sensibiliza a falha em cada um dos defeitos *Resistive-Open*

Defeito	Modelo de Falha	Minima Resistência ($k\Omega$)
DF1	TF (0 p/ 1)	84
DF2	dRDF (4° leitura)	125
	dRDF (2° leitura)	127
	RDF	128
DF3	dRDF (2° leitura)	72
	RDF	74
DF5	TF (0 p/ 1)	700
	TF (1 p/ 0)	660
DF6	TF (0 p/ 1)	740
	TF (1 p/ 0)	620

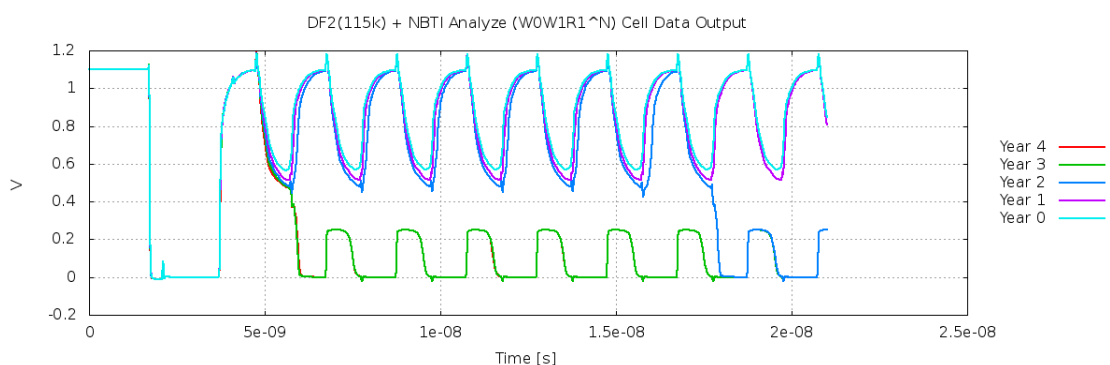
5.1.1 Resistive-Open DF2

Conforme ilustrado na Figura 29, para DF2 foi possível observar falhas dinâmicas e estáticas do tipo RDF. Como descrito anteriormente, uma célula com DF2 apenas gerou um falha quando o tamanho do defeito na célula foi superior a $125k\Omega$. Sendo sensibilizada com falha dinâmica nas operações de leitura na célula para defeitos superiores a $125k\Omega$ na quarta leitura e de $127k\Omega$ na segunda leitura. Defeitos maiores que $127k\Omega$ apresentaram falhas estáticas do tipo RDF.

Entretanto, ao considerar uma célula com defeito resistivo de $115k\Omega$ para DF2, com base nos resultados anteriores, um defeito desta grandeza não irá resultar em uma falha a nível lógico na célula. Em outras palavras, nenhuma falha pode ser observada durante as operações de escrita e leitura no período inicial. Contudo, ao analisarmos a célula ao longo dos anos com a presença do fenômeno de NBTI e DF2 de $115k\Omega$, o resultado é diferente a medida que a memória envelhece.

Na Figura 58 podemos observar o valor armazenado na célula quando afetada por um defeito resistivo DF2 com uma grandeza de $115k\Omega$. É possível observar que após 2 anos de envelhecimento, uma operação de escrita $w1$ seguida de sete operações de leitura, alteram o valor lógico da célula para '0'. Contudo, em um período de envelhecimento de três anos, podemos observar que é necessário apenas uma operação de leitura para sensibilizar a falha na célula e o valor lógico ser alterado para '0'.

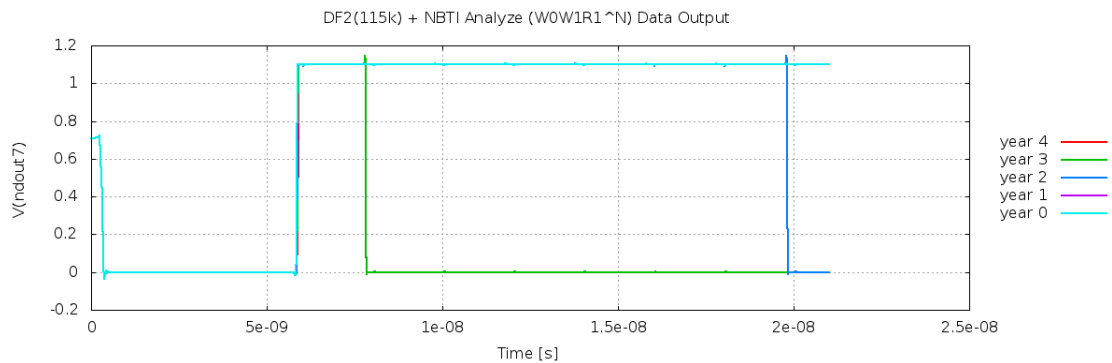
Figura 58 – Comportamento falho: valor armazenado (V) na célula na presença de DF2 e NBTI



A Figura 59 apresenta o valor de saída da célula de memória. Nela é possível observar as alterações ao longo dos anos causados na célula a medida que é afetada por NBTI diante de operações de leitura.

Além disso, é possível observar através da Figura 58 que no período de dois anos de envelhecimento, após uma sequência de sete operações de leitura na célula, o valor foi alterado para '0', caracterizando uma falha do tipo dRDF. O mesmo pode ser observado

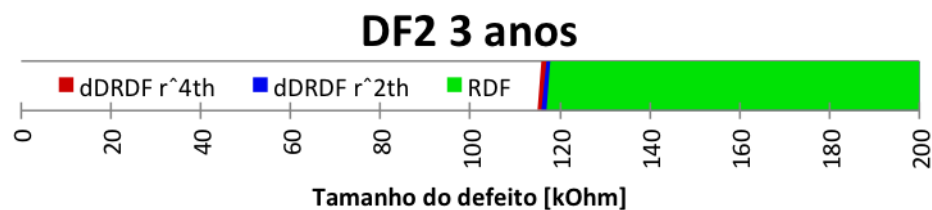
Figura 59 – Comportamento falho: valor de saída (V) na célula na presença de DF2 e NBTI



no terceiro ano, porém a ocorrência de uma falha do tipo RDF ocorreu logo após a primeira leitura na célula. Com isso, podemos verificar que, uma célula SRAM com *weak resistive-open*, que eventualmente possa não ser detectado durante o teste de manufatura, pois não sensibilizou em nível lógica a falha, pode gerar um comportamento falho quando afetado por NBTI durante a sua vida útil. Como nesta simulação, onde a célula com DF2 de $115k\Omega$ terá um tempo de vida de apenas três anos, enquanto uma célula SRAM livre de defeito irá operar sem falhas por um período superior a dez anos.

A Figura 60 apresenta a relação entre o tamanho do defeito e a falha observada considerando DF2 após três anos de envelhecimento. Em um comparativo com o apresentado na Figura 25, é possível observar que o defeito dDRDF, após a quarta leitura, ocorreu quando o defeito era de $112k\Omega$ e após a segunda operação de leitura de $113k\Omega$. Finalmente, com defeitos superiores a $115k\Omega$, observa-se falha estática do tipo RDF.

Figura 60 – Relação entre o tamanho do defeito e o comportamento observado considerando DF2 após 3 anos de envelhecimento.



5.1.2 Resistive-Open DF3

Os resultados obtidos durante as simulações do defeito *resistive-open* DF3 na memória estudo de caso, estão na Figura 25. Em mais detalhes, observam-se os seguintes

resultados: falha do tipo dRDF a partir da segunda operação de leitura na célula de memória, para defeitos resistivos inferiores a $72k\Omega$ e falhas estáticas de RDF na célula quando a grandeza do defeito resistivo for superior a $74k\Omega$. Ambas as falhas de dRDF e RDF foram apresentadas nas Figuras 29.(a) e 29.(b), respectivamente.

Na Figura 61 foi simulado uma célula considerando DF3 com um valor de $60k\Omega$. Observando a Figura 61 é possível verificar que após um ano de envelhecimento, a célula apresentou uma falha do tipo dRDF, sendo sensibilizada após a quarta operação de leitura consecutiva na célula. Contudo, no segundo ano, o número de leituras necessárias para sensibilizar o comportamento falho caiu de quatro para três leituras.

Figura 61 – Comportamento falho: valor armazenado (V) na célula na presença de DF3 ($60k\Omega$) e NBTI

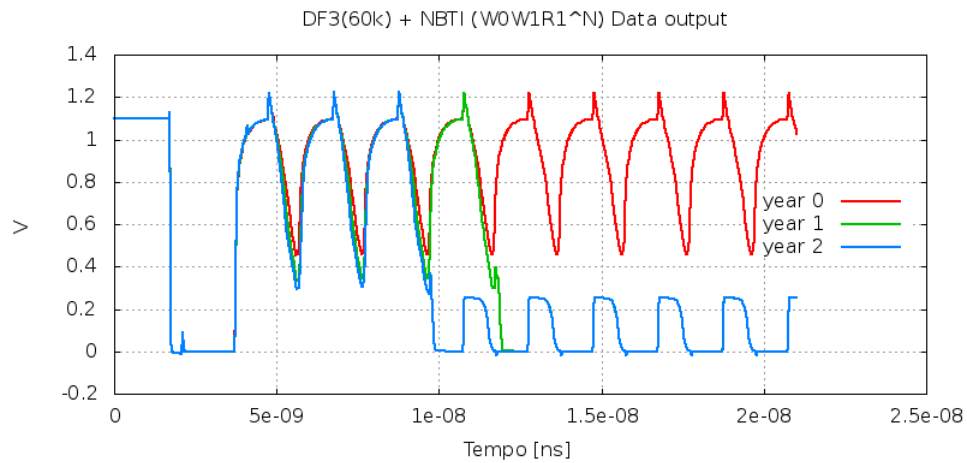
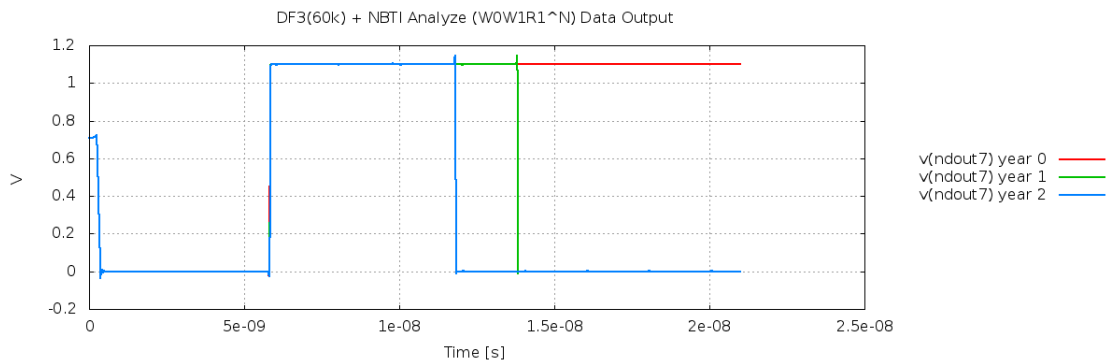


Figura 62 – Comportamento falho: valor de saída (V) na célula na presença de DF3 ($60k\Omega$) e NBTI



Tendo a análise do DF3 em uma célula não envelhecida e falhas do tipo dRDF e RDF, é possível concluir que defeitos inferiores a $72k\Omega$ na memória estudo de caso não resultam em falhas na saída. Contudo, ao executarmos as simulações com um defeito

resistivo de $60k\Omega$ em DF3, foi verificado que com a influência do fenômeno de NBTI a célula apresentou falhas do tipo dRDF já no segundo ano de vida. Na Figura 62 é possível observar o valor de saída na célula SRAM com DF3 de $60k\Omega$. A mesma conclusão pode ser deduzida para o DF2.

A Figura 63 mostra a relação entre o defeito DF3 e as falhas observadas após um período de 3 anos de envelhecimento. Relacionando esses resultados com os apresentados para uma célula livre de defeitos, é possível observar que a célula apresentou falhas do tipo dRDF para defeitos superiores a $60k\Omega$ e sendo falhas estáticas de RDF para defeitos superiores a $61k\Omega$.

Figura 63 – Relação entre o tamanho do defeito e o comportamento observado considerando DF3 após 3 anos de envelhecimento.



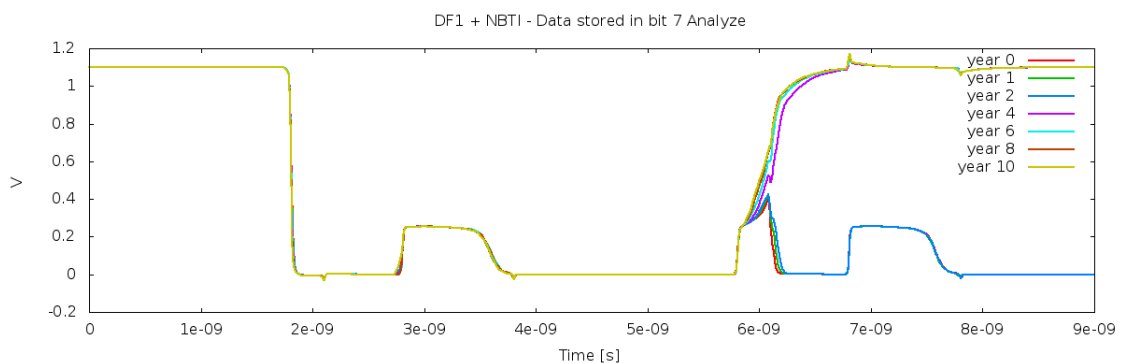
5.1.3 Resistive-Opens DF1 DF5 e DF6

Como detalhado anteriormente, o comportamento apresentado na presença dos defeitos DF1, DF5 e DF6 resultaram no mesmo tipo de falha, conforme está ilustrado nas Figuras 27, 34 e 36, respectivamente. Devido a similaridade nas falhas apresentadas, a análise do impacto desses defeitos será feita conjunto. Basicamente, considerando o tamanho dos defeitos colocados na análise da memória estudo de caso, todos resultaram em falhas do tipo TF. Falhas do tipo TF resultam apenas em falhas estáticas, não sendo possível observar falhas dinâmicas em seu comportamento, uma vez que estão associadas exclusivamente as operações de escrita na célula. Nas simulações executadas, foi possível verificar apenas a variação na ordem de grandeza onde é possível detectar a falha propagada ou não a nível lógico.

Para o DF1, é possível observar uma falha de TF de 0 para 1 quando o tamanho do defeito presente na célula for superior a $84k\Omega$. Contudo, uma TF de 1 para 0 não pode ser observada durante as simulações executadas na células com DF1. Para DF5, TFs de 0 para 1 podem ser observadas na célula para defeitos superiores a $700k\Omega$. O oposto, TF de 1 para 0, só foi sensibilizado nas simulações para falhas superiores a $660k\Omega$. No último defeito relacionado a *ressistive-open* DF6, foram observadas falhas do tipo TF de 0 para 1 quando igual ou superior a $740k\Omega$ e TF de 1 para 0 quando superiores a $620k\Omega$.

As simulações das falhas observadas anteriormente, quando na presença de NBTI geraram resultados diferentes do esperado. Mais precisamente, foi observado que o tamanho do defeito necessário para sensibilizar a falha do tipo TF na célula, aumenta a medida em que ela é envelhecida. Esse comportamento é o oposto do observado com os defeitos DF2 e DF3. Desta forma, enquanto o envelhecimento de uma SRAM tende a afetar a confiabilidade da célula quando na presença dos defeitos DF2 e DF3, pois um defeito não detectável pode vir a resultar em uma falha com o passar do tempo, o oposto ocorre para os defeitos DF1, DF5 e DF6 que não irão provocar uma falha a nível lógico quando envelhecidos. Conseqüentemente, para um determinado tamanho de defeito que provoque uma falha na célula, após um determinado tempo de vida, não irá mais sensibilizar o mesmo comportamento falho a nível lógico.

Figura 64 – Comportamento falho: valor armazenado (V) na célula na presença de DF1 ($100k\Omega$) e NBTI



A Figura 64 melhor exemplifica o comportamento da célula com uma falha do tipo TF, onde a célula apresenta um DF1 de $100k\Omega$. Nos três primeiros anos da célula, a falha de TF de 0 para 1 pode ser observada. Contudo, a medida que a célula é envelhecida sob a influência do fenômeno de NBTI, o comportamento muda. Neste caso, uma TF pode ser observada na célula durante os três primeiros anos, não sendo mais sensibilizada a falha a partir do quarto ano de vida. Conforme a célula já apresenta uma falha logo no início de sua validação, uma vez que pode ser sensibilizada nos testes de manufatura para defeitos superiores a $83k\Omega$, esses defeitos não representam uma questão de confiabilidade para SRAMs.

5.2 NBTI e Defeitos do Tipo *Resistive-Bridge*

A simulação de defeitos do tipo *resistive-bridge* é realizada de maneira oposta à simulação de defeitos do tipo *resistive-open*. Isso ocorre porque o fato de existir um caminho indesejado interligando dois pontos na arquitetura da SRAM, cria um caminho

que passa a ser um condutor, interferindo no comportamento da célula 6T. Sendo assim, para esses defeitos, quanto maior a resistência entre os nodos, menor a probabilidade que a célula seja defeituosa.

Nas simulações em HSPICE, foram utilizados valores de resistência baixos e incrementados até que o tamanho do defeito não gerasse um comportamento falho na célula. Verificando assim, as falhas estáticas e dinâmicas que cada defeito pode gerar na memória estudo de caso. Os resultados dos defeitos encontrados seguindo esses princípios estão detalhados na Tabela 2 e servirão como base para a análise do impacto de NBTI nas células defeituosas.

Dada a similaridade dos defeitos encontrados na memória estudo de caso, alguns defeitos serão analisados em conjunto. Sendo assim, primeiramente será abordado os resultados associados ao DF1, seguindo para a análise dos defeitos DF2 e DF3 em conjunto. Na terceira rodada serão abordadas as falhas em DF4 e por fim, serão abordadas as falhas em DF5 e DF5 *array* em conjunto.

Tabela 2 – Máximo valor que sensibiliza a falha em cada um dos defeitos *Resistive-Bridge*

Defeito	Modelo de Falha	Máximo Resistência ($k\Omega$)
DF1	NSF	72
	IRF	93
DF2	SAF1	22
	RDF	81
	dRDF	83
DF3	SAF1	176
	RDF	218
DF4	SAF0	12
	SAF0 + IRF	14
	Fail Behavior	67
DF5	TF (1 p/ 0)	4.7
	TF (0 p/ 1)	5.7
DF5 array	TF (1 p/ 0)	3.1

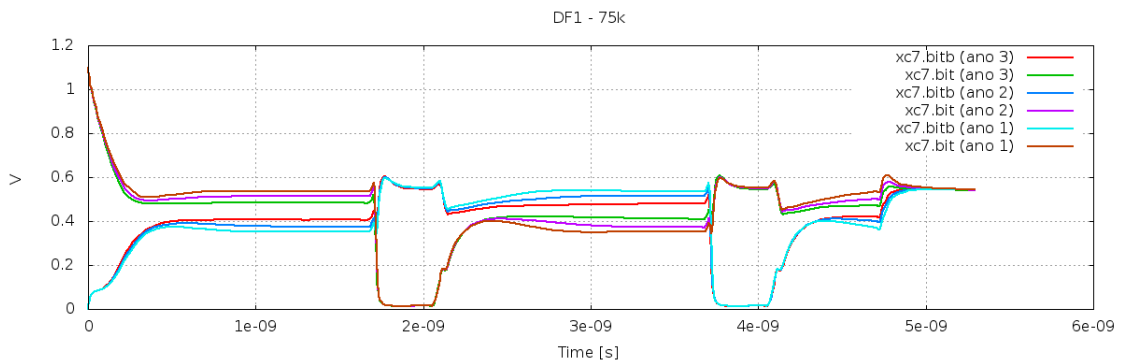
5.2.1 *Resistive-Bridge* DF1

A célula SRAM considerada como estudo de caso, na presença de DF1 e livre de envelhecimento, Figura 38, apresentou as falhas de NSF e IRF. Essas falhas foram sensibilizados na presença do defeito na célula foi inferior a $73k\Omega$, resultando na falha de NSF e quando inferior a $93k\Omega$, resultando na falha de IRF. Note que foram observadas somente falhas estáticas.

Falhas do tipo NSF afetam exclusivamente as operações de escrita na célula, uma vez que o valor dos *bitlines* não é armazenado internamente na célula. Desta forma, este é um tipo de defeito, que apenas pode resultar em falhas estáticas na célula, sendo analisado apenas em nível de grandeza o seu impacto na célula.

Tendo o estudo de caso manifestado uma falha de NSF para defeitos inferiores a $73k\Omega$, foi analisado uma célula com defeito de $75k\Omega$ sobre o efeito de NBTI, uma vez que nesta grandeza ela se encontra livre desta falha. Conforme apresenta a Figura 65, no primeiro ano a célula possui uma diferença de tensão entre os *bitlines* suficiente para armazenar um valor lógico. Contudo, a partir do terceiro ano esta diferença, de tensão não é mais suficiente para que se possa ter um valor lógico na célula, tornando a célula falha.

Figura 65 – Comportamento falho: valor armazenado (V) na célula na presença de DF1 ($75k\Omega$) e NBTI



5.2.2 Resistive-Bridge DF2 e DF3

Os defeitos de *resistive-bridge* DF2 e DF3, conforme detalhado no Capítulo anterior, possuem bastante similaridades nas falhas apresentadas. Fisicamente os mesmos estão localizados entre os inversores da célula 6T, sendo o DF2 formado por uma conexão entre o *source* (VDD) e o *gate* (bit) do transistor pMOS M1, e o DF3 formado por uma conexão entre o *drain* GND e o *gate* (bitb) do transistor nMOS M4, no primeiro e segundo inversor, respectivamente.

Estes defeitos interferem no comportamento da célula com relação ao valor armazenado. Podendo ser detectados nas operações de leitura da célula e resultarem tanto em falhas dinâmicas, como em falhas estáticas. Na memória estudo de caso deste projeto, foi possível observar em uma célula livre de influências de NBTI mas com a presença de um destes defeitos, as falhas de SAF1 e RDF.

Para DF2, foram observadas falhas estáticas do tipo SAF1 quando a resistência é inferior a $23k\Omega$, e RDF para defeitos de até $81k\Omega$. Para defeitos superiores a $81k\Omega$ e

inferiores a $83k\Omega$, uma RDF ocorreu somente após a segunda leitura, resultando em uma falha do tipo dRDF. No defeito DF3, foi observada falha do tipo SAF1 quando inferior a resistência é $176k\Omega$ e falha do tipo RDF entre $176k\Omega$ e $218k\Omega$. Contudo, para esse defeito não foi possível observar falhas dinâmicas na célula. Para a análise do impacto de NBTI sob uma célula com esses defeitos, foram analisados dois pontos distintos: falhas de SAF1, seguida da análise das falhas estáticas e dinâmicas de RDF.

Figura 66 – Comportamento falho: valor armazenado (V) na célula na presença de DF2 ($20k\Omega$) e NBTI

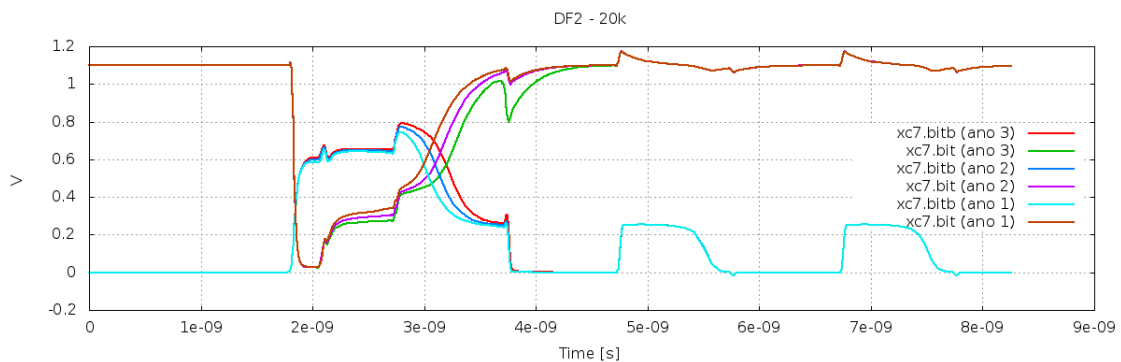
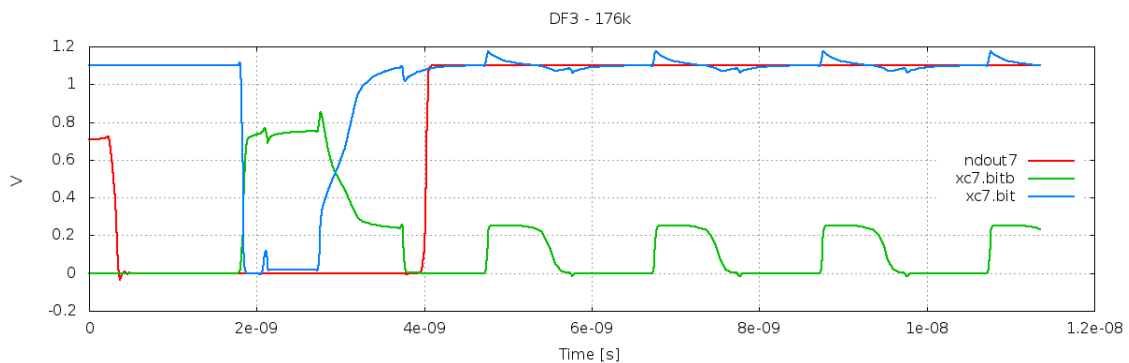


Figura 67 – Comportamento falho: valor armazenado (V) na célula na presença de DF3 ($176k\Omega$) e NBTI



Na primeira análise, foi considerada uma célula defeituosa com DF2 na grandeza de $20k\Omega$ e na grandeza de $176k\Omega$ para DF3. Defeitos nesta grandeza sensibilizam na células falhas do tipo SAF1. Contudo, quando envelhecidas, para o DF2 após o primeiro ano a célula passa a não sensibilizar SAF1 novamente, conforme detalhado na Figura 66. Em DF3, considerando o defeito nesta grandeza, após o sexto ano de vida a célula passou a não sensibilizar mais a falha. É importante ressaltar que esses comportamentos foram gerados em uma célula que já apresentava a falha, não sendo o foco na análise deste trabalho, uma vez que a confiabilidade da célula já havia sido comprometida e a falha possivelmente já teria sido detectada durante os testes de manufatura.

Na segunda etapa, foi analisada a falha do tipo RDF nas células com DF2 e com DF3, respectivamente. Nesse ponto foi levantado o comportamento de uma célula com defeitos resistivos na grandeza de $90k\Omega$ para DF2 e de $240k\Omega$ para DF3. Uma célula nestas condições, na memória estudo de caso, é livre de falhas, tanto estáticas como dinâmicas. Contudo, quando sob o efeito de NBTI, o seu comportamento é alterado. Neste cenário, em DF2, podemos verificar que a célula após o terceiro ano passou a apresentar falha do tipo dDRDF, sendo sensibilizada a partir da quarta operação de leitura na célula, já no quarto ano de envelhecimento, apresenta-se uma falha do tipo dRDF, sendo sensibilizada a partir da segunda leitura, Figura 68. Para DF3, conforme detalhado anteriormente, foram observadas apenas falhas estáticas, onde quando na grandeza de $240k\Omega$ resultam em falhas estáticas do tipo RDF a partir do quarto ano da célula SRAM, Figura 69.

Figura 68 – Comportamento falho: valor armazenado (V) na célula na presença de DF2 ($90k\Omega$) e NBTI

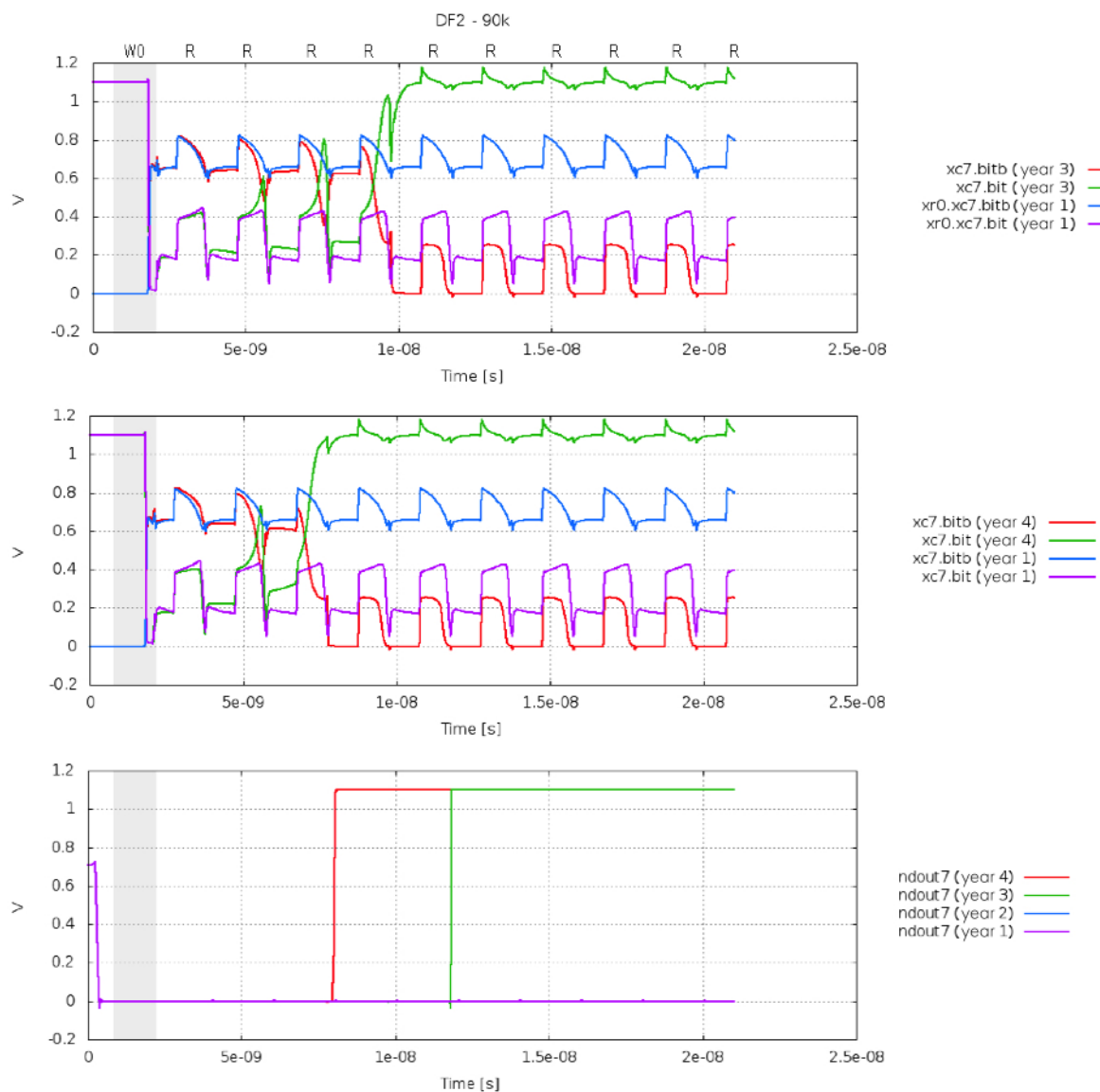
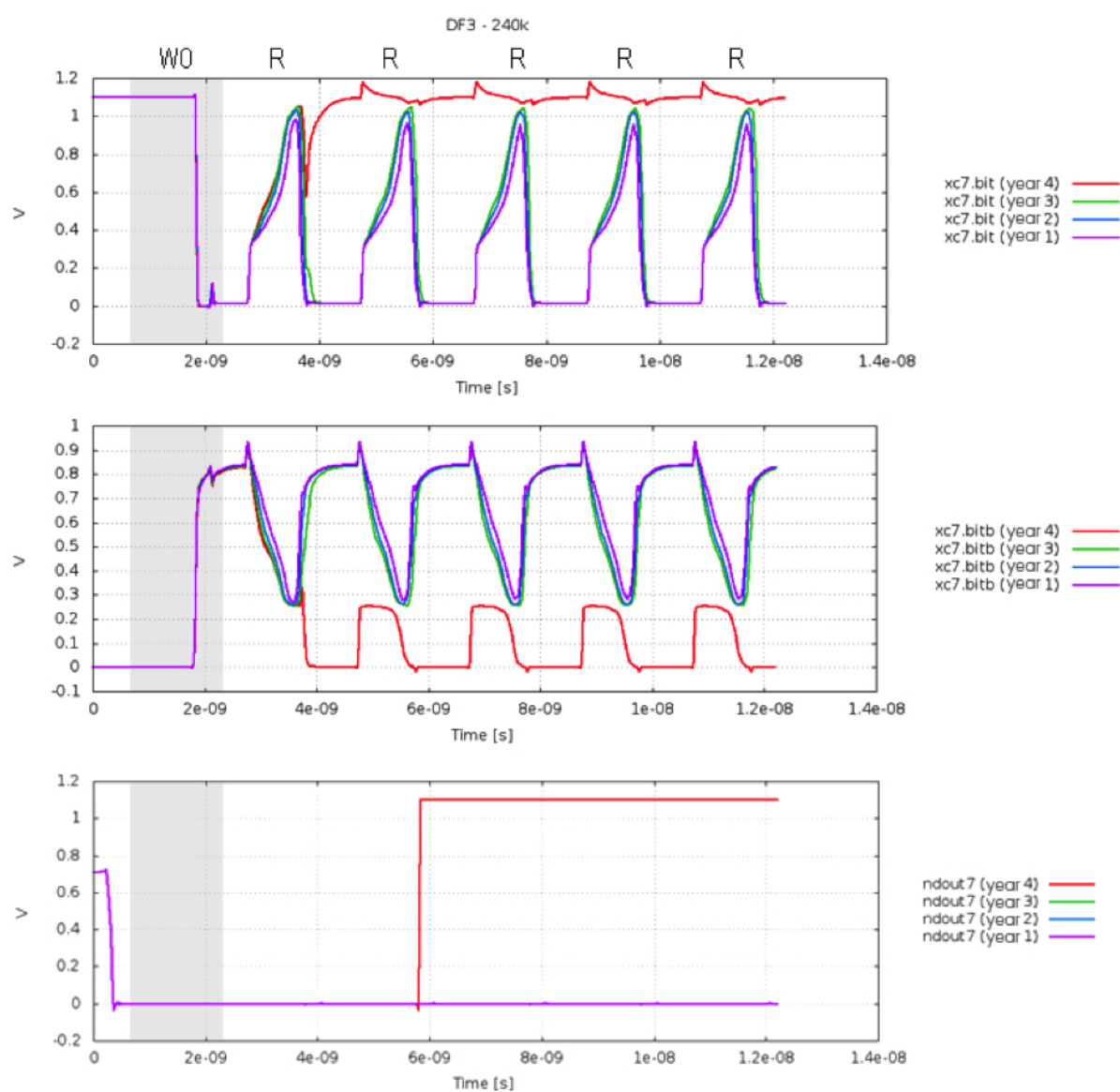


Figura 69 – Comportamento falho: valor armazenado (V) na célula na presença de DF3 (240kΩ) e NBTI



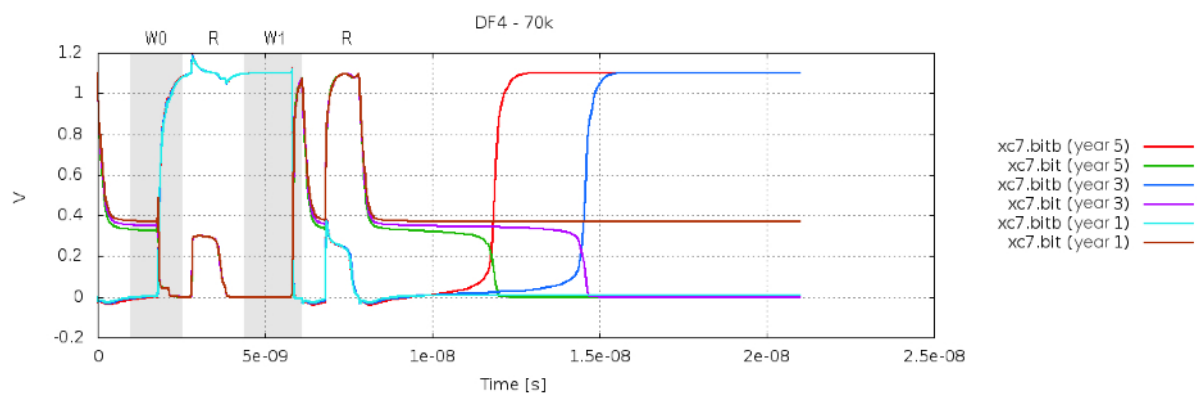
5.2.3 Resistive-Bridge DF4

O defeitos resistivos DF4, durante as simulações resultaram em falhas do tipo SAF0, IRF e TF. Essas falhas puderam ser observadas tanto nas operações de escritas como de leituras na SRAM. Neste contexto, as falhas foram analisadas conforme a Tabela 2.

As simulações com a memória estudo de caso limitaram a grandeza em que os defeitos poderiam resultar em falha na memória, uma vez que, para este defeito, não foi possível observar falhas dinâmicas na célula. Desta forma, para o DF4 foi possível observar em defeitos inferiores a $12k\Omega$ apenas falhas do tipo SAF0, nos limiares de $12k\Omega$ e inferiores a 14Ω o defeito resultou em falhas do tipo IRF em conjunto com a falha de SAF0. Por fim, nas operações de escrita na célula foi possível sensibilizar as falhas de TF de 1 para 0 em defeitos inferiores a $67k\Omega$.

Tendo uma célula SRAM com DF4 e um defeito na ordem de grandeza de $70k\Omega$, baseado no estudo de caso, é possível observar uma célula livre de falhas. Contudo, ao considerarmos o NBTI sobre a célula SRAM a sensibilidade da célula muda, como pode ser observado na Figura 70. Neste caso, a célula no seu ciclo de vida inicial, apresentou-se livre de falhas. Contudo, sob efeito de envelhecimento da célula, o seu comportamento foi alterado e a falhas de TF de 1 para 0 passam a ser sensibilizadas a medida em que a célula vai envelhecendo. Isso resulta em uma menor capacidade de reter o valor lógico, como pode ser observado nos anos 3 e 5.

Figura 70 – Comportamento falho: valor armazenado (V) na célula na presença de DF4 ($70k\Omega$) e NBTI



Considerando as falhas anteriores de SAF0 e IRF, sensibilizados quando o defeito na célula é inferior a $14k\Omega$, essas falhas não afetam a confiabilidade da SRAM quando sob o efeito de NBTI, uma vez que, em célula livre de falhas as mesmas não podem ser sensibilizadas ao longo dos anos e células falhas são detectáveis nos testes tradicionais.

5.2.4 Resistive-Bridge DF5 e DF5 array

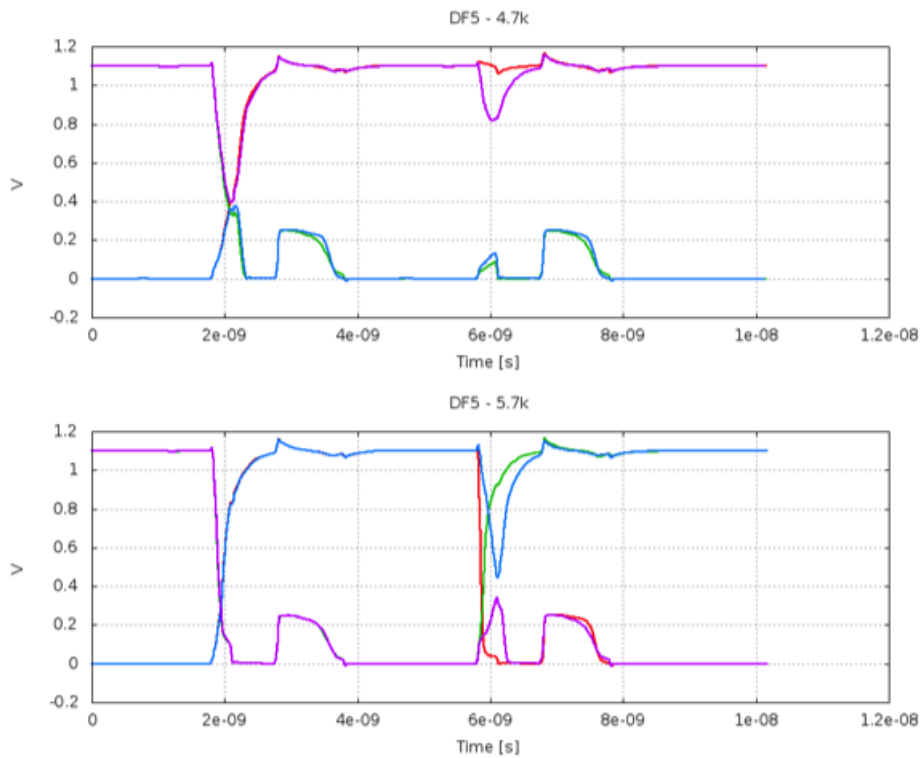
O defeito resistivo DF5 por estar ligado à coluna do bloco de células da SRAM pode afetar tanto a própria célula como a sua célula vizinhas na mesma coluna. Sendo assim, nesta seção serão abordados tanto as falhas em DF5 com também as falhas nas células vizinhas, denominadas neste trabalho como DF5 *array*. Para este defeito foi possível observar falhas do tipo TF de 1 para 0 e de TF 0 para 1.

Na memória estude caso, DF5 resultou em falhas de TF de 0 para 1, quando a grandeza do defeito foi inferior a $4,8k\Omega$ e de TF 1 para 0 quando inferior a $5,8k\Omega$. Para DF5 *array* falhas do tipo TF de 1 para 0 podem ser observada na presença de defeitos inferiores a $3,1k\Omega$.

Entretanto, conforme detalhado para os defeitos do tipo *resistive-open*, falhas do tipo TF são falhas que ocorrem durante as operações de escrita na célula, sendo observadas apenas de forma estática. Em adicional, falhas do tipo TF associadas ao DF5 deixam de ser observadas, quando a célula está exposta ao fenômeno de NBTI, ou seja, a célula se torna menos suscetível a esse comportamento falho ao longo de sua vida.

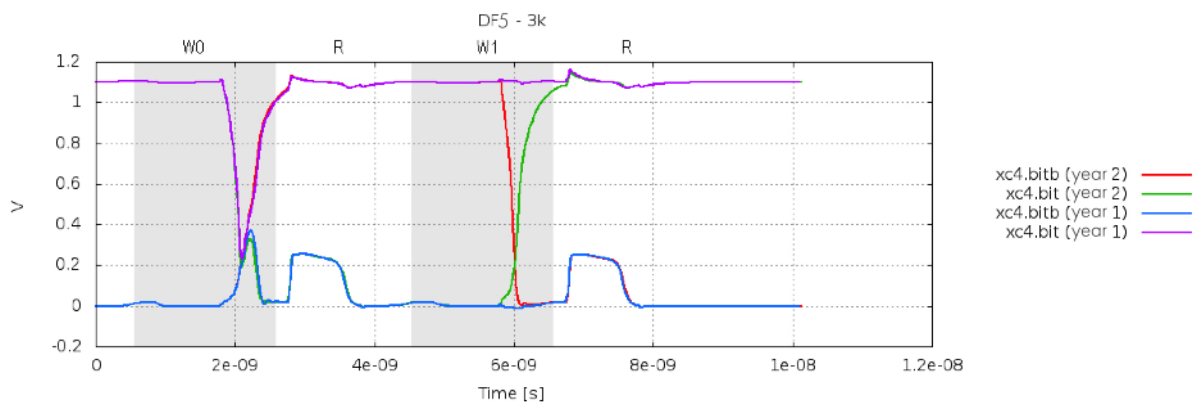
Por esta razão, defeitos deste tipo foram analisados apenas no *range* em que a falha possa ser observada a nível lógico, Figura 71. Podemos observar que as falhas de TF de 1 para 0 e de 0 para 1, passaram a não ser mais sensibilizadas na célula a medida em que as mesmas envelheceram. Isso ocorre, pois com o aumento da V_{th} a célula se torna mais suscetível a troca de seu estado lógico. Na Figura 71.(a) é apresentada uma célula com defeito de $4,7k\Omega$ e livre de falha do tipo TF de 0 para 1 a partir do segundo ano. Já na Figura 71.(b) podemos observar que para um defeito de $5,7k\Omega$ a célula está livre de falha de TF de 1 para 0 a partir do segundo ano. Para DF5 *array*, o mesmo comportamento pode ser observado para TF em uma grandeza de $3k\Omega$, onde a partir do segundo ano a falha deixou de ser sensibilizada pela célula. Contudo a célula com DF5 continua apresentando TF, conforme ilustrado na Figura 72.

Figura 71 – Comportamento falho: valor armazenado (V) na célula na presença de DF5 e NBTI



(a) DF5 de $4,7k\Omega$, falha de TF 0 para 1 no 1º ano e livre de defeito no 2º ano, (b) DF5 de $5,7k\Omega$, falha de TF 1 para 0 no 1º ano e livre de defeito no 2º ano.

Figura 72 – Comportamento falho: valor armazenado (V) na célula vizinha a célula com DF5 array de $3k\Omega$ e NBTI



6 Conclusão

Com a miniaturização da tecnologia e o aumento de memórias em SoC, defeitos resistivos se tornaram um fator comum em SRAM devido a falhas no processo de manufatura. Combinados a essas falhas, a miniaturização resultou na perda da confiabilidade da célula devido ao fenômeno de NBTI. Estudos comprovaram que o envelhecimento da memória resulta em uma degradação de 10% a 15% da sua tensão de *threshold*.

Esta dissertação de mestrado propôs uma análise do impacto do fenômeno de NBTI em células SRAM com defeitos *weak-defects* associados a *resistive-open* e *resistive-bridge* que eventualmente podem não ser detectados durante os testes de manufatura. A razão principal a para análise deste impacto, está associada ao fato que ao longo dos anos esses defeitos resistivos, quando expostos a NBTI, possam apresentar um comportamento falho, diminuindo assim o tempo de vida útil da SRAM. Em outras palavras, defeitos que inicialmente estão presentes na célula mas que não afetam a sua confiabilidade, uma vez que não podem ser sensibilizados à nível lógico e não alteram o comportamento da célula, podem virar uma fonte de falha quando a célula for exposta a NBTI.

O estudo de caso adotado neste trabalho baseia-se em células de memórias do tipo 6T. Foram modelados os seis possíveis defeitos associados à *resistive-open* e os cinco associados a *resistive-bridge*. Esses defeitos foram modelados através de resistências inseridas no local de cada defeito, onde em um projeto livre de falhas deveria ter impedância nula. Após a inserção de cada um desses defeitos, foram analisadas as possíveis falhas estáticas e dinâmicas para defeitos *resistive-open* e *resistive-bridge* respectivamente. As falhas estáticas e dinâmicas foram simuladas e testes do tipo *March* executados. Esses resultados foram usados como parâmetros comparativos após o envelhecimento da célula.

Para NBTI, foi considerada o forte impacto na confiabilidade da célula causada por este fenômeno. Para simulação deste envelhecimento foi considerado a variação da tensão de *threshold* que a célula apresenta a cada ano. Desta forma, foi inserido uma fonte de tensão em série com o *gate* dos transistores pMOS presentes nos inversores da célula 6T. Assim, a cada ano de envelhecimento foi aumentada a tensão na fonte, resultando em um deslocamento da tensão de *threshold* no transistor. Outro fator importante considerado no envelhecimento da célula foi o seu envelhecimento não balanceado dos transistor pMOS ao longo de sua vida útil.

Na célula afetada por defeitos do tipo *resistive-open* dois cenários distintos puderam ser observados. Para células com os defeitos DF2 e DF3, porém sem que esses alterem o comportamento a nível lógico da célula, quando sob NBTI falhas estáticas e dinâmicas ocorreram ao longo de sua vida útil devido a presença de defeitos que não foram detec-

tados nos testes de manufatura. Em outras palavras, a célula SRAM que escapou dos testes de manufatura, passou a apresentar um comportamento falho quando afetada por NBTI. Em contrapartida, para os defeitos DF1, DF5 e DF6 o efeito do envelhecimento na célula foi o oposto, ou seja, o tamanho do defeito necessário para sensibilizar a falha a nível lógico necessita ser maior do que o necessário no início de sua vida útil. Desta forma, DF1, DF5 e DF6 não resultaram em um fator que afete a confiabilidade da célula ao longo dos anos devido a NBTI.

A análise de células na presença de defeitos do tipo *resistive-bridge* é oposto ao de *resistive-open*. Para estes defeitos, foi apresentado o tamanho máximo necessário para que a célula não possa sensibilizar a falha em nível lógico. Para os defeitos DF1, DF4 e DF5 na memória estudo de caso, observou que a falha sensibilizada na célula necessita ter um valor maior do que foi gerado para que, quando somado a NBTI, resulte em um resultado falho a nível lógico. Exceto para o DF4, onde devido ao *WL* estar interligado diretamente ao inversor 1, quando sob NBTI o valor é drenado rapidamente resultando em um valor falho ao longo dos anos. Nos defeitos DF2 e DF3, pode ser observado que dependendo do tamanho do defeito o mesmo não pode ser sensibilizado em níveis lógicos durante os testes de manufatura. Contudo, quando somado ao envelhecimento da célula, as falhas podem ser sensibilizadas, resultando num comportamento falho da SRAM.

Sendo assim, este trabalho abordou o impacto que esses defeitos resistivos, embora não observáveis em testes de manufatura, podem vir a ser sensibilizados ao longo dos anos quando sob NBTI, afetando a confiabilidade da SRAM.

6.1 Trabalhos Futuros

Para trabalhos futuros, podem ser avaliados os defeitos resistivos frente a outros fenômenos que possam afetar a confiabilidade de SRAMs, como EMI e SEUs. A análise de todos esses fenômenos em conjunto, pode apresentar melhor um quadro do quanto esses defeitos resistivos podem vir a afetar a confiabilidade da célula quando não detectados durante o processo de manufatura, mas que, após o envelhecimento podem resultar em falhas a nível lógicos, afetando a confiabilidade da célula. Outros estudos podem ser feitos considerando falhas dinâmicas que possam vir a ocorrer na célula e que necessitem de um número elevado de leituras para que possam ser sensibilizadas a níveis lógicos.

Referências

- ABELLA, J.; VERA, X.; GONZALEZ, A. Penelope: The nbti-aware processor. In: IEEE. **Microarchitecture, 2007. MICRO 2007. 40th Annual IEEE/ACM International Symposium on**. [S.l.], 2007. p. 85–96. Citado 2 vezes nas páginas 24 e 25.
- BUSHNELL, M.; AGRAWAL, V. D. **Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits**. [S.l.]: Springer Science & Business Media, 2000. v. 17. Citado 2 vezes nas páginas 17 e 19.
- CALIMERA, A.; MACII, E.; PONCINO, M. Nbti-aware power gating for concurrent leakage and aging optimization. In: **Proceedings of the 2009 ACM/IEEE International Symposium on Low Power Electronics and Design**. New York, NY, USA: ACM, 2009. (ISLPED '09), p. 127–132. ISBN 978-1-60558-684-7. Disponível em: <<http://doi.acm.org/10.1145/1594233.1594264>>. Citado na página 37.
- CARDOSO, G. M. **Evaluating the Impact of SEUS in SRAM Cells Affected by Resistive-Open and Resistive-Bridge Defects**. Tese (Doutorado) — Pontifícia Universidade Católica do Rio Grande do Sul, 2015. Citado 4 vezes nas páginas 19, 31, 41 e 42.
- CERATTI, A. et al. Investigating the use of an on-chip sensor to monitor nbti effect in sram. In: IEEE. **Test Workshop (LATW), 2012 13th Latin American**. [S.l.], 2012. p. 1–6. Citado na página 30.
- CERATTI, A. D. Desenvolvimento de um sensor "on-chip" para monitoramento do envelhecimento de srams. Pontifícia Universidade Católica do Rio Grande do Sul, 2012. Citado 5 vezes nas páginas 27, 28, 29, 38 e 39.
- CUI. Functional memory faults: a formal notation and a taxonomy. In: CUI. [S.l.], 2013. p. 10. Citado na página 17.
- DILILLO, L. et al. Resistive-open defect injection in sram core-cell: analysis and comparison between 0.13 μm and 90nm technologies. In: IEEE. **Design Automation Conference, 2005. Proceedings. 42nd**. [S.l.], 2005. p. 857–862. Citado 4 vezes nas páginas 14, 20, 32 e 35.
- DUBEY, P.; GARG, A.; MAHAJAN, S. Study of read recovery dynamic faults in 6t srams and method to improve test time. **Journal of Electronic Testing**, Springer, v. 26, n. 6, p. 659–666, 2010. Citado na página 13.
- FERRI, C. et al. Nbti-aware data allocation strategies for scratchpad based embedded systems. **Journal of Electronic Testing**, Springer, v. 28, n. 3, p. 349–363, 2012. Citado na página 24.
- FONSECA, R. A. et al. Analysis of resistive-bridging defects in sram core-cells: A comparative study from 90nm down to 40nm technology nodes. In: IEEE. **Test Symposium (ETS), 2010 15th IEEE European**. [S.l.], 2010. p. 132–137. Citado 3 vezes nas páginas 24, 32 e 33.

- FONSECA, R. A. et al. Impact of resistive-bridging defects in sram at different technology nodes. **Journal of Electronic Testing**, Springer, v. 28, n. 3, p. 317–329, 2012. Citado 5 vezes nas páginas 13, 14, 20, 35 e 36.
- GOOR, A. J. Van de; AL-ARS, Z. Functional memory faults: A formal notation and a taxonomy. In: **vts**. [S.l.: s.n.], 2000. v. 18, p. 281–289. Citado na página 20.
- HODGES, D. A. **Analysis and design of digital integrated circuits**. [S.l.]: McGraw-Hill Science, Engineering & Mathematics, 1988. Citado na página 39.
- KANG, K. et al. Nbti induced performance degradation in logic and memory circuits: how effectively can we approach a reliability solution? In: IEEE COMPUTER SOCIETY PRESS. **Proceedings of the 2008 Asia and South Pacific Design Automation Conference**. [S.l.], 2008. p. 726–731. Citado 3 vezes nas páginas 25, 32 e 37.
- KANG, K. et al. Impact of negative-bias temperature instability in nanoscale sram array: modeling and analysis. **Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on**, IEEE, v. 26, n. 10, p. 1770–1781, 2007. Citado na página 25.
- KUMAR, S. V.; KIM, C. H.; SAPATNEKAR, S. S. Impact of nbti on sram read stability and design for reliability. In: IEEE. **Quality Electronic Design, 2006. ISQED'06. 7th International Symposium on**. [S.l.], 2006. p. 6–pp. Citado na página 25.
- LAVRATTI, F. d. A. N. Detecção de defeitos do tipo resistive-open em sram com o uso de lógica comparadora de vizinhança. Pontifícia Universidade Católica do Rio Grande do Sul, 2012. Citado 3 vezes nas páginas 39, 40 e 47.
- LI, J.; TSENG, C.-W.; MCCLUSKEY, E. Testing for resistive opens and stuck opens. In: IEEE. **Test conference, 2001. Proceedings. International**. [S.l.], 2001. p. 1049–1058. Citado na página 13.
- LIST, F. The static noise margin of sram cells. In: IEEE. **Solid-State Circuits Conference, 1986. ESSCIRC'86. Twelfth European**. [S.l.], 1986. p. 16–18. Citado na página 27.
- MEDEIROS, G. C. **EVALUATING THE IMPACT OF SEUS IN SRAM CELLS AFFECTED BY RESISTIVE-OPEN AND RESISTIVE-BRIDGE DEFECTS**. Tese (Doutorado) — Pontifícia Universidade Católica do Rio Grande do Sul, 2015. Citado na página 14.
- MINAYA, H. Reliability enhancement of nanometer-scale digital circuits. **Instituto Nacional de Astrofísica, Óptica y Electrónica**, p. 40, 2014. Citado na página 16.
- MINAYA, H. L. V. **Reliability Enhancement of Nanometer-Scale Digital Circuits**. Tese (Doutorado) — National Institute for Astrophysics, Optics and Electronics. Tonantzintla, Puebla, Mexico., 2014. Citado 4 vezes nas páginas 12, 21, 23 e 24.
- NEEDHAM, W.; PRUNTY, C.; YEOH, E. H. High volume microprocessor test escapes, an analysis of defects our tests are missing. In: IEEE. **Test Conference, 1998. Proceedings., International**. [S.l.], 1998. p. 25–34. Citado na página 13.

- PAUL, B. C. et al. Impact of nbtI on the temporal performance degradation of digital circuits. **Electron Device Letters, IEEE, IEEE**, v. 26, n. 8, p. 560–562, 2005. Citado na página 25.
- RAMAKRISHNAN, K. et al. Impact of nbtI on fpgas. In: IEEE. **VLSI Design, 2007. Held jointly with 6th International Conference on Embedded Systems., 20th International Conference on**. [S.l.], 2007. p. 717–722. Citado na página 25.
- SIA. **International Technology Roadmap dor Semiconductors (ITRS)**. [S.l.]: Semiconductor Industry Association (SIA), 2005. Citado na página 12.
- SWANSON, B.; RENFREW, C. **Ensuring high-quality ICs**. [S.l.]: <http://www.embedded.com/print/4388858>, 2011. Citado na página 23.
- VATAJELU, E. I. et al. Analyzing resistive-open defects in sram core-cell under the effect of process variability. In: IEEE. **Test Symposium (ETS), 2013 18th IEEE European**. [S.l.], 2013. p. 1–6. Citado 2 vezes nas páginas 13 e 30.
- WANG, W. et al. Compact modeling and simulation of circuit reliability for 65-nm cmos technology. **Device and Materials Reliability, IEEE Transactions on, IEEE**, v. 7, n. 4, p. 509–517, 2007. Citado na página 37.
- ZHONG, S. et al. Analysis of resistive bridge defect delay behavior in the presence of process variation. In: IEEE. **Test Symposium (ATS), 2011 20th Asian**. [S.l.], 2011. p. 389–394. Citado na página 13.



Pontifícia Universidade Católica do Rio Grande do Sul
Pró-Reitoria Acadêmica
Av. Ipiranga, 6681 - Prédio 1 - 3º. andar
Porto Alegre - RS - Brasil
Fone: (51) 3320-3500 - Fax: (51) 3339-1564
E-mail: proacad@pucrs.br
Site: www.pucrs.br/proacad