

**Modelagem e Projeto  
de um Gerador de Relógio  
Local Baseado em DCO  
para MPSoCs GALS**

**Leandro Sehnem Heck**

Porto Alegre  
Março de 2013



PONTIFÍCIA UNIVERSIDADE CATÓLICA DO RIO GRANDE DO SUL  
FACULDADE DE INFORMÁTICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO

# Modelagem e Projeto de um Gerador de Relógio Local Baseado em DCO para MPSoCs GALS

Leandro Sehnem Heck

Dissertação apresentada como requisito parcial à obtenção do grau de Mestre em Ciência da Computação na Pontifícia Universidade Católica do Rio Grande do Sul.

Orientador:

Ney Laert Vilar Calazans

Co-orientador:

César Augusto Missio Marcon

Porto Alegre  
Março de 2013

## Dados Internacionais de Catalogação na Publicação (CIP)

H448m Heck, Leandro Sehnem  
Modelagem e projeto de um gerador de relógio local baseado  
em DCO para MPSoCs / Leandro Sehnem Heck. – Porto Alegre,  
2013.

76 p.

Diss. (Mestrado) – Fac. de Informática, PUCRS.

Orientador: Prof. Dr. Ney Laert Vilar Calazans.

Co-orientador: César Augusto Missio Marcon.

1. Informática. 2. Arquitetura de Computador.  
3. Multiprocessadores. I. Calazans, Ney Laert Vilar. II. Marcon,  
César Augusto Missio. III. Título.

CDD 004.35

**Ficha Catalográfica elaborada pelo  
Setor de Tratamento da Informação da BC-PUCRS**



## TERMO DE APRESENTAÇÃO DE DISSERTAÇÃO DE MESTRADO

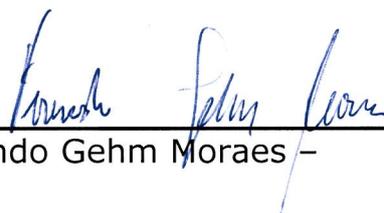
Dissertação intitulada "Modelagem e Projeto de um Gerador de Relógio Local Baseado em DCO para MPSoCs GALS" apresentada por Leandro Sehnem Heck como parte dos requisitos para obtenção do grau de Mestre em Ciência da Computação, Sistemas Embarcados e Sistemas Digitais, aprovada em 27/03/2013 pela Comissão Examinadora:

  
Prof. Dr. Ney Laert Vilas Calazans –  
Orientador

PPGCC/PUCRS

  
Prof. Dr. César Augusto Missio Marcon –  
Coorientador

PPGCC/PUCRS

  
Prof. Dr. Fernando Gehm Moraes –

PPGCC/PUCRS

  
Prof. Dr. Renato Perez Ribas –

UFRGS

Homologada em 17/10/13, conforme Ata No. 18 pela Comissão Coordenadora.

  
Prof. Dr. Paulo Henrique Lemelle Fernandes  
Coordenador.

**PUCRS**

**Campus Central**

Av. Ipiranga, 6681 – P32 – sala 507 – CEP: 90619-900

Fone: (51) 3320-3611 – Fax (51) 3320-3621

E-mail: [ppgcc@pucrs.br](mailto:ppgcc@pucrs.br)

[www.pucrs.br/facin/pos](http://www.pucrs.br/facin/pos)



# *Dedicatória*

Faço minhas as palavras de Zeca Baleiro:

— *Dedico esse tecno-xaxado à Steven Spielberg e Genival Lacerda. Pau na máquina!*



*"Time is what we want most, but what we use worst."*

— William Penn



# *Agradecimentos*

Agradeço a Polianne Meire Espindola, minha namorada, que dedicou suas horas de sanidade aguentando toda aquela minha baboseira computacional. Agradeço também aos amigos e professores que sempre me apoiaram quando precisei.

Valeu galera!



# Resumo

Atualmente, o uso de sistemas multiprocessados em chip (do inglês *Multiprocessor System-on-Chip* ou MPSoCs) são uma tendência na indústria eletrônica. Integram-se números crescentes de processadores e outros módulos de propriedade intelectual (do inglês *Intellectual Property Cores* ou IPs), o que habilita processamento paralelo maciço, e permite o aumento de desempenho de dispositivos. Esta tendência pela utilização de MPSoCs é movida entre outros fatores pelos avanços nas pesquisas em redes intrachip, devido à maior escalabilidade destas, se comparadas a outras arquiteturas de interconexão. Por outro lado, há uma crescente demanda por dispositivos portáteis, com competição acirrada por fatias nos mercados de *smartphones*, *tablets* e *ultrabooks*, entre outros equipamentos. Contudo, o aumento do desempenho nestes dispositivos leva necessariamente a um maior consumo de energia. Este consumo elevado é um problema sério, pois plataformas portáteis atualmente dispõem de quantidade limitada de energia prontamente disponível. Assim, a pesquisa de técnicas de projeto com foco na economia de energia é necessária, visto que a evolução da capacidade de fontes de energia não acompanha o progresso de dispositivos eletrônicos no mesmo passo.

Dado que parte significativa da energia consumida em circuitos síncronos reside na geração, distribuição e manutenção do sinal de relógio, este trabalho baseia-se no uso de técnicas de projeto que prescindem do uso de um relógio global. Uma opção consiste em dividir um sistema eletrônico complexo em um conjunto de módulos síncronos que se comunicam assincronamente, no que se denomina sistemas globalmente assíncronos e localmente síncronos (do inglês *Globally Asynchronous Locally Synchronous* ou GALS). Esta dissertação descreve a proposta e o projeto detalhado de um circuito gerador de relógio local, que permite produzir e controlar a frequência de operação de cada módulo processador de um sistema GALS, os chamados elementos de processamento (em inglês *Processing Elements* ou PEs). Este gerador disponibiliza um mecanismo para alteração dinâmica de frequência (em inglês *Dynamic Frequency Scaling* ou DFS), que o torna capaz de economizar energia através da eliminação de árvores globais de distribuição de relógio e da redução localizada da frequência em módulos com pouca demanda computacional instantânea.

O gerador foi projetado em tecnologia 65 nm da STMicroelectronics. Resultados de avaliações preliminares mostram que o circuito proposto dissipa uma potência estática de apenas  $0,058 \mu W$  e uma potência dinâmica média de apenas  $159 \mu W$ . A área ocupada pelo circuito de controle do gerador é de  $0,0024 \text{ mm}^2$ . Esta sobrecarga de área representa menos de 5% da área de um roteador de rede intrachip minimalista. Tais resultados indicam a factibilidade de uso do gerador proposto em módulos relativamente pequenos de MPSoCs. Assim, o trabalho contribui sobretudo para consolidar a viabilidade de sistemas GALS.

**Palavras-chave:** Geração Local de Relógio, LCG, DFS, NoC GALS.



# *Abstract*

Currently, the use of multiprocessor systems on chip or MPSoCs are a trend in the electronic industry. Increasing numbers of processors and other Intellectual Property Cores (IP Cores) are integrated, which enable massive parallel processing, and allow achieving devices with increased performance. This trend to employ MPSoCs is driven, among other factors, by advances in networks on chip research, due to their higher scalability, when compared to other types of interconnection architectures. On the other hand, there is a growing demand for portable devices, with fierce competition for market shares of smartphones, tablets and ultrabooks, among other devices. However, increased performance in these devices leads to greater energy consumption. Such high consumption rates become a serious problem, because mobile platforms have limited amounts of energy available for immediate use. Therefore, the research of design techniques aimed at energy savings becomes relevant, once the evolution of energy source characteristics does not follow the evolution of electronic devices.

Because a considerable amount of energy consumption in synchronous circuits is required for the generation, distribution and maintenance of the clock signal, this work capitalizes on the use of design techniques that avoid employing global clocks. One option to this consists in partitioning a complex electronic system into a set of synchronous modules that communicate asynchronously, in what are called globally asynchronous locally synchronous (GALS) systems. This Dissertation describes a proposal and the detailed design of a local clock generator circuit, which allows to produce and control the operating frequency of each module in a GALS system, the so called processing elements (PEs). This generator provides a mechanism for dynamically changing the module operating frequency (dynamic frequency scaling or DFS), which makes it able to save energy through the elimination of global clock distribution trees, as well as enabling localized reduction of the frequency of modules subject to reduced instantaneous computational demand.

The generator was designed in a 65 nm technology from STMicroelectronics. Results from preliminary design evaluation show that the proposed circuit dissipates only 0,058  $\mu W$  of static power and presents an average dynamic power dissipation around 159  $\mu W$ . The area taken by the clock generator control circuit is 0,0024  $mm^2$ . This represents an area overhead which is only 5% of the area of a minimalist network on chip router. Such results indicate the feasibility of using the proposed generator for driving relatively small MPSoC modules. Thus, the work especially contributes to consolidate the viability of GALS systems.

**Keywords:** Local Clock Generation, LCG, DFS, NoC GALS.



# *Lista de Figuras*

1	Tendência dos atrasos das interconexões. . . . .	p. 27
2	Diagrama de blocos do PLL de Kyungho Ryu et al. [RJJ12]. . . . .	p. 32
3	Diagrama de blocos do ADPLL de Pyoungwon et al. [PPPC12]. . . . .	p. 33
4	Visão geral do PLL de Li et al. [LOK+12]. . . . .	p. 34
5	Visão geral do DLL de Hwang et al. [HKK+12]. . . . .	p. 35
6	Visão geral do ADPLL de Höppner et al. [HEH+12]. . . . .	p. 36
7	Visão geral do ADSSCG de Chung et al. [CSH12]. . . . .	p. 36
8	Visão geral [RJJ10]. . . . .	p. 37
9	Visão geral do gerador de relógio de Sung et al. [SLH+10]. . . . .	p. 38
10	Visão geral do TDC de Shin et al. [SKY+09]. . . . .	p. 38
11	Visão geral do PLL de Qiao et al. [QZXY09]. . . . .	p. 39
12	Diagrama de blocos do gerador proposto por Yong Kim et al. [KPHK09]. . . . .	p. 40
13	Visão geral do gerador em laço aberto de Jung et al. [JJS+08]. . . . .	p. 40
14	Visão geral do PLL de Lee et al. [LKL+07]. . . . .	p. 41
15	Visão geral do PLL de Kim e Cho [KC07]. . . . .	p. 42
16	Visão geral do ADPLL de Chang et al. [CYH07]. . . . .	p. 42
17	Visão geral do DLL de Jin Kim et al. [KKK+06]. . . . .	p. 43
18	Arquitetura alvo para emprego do LCG. . . . .	p. 47
19	Gerador local de relógio proposto. . . . .	p. 50
20	Diagrama de blocos do DCO [Hec12]. . . . .	p. 53
21	Diagrama de blocos do VCO. . . . .	p. 54
22	Variação de <i>comp</i> com <i>f<sub>sel</sub></i> máximo. . . . .	p. 55
23	Frequências geradas pela variação de <i>f<sub>sel</sub></i> . . . . .	p. 56
24	Comportamento do DCO nos novos casos. . . . .	p. 57
25	Blocos internos do DCU. . . . .	p. 59
26	Esboço da máquina de estados de <i>ClkSelector</i> . . . . .	p. 59

27	Detalhamento do estado <i>clear_dco</i> . . . . .	p. 60
28	Detalhamento do estado <i>init_adjusts</i> . . . . .	p. 60
29	Detalhamento do estado <i>eval_freq</i> . . . . .	p. 60
30	Detalhamento do estado <i>read_freq</i> . . . . .	p. 61
31	Detalhamento do estado <i>pvt_adjust</i> . . . . .	p. 62
32	Detalhamento do estado <i>freq_adjust</i> . . . . .	p. 63
33	Detalhamento do estado <i>done</i> . . . . .	p. 64
34	Detalhamento do estado <i>check_freq</i> . . . . .	p. 64
35	Ambiente de simulação com o gerador local de relógio. . . . .	p. 65
36	Restrições para síntese lógica. . . . .	p. 68

# *Lista de Tabelas*

1	Comparativo em vendas mundiais de dispositivos eletrônicos. . . . .	p. 25
2	Quadro geral do estado da arte. . . . .	p. 45
3	Quadro geral do estado da arte (continuação). . . . .	p. 46
4	Descrição dos sinais do bloco DCU. . . . .	p. 50
5	Descrição dos sinais do bloco DCO. . . . .	p. 51
6	Razões entre a frequência gerada pelo DCO e a frequência de referência. . . . .	p. 52
7	Condições de contorno do DCO. . . . .	p. 55
8	Parâmetros de configuração do comportamento do modelo do DCO. . . . .	p. 57
9	Parâmetros de interpolação do comportamento do modelo do DCO. . . . .	p. 58
10	Comparativos de área dos módulos de integram um MPSoC. . . . .	p. 69
11	Comparativos de dissipação de potência dos módulos de integram um MPSoC. . . . .	p. 70



# *Lista de Siglas*

ADPLL ..	<i>All-Digital Phase-Locked Loop</i>
ADSSCG .	<i>All-Digital Spread-Spectrum Clock Generator</i>
AFC .....	<i>Automatic Frequency Calibration</i>
CMOS ...	<i>Complementary Metal-Oxide Semiconductor</i>
CP .....	<i>Charge Pump</i>
CPU .....	<i>Central Processing Unit</i>
CR .....	<i>Clock Retain</i>
CSI .....	<i>Current-Starved Inverter</i>
DAC .....	<i>Digital-Analog Converter</i>
DCDE ...	<i>Digitally Controlled Delay Element</i>
DCK .....	<i>Duty-Cycle Keeper</i>
DCO .....	<i>Digitally-Controlled Oscillator</i>
DCU .....	<i>Digital Control Unit</i>
DDC .....	<i>Duty-Cycle Difference Compensator</i>
DET .....	<i>Dual-Edge-Triggered</i>
DFS .....	<i>Dynamic Frequency Scaling</i>
DLF .....	<i>Digital Loop Filter</i>
DLL .....	<i>Delay-Locked Loop</i>
DMA ....	<i>Direct Memory Access</i>
DPD .....	<i>Digital Phase Detector</i>
DSC .....	<i>Digital Skew Correction</i>
DSM .....	<i>Delta-Sigma Modulator</i>
DVFS ....	<i>Dynamic Voltage and Frequency Scaling</i>
EISC .....	<i>Extendable Instruction Set Computer</i>
ER .....	<i>External Requisitions</i>
FSDAC ..	<i>Frequency-Selector Digital-Analog Converter</i>

GALS .... *Globally Asynchronous Locally Synchronous*  
GP ..... *General Purpouse*  
HV<sub>T</sub> ..... *High V<sub>T</sub>*  
IP ..... *Intellectual Property*  
ISM ..... *Industrial, Scientific and Medical*  
LC ..... *Circuito Indutor-Capacitor*  
LCG ..... *Local Clock Generator*  
LP ..... *Low-Power*  
LV<sub>T</sub> ..... *Low V<sub>T</sub>*  
MDLL ... *Multiplying Delay-Locked Loop*  
MPSoC .. *Multiprocessor System-on-Chip*  
NoC ..... *Network-on-Chip*  
PC ..... *Personal Computer*  
PCDAC .. *PVT-Compensator Digital-Analog Converter*  
PD ..... *Phase Detector*  
PE ..... *Processing Element*  
PFD ..... *Phase and Frequency Detector*  
PLL ..... *Phase-Locked Loop*  
PVT ..... *Process, Voltage and Temperature*  
RTL ..... *Register Transfer Level*  
RVCO ... *Ring Voltage-Controlled Oscillator*  
S2D ..... *Signal-to-Differential*  
SoC ..... *System-on-Chip*  
SV<sub>T</sub> ..... *Standard V<sub>T</sub>*  
TDC ..... *Time-to-Digital Converter*  
UDSM ... *Deep Submicron*  
VCDL .... *Voltage-Controlled Delay Line*  
VCO ..... *Voltage-Controlled Oscilator*

# *Sumário*

<b>1</b>	<b>Introdução</b>	p. 25
1.1	Motivação . . . . .	p. 28
1.2	Objetivos . . . . .	p. 28
1.3	Contribuições . . . . .	p. 28
1.4	Estrutura do Trabalho . . . . .	p. 29
<b>2</b>	<b>Trabalhos Relacionados</b>	p. 31
2.1	Kyungho Ryu et al. . . . .	p. 31
2.2	Pyoungwon et al. . . . .	p. 32
2.3	Li et al. . . . .	p. 33
2.4	Hwang et al. . . . .	p. 34
2.5	Höppner et al. . . . .	p. 35
2.6	Chung et al. . . . .	p. 36
2.7	Kyung Ryu et al. . . . .	p. 37
2.8	Sung et al. . . . .	p. 37
2.9	Shin et al. . . . .	p. 38
2.10	Qiao et al. . . . .	p. 38
2.11	Yong Kim et al. . . . .	p. 39
2.12	Jung et al. . . . .	p. 40
2.13	Lee et al. . . . .	p. 41
2.14	Kim e Cho . . . . .	p. 41
2.15	Chang et al. . . . .	p. 42
2.16	Jin Kim et al. . . . .	p. 43
2.17	Revisão do Estado da Arte . . . . .	p. 43
<b>3</b>	<b>Geração Local de Relógio</b>	p. 47

3.1	Arquitetura Alvo . . . . .	p. 47
3.2	Especificações de Projeto . . . . .	p. 48
3.3	Variações de PVT . . . . .	p. 49
3.4	Gerador Local de Relógio . . . . .	p. 49
3.4.1	Frequência de Referência . . . . .	p. 51
3.4.2	DCO . . . . .	p. 51
3.4.2.1	Caracterização do DCO . . . . .	p. 54
3.4.2.2	Modelo Comportamental . . . . .	p. 56
3.4.3	Projeto do DCU . . . . .	p. 58
3.5	Ambiente de Simulação . . . . .	p. 65
<b>4</b>	<b>Experimentos</b> . . . . .	p. 67
4.1	Simulações . . . . .	p. 67
4.2	Síntese Física . . . . .	p. 68
<b>5</b>	<b>Considerações Finais</b> . . . . .	p. 73
5.1	Conclusões . . . . .	p. 73
5.2	Trabalhos Futuros . . . . .	p. 73
	<b>Referências</b> . . . . .	p. 75

# 1 Introdução

Um dos principais focos nas pesquisas em tecnologia de semicondutores é o mercado de dispositivos portáteis tais como *smartphones*, *tablets*, *notebooks* e *ultrabooks*. Pesquisas apontam que, em 2011, houve pela primeira vez um volume superior nas vendas de *smartphones* comparado com as vendas de computadores pessoais (do inglês *Personal Computer* ou PCs). A Tabela 1 comprova este crescimento acelerado mostrando o total de vendas no ano de 2011.

Tabela 1: Comparativo em vendas mundiais de *smartphones* e computadores pessoais entre os anos de 2010 e 2011. Estimativas *Canalis* de 2012 [Can12].

Categoria	Vendas (Milhões) em Q4'11	Crescimento Q4'11/Q4'10	Vendas (Milhões) em 2011	Crescimento 2011/2010
<i>Smartphones</i>	158,5	56,6%	487,7	62,7%
<i>Total PCs</i>	120,2	16,3%	414,6	14,8%
<i>Pads</i>	26,5	186,2%	63,2	274,2%
<i>Netbook</i>	6,7	-32,4%	29,4	-25,3%
<i>Notebooks</i>	57,9	7,3%	209,6	7,5%
<i>Desktops</i>	29,1	-3,6%	112,4	2,3%

Esta tendência de crescimento pode continuar na medida que o poder de processamento destes dispositivos se iguala ao poder de processamento dos PCs. No entanto, mesmo com o aumento das velocidades dos processadores e com o aumento da capacidade das memórias, outros aspectos de desempenho como as velocidades de acesso ao disco e até mesmo às memórias não mantiveram o mesmo avanço. A solução para continuar com o aumento de desempenho é adicionar processadores extras e fazer uso de computação paralela como no caso dos sistemas multiprocessados.

Por definição, um sistema multiprocessado em chip (do inglês *Multiprocessor System-on-Chip* ou MPSoC) é um sistema que integra múltiplos elementos de processamento (em inglês *Processing Elements* ou PEs) em uma única pastilha de silício. MPSoCs são tendência na área de sistemas embarcados. Hoje em dia existe uma vasta gama de opções e configurações destes podendo

variar no número de processadores, sendo homogêneo se tiver apenas um tipo de processador e heterogêneo se apresentar mais de um tipo de processador. Outro ponto que merece destaque é a maneira como os PEs se interconectam. Dentre eles, um dos mais promissores atualmente é o emprego de redes intrachip ou (do inglês *Network on Chip* ou NoCs) devido ao paralelismo que estes oferecem nas comunicações e sua escalabilidade elevada.

No entanto, o progresso no desenvolvimento de baterias mais potentes e versáteis não avança da mesma forma que o desempenho dos circuitos eletrônicos. Exemplo desta defasagem é evidenciado na duração da bateria dos *smartphones* atuais que em muitos casos não ultrapassa um dia de uso. Portanto, alternativas de projeto devem ser tomadas de modo a preencher esta lacuna entre desempenho e disponibilidade de energia.

A dissipação de energia em circuitos digitais do tipo CMOS é geralmente considerada em termos de três componentes principais apresentadas na Equação 1. O consumo de potência dinâmica ( $P_{Dinamica}$ ) ocasionado pela carga e descarga das capacitâncias na saída das portas lógicas, o consumo de potência de curto circuito ( $P_{Curto}$ ) ocasionado pelo breve curto circuito que se forma no momento em que há uma mudança no nível lógico do sinal e o consumo de potência estático ( $P_{Estatica}$ ) que é o consumo intrínseco da porta lógica determinado pelas correntes de fuga dos componentes. Sua modelagem depende em muito da tecnologia de fabricação.

$$P_{Total} = P_{Dinamica} + P_{Curto} + P_{Estatica} \quad (1)$$

Atualmente, o consumo dinâmico é o maior responsável pela dissipação de potência em circuitos síncronos, podendo atingir 90% do gasto total do circuito [SLM06]. A Equação 2 é a fórmula de cálculo da potência dinâmica para um sistema síncrono. Nesta,  $V_{dd}$  representa a tensão de alimentação,  $\alpha$  representa o número médio de transições que a porta lógica faz em um ciclo de relógio e  $f_{clk}$  representa a frequência do sinal de relógio.

$$P_{Dinamica} = \frac{1}{2} \times c_{out} \times V_{dd}^2 \times \alpha \times f_{clk} \quad (2)$$

A potência de curto circuito pode ser calculada pela Equação 3. O  $Q_{curto}$  representa a quantidade de carga levada pela corrente de curto circuito e os demais termos são os mesmos definidos anteriormente.

$$P_{Curto} = Q_{curto} \times V_{dd} \times \alpha \times f_{clk} \quad (3)$$

Economia de energia pode ser obtida pela manipulação das componentes que integram as equações de potência. É possível reduzir a frequência de operação, reduzir as cargas capacitivas das portas lógicas, ou reduzir a a tensão de alimentação. Redução da frequência de operação é a forma mais simples de alcançar economia de energia mas pode provocar redução de desempenho. Por outro lado, reduzir as cargas capacitivas requer um projeto mais controlado, de forma a reduzir o número de fios e o *fan-out* das portas lógicas. Por fim, a redução da tensão de alimentação é o método mais efetivo devido à sua dependência quadrática mas é complexa porque deve ser relacionada à uma frequência de operação para garantir êxito no seu uso.

As interconexões entre componentes eletrônicos (fios) são responsáveis por boa parte da dissipação de potência. Com isso, a rede de fiação distribui o sinal de relógio, em circuitos síncronos, tem um papel de grande destaque nesse consumo por apresentar um *fan-out* elevado. Em [SP10] evidencia-se que a geração e distribuição do sinal de relógio pode representar até 70% do consumo total em microprocessadores de alto desempenho.

Um dos fatores que tornam interconexões críticas do ponto de vista de consumo de energia é a redução das dimensões em tecnologias de fabricação de circuitos integrados. Esta redução traz à tona problemas que anteriormente não eram observados em tecnologias menos evoluídas. Um exemplo disto é o atraso das interconexões que está se tornando cada vez maior em comparação com o atraso de propagação das portas lógicas. A Figura 1 retirada de *International Technology Roadmap for Semiconductors* de 2011 [SIA97] ilustra o domínio do atraso de interconexão sobre o atraso de propagação de portas lógicas à medida que as dimensões da tecnologia reduzem-se.

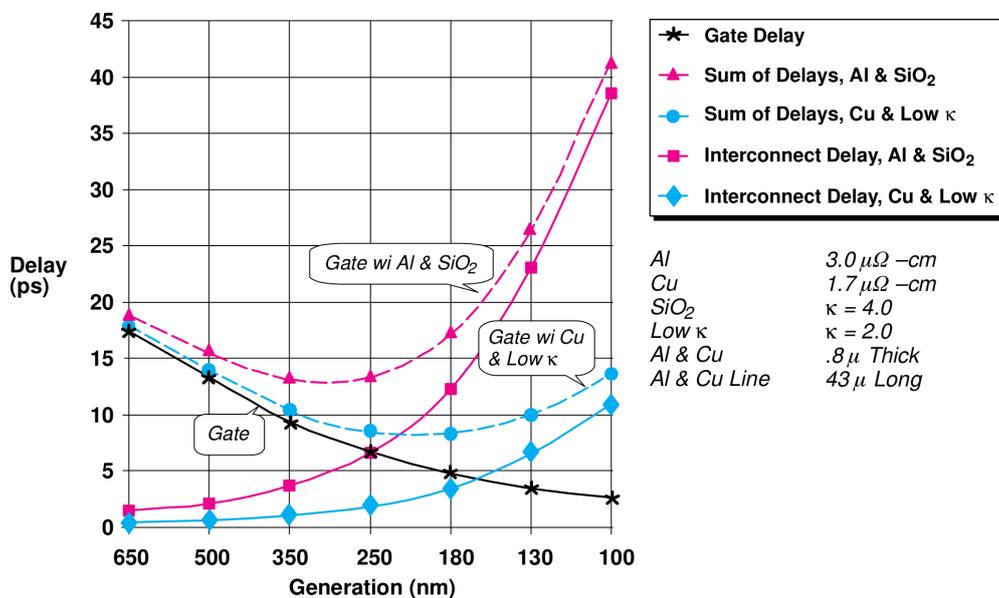


Figura 1: Tendência dos atrasos das interconexões com diferentes metais e do atraso de propagação das portas lógicas contra o dimensionamento da tecnologia. A curva com asteriscos representa o atraso das portas lógicas, a curva com quadrados representa o atraso interconexões que utilizam alumínio e dióxido de silício enquanto que a com losangos representa os atrasos de interconexões com cobre e com constante dielétrica baixa. Retirada de [SIA97]

Uma técnica de projeto de sistemas eletrônicos denominada globalmente assíncrono e localmente síncrono (do inglês *Globally Asynchronous Locally Synchronous* ou GALS)), vem sendo utilizada para reduzir a complexidade do processo de distribuição do sinal de relógio. Ela funciona isolando, uns dos outros, os módulos de lógica síncrona enquanto que, em nível de sistema, trata as comunicações e o relacionamento entre estes módulos de forma assíncrona.

Uma ideia simples para se atacar o desperdício de energia é trabalhar sobre a frequência de operação do circuito. Isto pode ser feito pela alteração dinâmica da frequência de operação ou, de forma extrema, pelo desligamento do módulo do sinal de relógio (*clock gating*) em períodos que o PE não estiver desempenhando nenhuma tarefa relevante.

## 1.1 Motivação

A motivação principal do presente trabalho é a redução do consumo de potência em sistemas GALS. Um exemplo de MPSoC GALS esteve disponível para dar suporte ao trabalho, O MPSoC HeMPS-GLP [HEH<sup>+</sup>12]. Dado que este sistema já emprega o paradigma GALS, ele constituiu-se em um subtrato ideal para o desenvolvimento do projeto do gerador local. Além disso, Guilherme Heck disponibilizou um oscilador controlado por tensão [Hec12] que serve como componente de oscilação fundamental no oscilador de relógios proposto.

## 1.2 Objetivos

Este trabalho tem como objetivo principal contribuir para o desenvolvimento de uma plataforma MPSoC que permita o emprego de técnicas de alteração dinâmica de frequência (em inglês *Dynamic Frequency Scaling* ou DFS) para redução de potência com aplicação individual por PE. Outra técnica possível seria o emprego de alteração dinâmica de tensão e frequência (do inglês *Dynamic Voltage and Frequency Scaling* ou DVFS). No entanto, alterações de tensão vem se tornando críticas em tecnologias submicrônicas porque as tensões de alimentação vem se tornando cada vez menores o passos muito pequenos entre valores de tensão tornam-se complicados de serem reproduzidos. Outro fato que dificulta o emprego desta técnica é que a tensão de alimentação está cada vez mais próxima a tensão de limiar do transistor. No entanto, com este trabalho, reduções de potência são almejadas apenas pela alteração dinâmica da frequência.

Para isso propõe-se um controle digital realimentado que disponibiliza frequências controladas, não necessariamente com alto grau de precisão, que sejam insensíveis a variações processo, tensão e temperatura (do inglês *Process, Voltage and Temperature*) ou seja, que deem suporte ao contorno destas variações.

## 1.3 Contribuições

Este trabalho tem as seguintes contribuições:

- Disponibiliza o projeto de um gerador local de relógio descrito em VHDL no nível de transferência de registradores (do inglês *Register Transfer Level* ou RTL), que possibilita o emprego de políticas DFS desenvolvidas tanto em *software* quanto em *hardware* individualmente, por elemento de processamento;
- Disponibiliza um modelo comportamental descrito em *SystemC* do oscilador controlado digitalmente (do inglês *Digitally-Controlled Oscillator* ou DCO) proposto por [Hec12], modelo este voltado a simulações e validação do controlador local de relógio;
- Disponibiliza um ambiente de simulação em *SystemC* para a validação do gerador local de relógio proposto.

## 1.4 Estrutura do Trabalho

O restante desse documento está organizado da seguinte forma: no Capítulo 2 serão discutidos artigos da literatura que compõem o estado da arte em geradores de relógio e sintetizadores de frequências. No Capítulo 3 apresenta o gerador de relógio. O Capítulo 4 apresenta as avaliações realizadas sobre o gerador de relógio, enquanto o Capítulo 5 apresenta as conclusões gerais desta pesquisa, juntamente com possíveis rumos para a continuação do trabalho.



## 2 *Trabalhos Relacionados*

Este Capítulo revisa os trabalhos no estado da arte relacionados a geradores de relógio e sintetizadores de frequência. A maioria dos trabalhos encontrados adota uma arquitetura com laços de realimentação e apenas dois deles apresentam arquiteturas sem realimentação.

### 2.1 **Kyungho Ryu et al.**

Em [RJJ12] é apresentado um circuito com atraso bloqueado em malha fechada (do inglês *Delay-Locked Loop* ou DLL) com bloco detector de fase (do inglês *Phase Detector* ou PD) que avalia os atrasos da frequência nas duas bordas do sinal de relógio (do inglês *Dual-Edge-Triggered DET*). O projeto visa baixo *jitter* e obtenção rápida da frequência desejada sendo 1,9x mais rápido que um RTL convencional que realiza as amostras em apenas uma das bordas.

A Figura 2 apresenta o diagrama de blocos do gerador proposto. O circuito funciona a partir de dois relógios externos ( $CLK_{Ext}$  e  $\overline{CLK_{Ext}}$ ) que entram em uma cadeia de células de atraso para gerar sinais de relógio defasados. Estes passam por um multiplicador de frequência programável (*Programmable Frequency Multiplier*) que gera o relógio final indicado na figura pelo termo *To Soc Core*. Para manter a frequência e a fase, ajustes são feitos nas células das linhas de atraso. Para isso, são usados dois circuitos de manutenção do ciclo de trabalho (do inglês *Phase Detector* ou DCK), um circuito de compensação do ciclo de trabalho (em inglês *Duty-Cycle Difference Compensator* ou DDC), dois PDs, um circuito que une as saídas dos PDs em um sinal (*Pulse-Merge Circuit*) e um circuito bomba de carga (do inglês *Charge Pump* ou CP).

Este RTL tem aplicação em sistemas em chip (SoC, do inglês *System-on-Chip*) para dispositivos multifuncionais portáteis. A faixa de frequências gerada é 400 MHz a 800 MHz. O circuito foi projetado utilizando tecnologia CMOS (do inglês *Complementary Metal-Oxide Semiconductor*) 180 nm e ocupa uma área de 0,0035 mm<sup>2</sup>. O consumo de potência é 19 mW quando operando em 800 MHz.

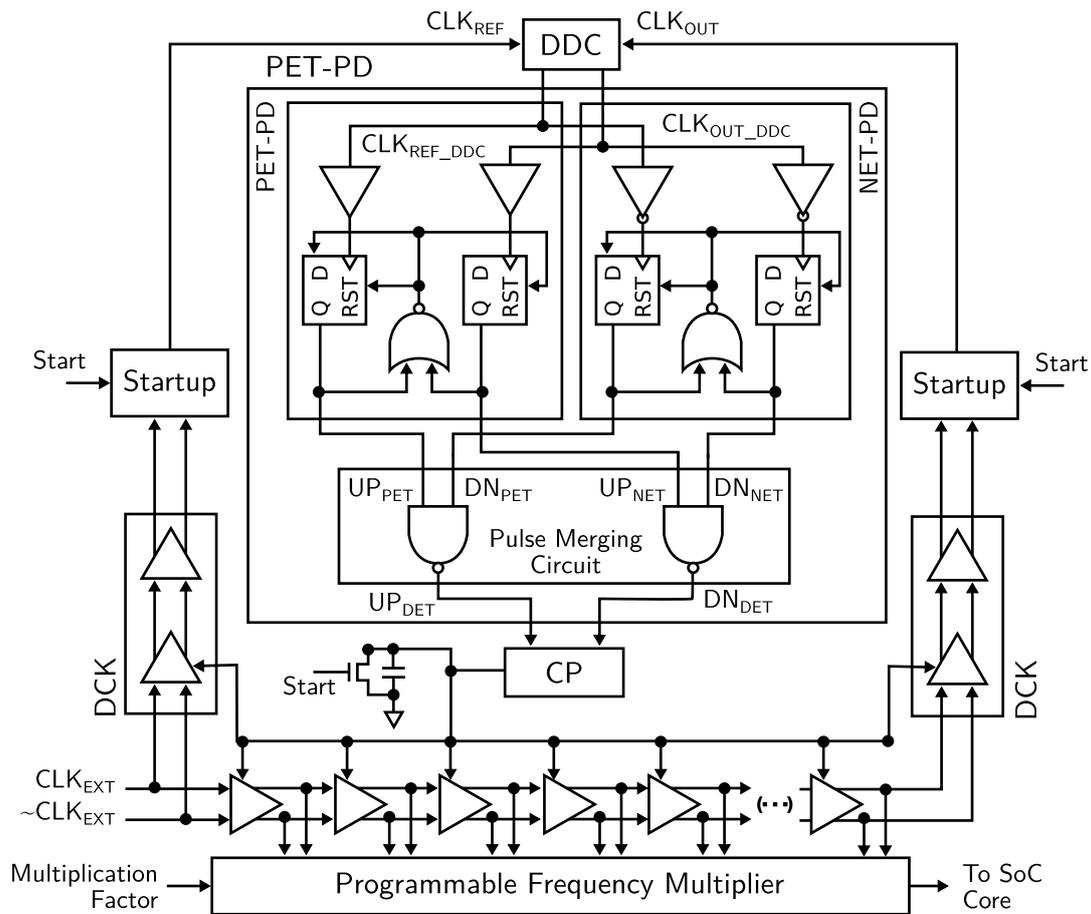


Figura 2: Diagrama de blocos do PLL de Kyungho Ryu et al. [RJJ12].

## 2.2 Pyoungwon et al.

Em [PPPC12] é apresentado um circuito digital com de bloqueio de fase com malha fechada (ADPLL, do inglês *All-Digital Phase-Locked Loop*) que utiliza bloqueio de injeção com valores fracionários que utiliza para tanto a saída multifásica de um oscilador em anel. O bloqueio de injeção é uma técnica para reduzir instabilidades em geradores de relógio que utilizam . Além disso, Pyoungwon et al. comentam que uma desvantagem dos bloqueios de injeção é que a frequência só pode ser alterada por múltiplos inteiros da frequência de referência. Logo, a proposta visa contornar esta limitação com o emprego de valores racionais. A Figura 3 apresenta o diagrama de blocos da arquitetura.

Inicialmente, uma a conversão de fase para digital é feita utilizando um contador e amostradores racionais (*Fractional Samplers*). Com isso, os sinais de saída de múltiplas fases do oscilador em anel (do inglês *Ring Voltage Controlled Oscillator* ou RVCO) são amostrados e geram informação racional. Um bloco de sincronização (*SYNC*) sincroniza a saída do contador dos amostradores para gerar uma informação digital adequada. Um conversor digital-analógico (do inglês *Digital-Analog Converter* ou DAC) é utilizado para controlar o RVCO e um modulador delta-sigma (do inglês *Delta-Sigma Modulator* ou DSM) melhora a resolução do DAC. O gerador de injeção (*Injection Signal Generator*) gera o sinal um sinal de habilitação (*EN*) e os sinais

$REF_p$  e  $REF_n$  utilizados no processo de injeção. A seguir, um controlador de injeção (*Injection Controller*) atualiza o sinal  $SEL$  de 32 bits que determinam a célula de atraso para a injeção a cada período de referência.  $SEL$  é calculado somando a parte fracionária de  $FWC$  com o valor anterior de  $SEL$ .

A frequência de referência utilizada é de 32 MHz e possibilita a geração de frequências de até 580 MHz. O gerador de relógio foi fabricado em tecnologia CMOS 65 nm e ocupa uma área de  $0,1574 \text{ mm}^2$ . O consumo apresentado é de 10,5 mW.

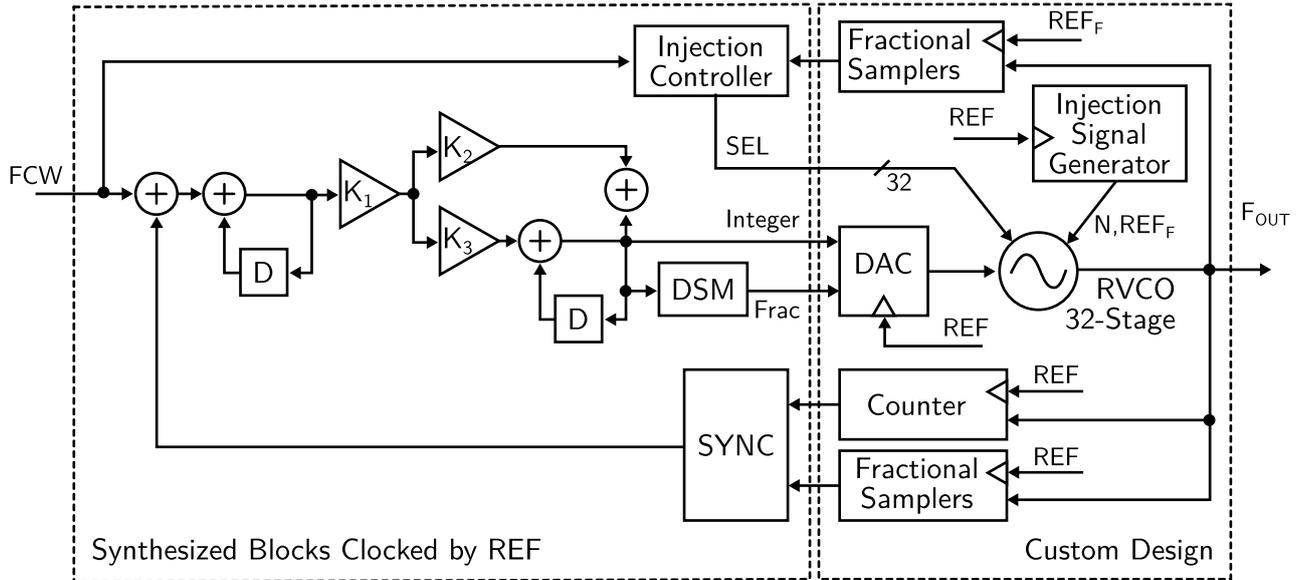


Figura 3: Diagrama de blocos do ADPLL de Pyoungwon et al. [PPPC12].

## 2.3 Li et al.

Em [LOK<sup>+</sup>12], Li et al. propõem uma arquitetura de geração digital de relógio baseado em PLL com capacidade de multiplicação da frequência por valores fracionários e com ativação rápida. A proposta visa um gerador de relógios para múltiplos circuitos e dispositivos incluindo CPUs, *displays*, interfaces I/O, entre outros. Além disso, foi projetado para dar suporte a diferentes osciladores controlados por tensão (do inglês *Voltage-Controlled Oscillator* ou VCO) e DCOs dependendo da aplicação.

A Figura 4 apresenta o gerador. O circuito é composto por um conversor temporal-digital (em inglês *Time-to-Digital Converter* ou TDC) que quantiza a fase do sinal gerado pelo oscilador. Após isso, o circuito digital de correção do tempo propagação (do inglês *Digital Skew Correction*) ou DSC faz a correção de *skew*. Um detector digital de fase (do inglês *Digital Phase Detector* ou DPD) calcula o erro de fase entre o sinal de referência e a saída do oscilador. Então, o erro é minimizado por um filtro digital com realimentação (do inglês *Digital Loop Filter* ou DLF). Por último, um módulo especial (*Osc Driver*) fecha o laço de realimentação para ajustes da frequência através da tensão de alimentação, no caso do uso de VCO, ou por palavras de controle, no caso de uso de DCO.

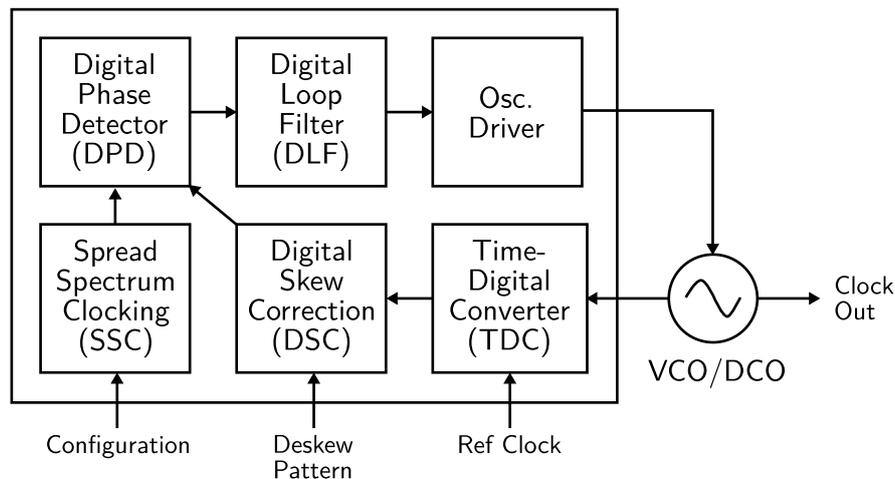


Figura 4: Visão geral do PLL de Li et al. [LOK<sup>+</sup>12].

## 2.4 Hwang et al.

Em [HKK<sup>+</sup>12], Hwang et al. apresentam um gerador de relógio para processadores com conjunto de instruções reconfigurável (do inglês *Extendable Instruction Set Computer* ou EISC) para proporcionar redução do consumo de energia a partir da sua carga de trabalho pela multiplicação da frequência de entrada por valores entre 0,5 a 8. O circuito apresentado é baseado em um RTL e a multiplicação de frequência é obtida com uma técnica de junção de bordas. Uma linha de células de atrasos controlada por tensão (do inglês *Voltage-Controlled Delay Line* ou VCDL) é utilizada para gerar 16 sinais distintos em fase. Para evitar variações de PVT e descasamentos dos dispositivos que compõem o VCDL é proposto um esquema analógico automático de calibração.

A Figura 5 ilustra a arquitetura do gerador. Um conversor diferencial (em inglês *Signal-to-Differential* ou S2D) transforma o relógio de referência em um par de relógios diferenciais que alimenta o VCDL. Do VCDL partem 16 pares diferenciais de sinais que são calibrados em um laço fechado constituído de um comparador de erro temporal (*Timing Error Comparator*) e um *buffer* de calibração de atraso (*Delay Calibration Buffer*). A frequência de saída é controlada pelo processador a partir de um código de controle  $D_j$  de 4 bits em lógica termométrica. O multiplicador de frequência (*Frequency Multiplier*) seleciona e une pulsos curtos para criar um sinal de relógio que tem seu ciclo de trabalho ajustado em 50% através de um *latch*. Um circuito anti-harmônicas (*Anti-Harmonic Lock*) é empregado para a multiplicação sem erros e um RTL com um CP auxiliar que faz com que o sinal de saída não apresente frequências espúrias. Somando-se a isto, é empregado um detector de trava (*Lock Detector*) para evitar consumo excessivo de potência.

O circuito funciona basicamente com os sinais de relógio gerados por este RTL especial que são multiplicados no bloco *Frequency Multiplier* usando como fator de multiplicação o código de controle ( $D_j$ ) originado pelo processador.

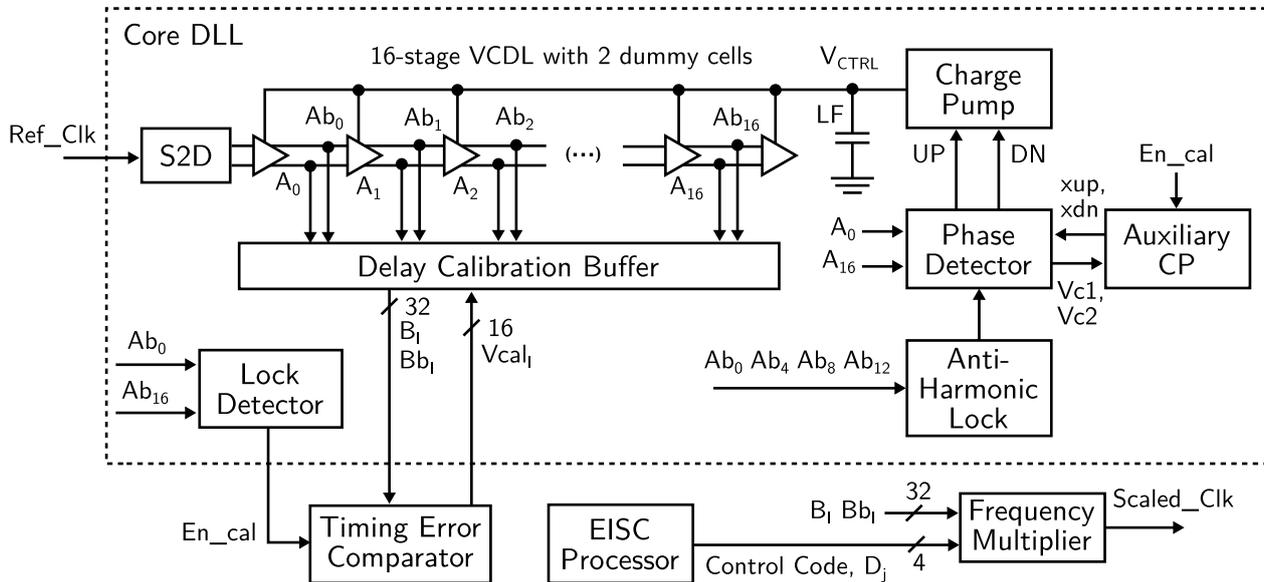


Figura 5: Visão geral do DLL de Hwang et al. [HKK<sup>+</sup>12].

A frequência de referência utilizada é de 15 MHz. O sinal de saída é gerado pela multiplicação da frequência de referência por valores entre 0,5 a 8, o que resulta em frequências entre 7,5 MHz e 120 MHz. A partir dos valores termométricos de 4 bits, estão disponíveis 5 opções de frequência. O circuito proposto foi sintetizado utilizando tecnologia CMOS 180 nm e ocupa uma área de 0,27 mm<sup>2</sup>. A dissipação de potência do circuito gerando a frequência máxima de 120 MHz é de 28 mW. Ao gerar a frequência mínima de 7,5 MHz a potência dissipada fica em 1,96 mW. O *jitter* de saída foi avaliado em 9.7 ps RMS para a frequência máxima.

## 2.5 Höppner et al.

Em [HEH<sup>+</sup>12], Höppner et al. apresentam um ADPLL exclusivo para uso em MPSoCs heterogêneos baseados em infraestrutura GALS. A Figura 6 apresenta a o esquema da proposta. A arquitetura consiste em um gerador de laço aberto e um multiplexador/duplicador de relógio. Geram-se 3 sinais de relógio distintos. O relógio de laço aberto gera frequências entre 83 MHz a 666 MHz, enquanto que o multiplexador/duplicador gera frequências de 2 GHz e 4 GHz. O gerador de laço aberto tem como característica principal o circuito de seleção reversa de frequências que seleciona um dos 8 relógios provenientes de um DCO para encurtar a frequência gerada. O sinal de saída é mantido com ciclo de trabalho de 50%. O circuito foi sintetizado utilizando tecnologia CMOS 65 nm e ocupa uma área de 0,0078 mm<sup>2</sup>, dissipando uma potência de 2,7 mW.

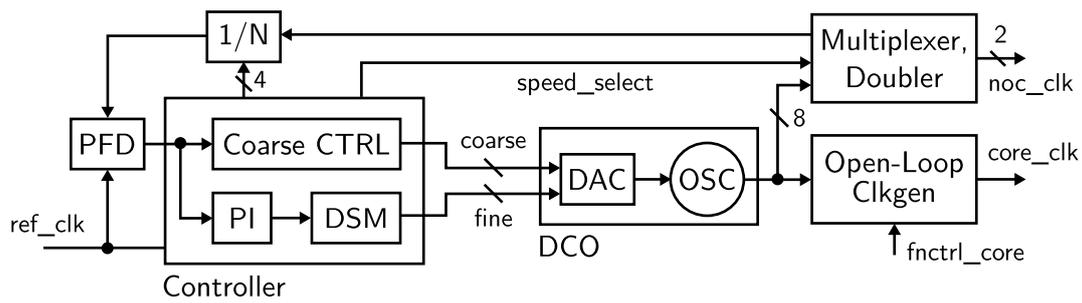


Figura 6: Visão geral do ADPLL de Höppner et al. [HEH<sup>+</sup>12].

## 2.6 Chung et al.

Em [CSH12], Chung et al. propõem um gerador de relógio digital de espalhamento espectral (do inglês *All-Digital Spread-Spectrum Clock Generator* ou ADSSCG). A geração de relógio com espalhamento espectral é uma técnica utilizada para reduzir interferências causadas por emissões eletromagnéticas que os circuitos digitais apresentam. A técnica consiste em transformar picos de frequências altas em outras frequências vizinhas.

A característica principal deste trabalho é proporcionar a manutenção de frequência através da modulação do sinal a partir de uma onda triangular. A Figura 7 apresenta esta proposta.

Com esta técnica, é possível atingir frequências que variam de 162 MHz a 270 MHz. O desenvolvimento emprega tecnologia CMOS 65 nm e a área ocupada pelo circuito é de  $0,01 \text{ mm}^2$ . A dissipação de potência com o circuito operando a 270 MHz é de 0,229 mW.

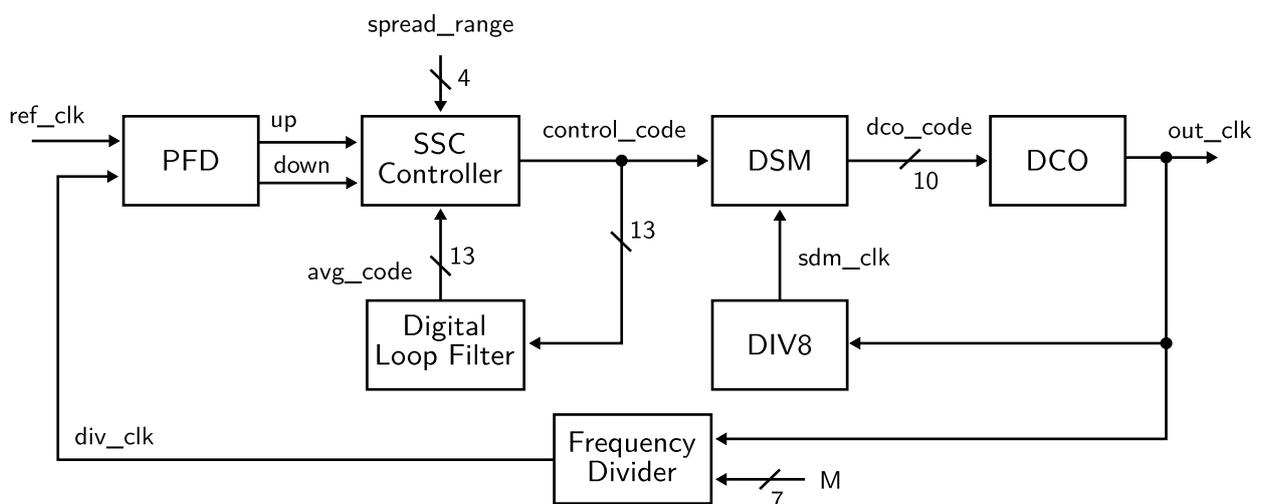


Figura 7: Visão geral do ADSSCG de Chung et al. [CSH12].

## 2.7 Kyung Ryu et al.

Em [RJJ10], Kyung Ryu et al. apresentam um gerador de relógios baseado em RTL para SoCs de baixo consumo voltados para aplicações móveis. A ideia baseia-se em um RTL ativado nas duas bordas de relógio, apresentando um tempo de aquisição de frequência 2,36 a 2,51x mais rápido que circuitos similares com detecção de fase em apenas uma das bordas de relógio. A frequência de referência utilizada é de 250 MHz e uma ampla faixa de frequências é habilitada variando entre 150 MHz a 2 GHz. Além disso, o ciclo de trabalho é mantido em 50%. O circuito é apresentado na Figura 8.

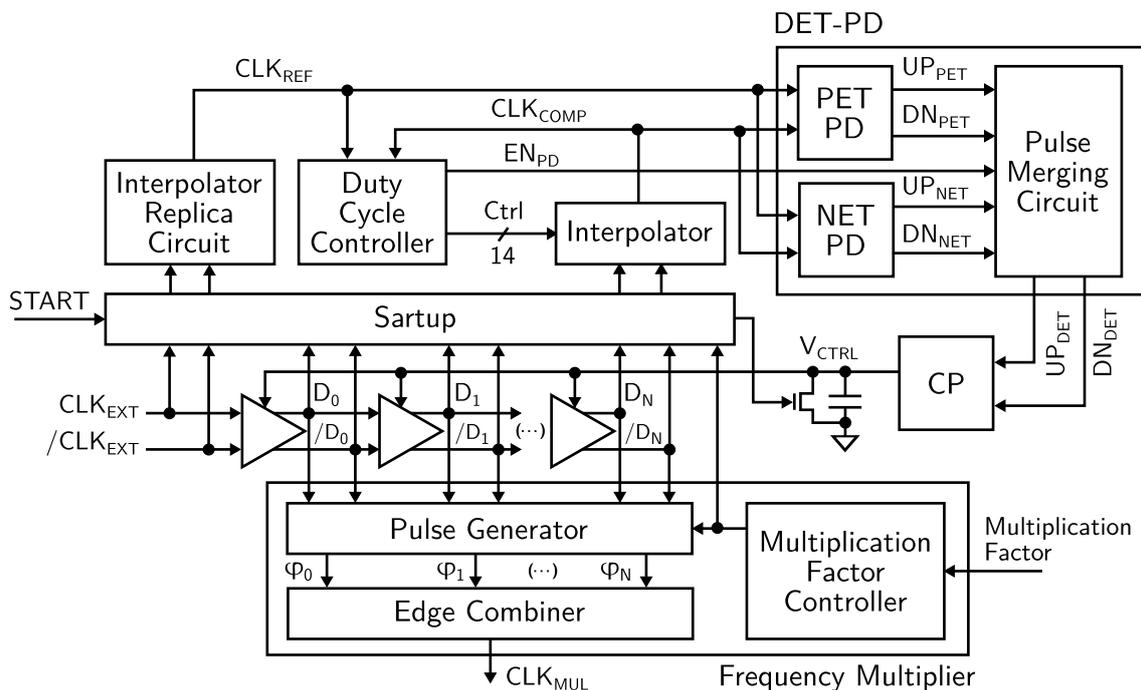


Figura 8: Visão geral [RJJ10].

## 2.8 Sung et al.

Em [SLH<sup>+</sup>10], Sung et al. propõem um gerador de relógio de laço aberto baseado em um somador *flying*. O circuito é apresentado na Figura 9. Ele é constituído de um ADPLL que fornece uma frequência precisa para o somador que opera em laço aberto. As frequências geradas variam de 39,38 a 226 MHz. O circuito foi projetado utilizando tecnologia CMOS 180 nm e ocupa uma área de 0,16 mm<sup>2</sup>. A dissipação de potência é de 3,6 mW.

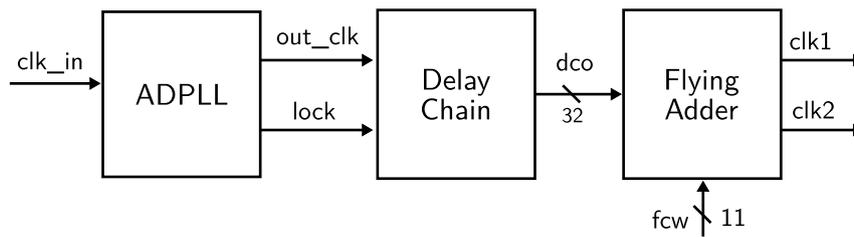


Figura 9: Visão geral do gerador de relógio de Sung et al. [SLH<sup>+</sup>10].

## 2.9 Shin et al.

Em [SKY<sup>+</sup>09], Shin et al. apresentam um gerador de relógios de múltiplas fases, baseado em um TDC de laço aberto. São gerados 4 relógios de fases distintas. A frequência gerada varia de 400 MHz a 1,22 GHz. O circuito pode ser observado na Figura 10.

Este projeto foi desenvolvido utilizando tecnologia CMOS 180 nm. Informações de área não foram apresentadas. Já o consumo do circuito operando na frequência máxima de 1,22 GHz é de 34 mW.

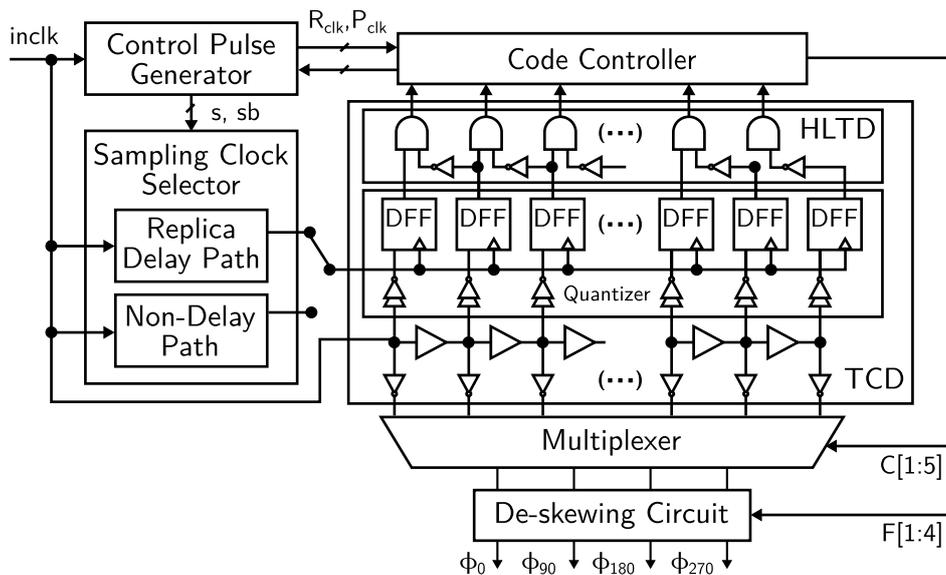


Figura 10: Visão geral do TDC de Shin et al. [SKY<sup>+</sup>09].

## 2.10 Qiao et al.

Em [QZXY09], Qiao et al. apresentam um gerador de relógios programável baseado em RTL. O fator de multiplicação do sinal de relógio varia entre 2 a 15x. A faixa de frequências de referência é de 16,7 a 212,5 MHz. Já as frequências geradas variam de 250 MHz a 425 MHz. O esquema é apresentado na Figura 11. A característica fundamental é uma nova abordagem de determinação de frequência baseada em um comparador de fase *tri-state*.

Este gerador foi desenvolvido utilizando tecnologia CMOS 180 nm com tensão de alimentação 1,8V. A dissipação de potência apresentada para gerar uma frequência de 400 MHz é 31,2 mW.

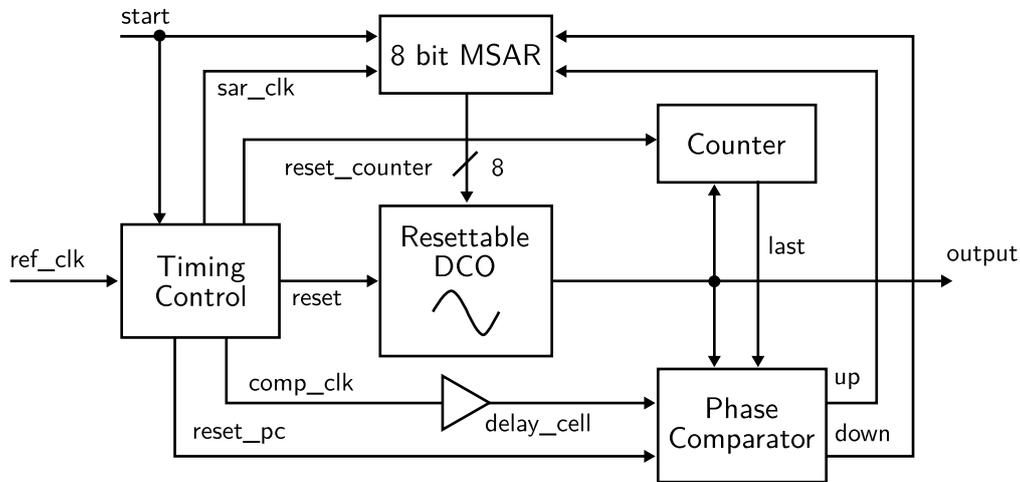


Figura 11: Visão geral do PLL de Qiao et al. [QZXY09].

## 2.11 Yong Kim et al.

Em [KPHK09] Yong Kim et al. apresentam um gerador de relógios programável baseado em RTL. Este gerador consegue gerar uma grande faixa de frequências que vão de 125 MHz a 2 GHz. Um bloco de aquisição anti-harmônica é utilizado para determinação de frequências em um ciclo da frequência de referência. O gerador é utilizado para aplicações móveis e processadores.

O número de frequências possíveis é 4, sendo estas as obtidas multiplicando a frequência de referência por 0,5, 1, 2 e 4. Para gerar a frequência máxima, é utilizada uma frequência de referência de 500 MHz. O diagrama de blocos deste gerador pode ser observado na Figura 12.

O circuito foi projetado utilizando tecnologia CMOS 130 nm e ocupa uma área de  $0,019 \text{ mm}^2$ . O consumo máximo é de 21 mW quando operando na frequência máxima de 2 GHz com tensão de alimentação de 1.2V.

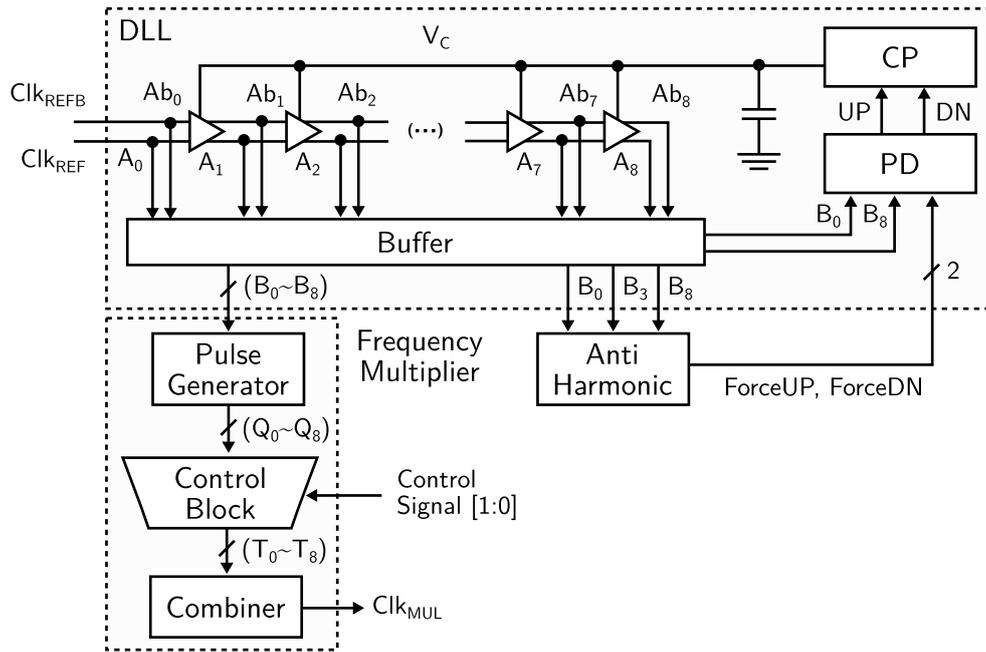


Figura 12: Diagrama de blocos do gerador proposto por Yong Kim et al. [KPHK09].

## 2.12 Jung et al.

Em [JJS<sup>+</sup>08], Jung et al. apresentam um gerador de relógio de laço aberto. Diferente dos outros projetos, ele não é baseado nem em PLL nem em RTL. A ideia é aplicar este gerador em processadores de alto desempenho. As frequências geradas abrangem deste 620 MHz a 1,2 GHz.

O circuito foi projetado utilizando lógica CMOS 130 nm e ocupa uma área de 0,004 mm<sup>2</sup>. A dissipação de potência apresentada é de 3 mW. A Figura 13 apresenta a estrutura simplificada deste circuito.

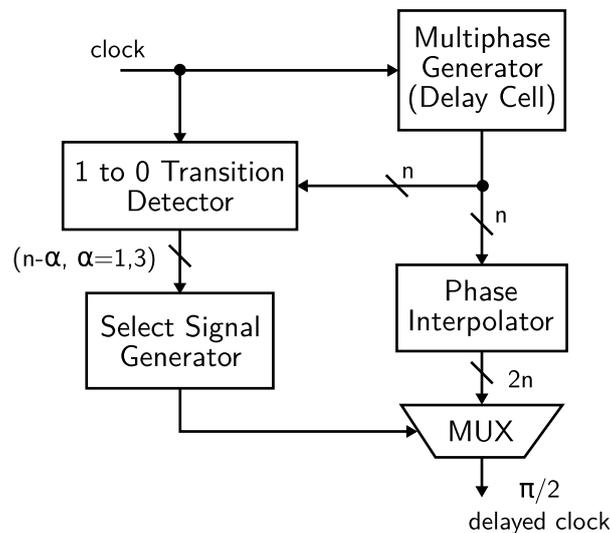


Figura 13: Visão geral do gerador em laço aberto de Jung et al. [JJS<sup>+</sup>08].

## 2.13 Lee et al.

Em [LKL<sup>+</sup>07], Lee et al. propõem um PLL com um método de calibração precisa e automática, (do inglês *Automatic Frequency Calibration* ou AFC). Valores de frequência gerada variam entre 480 MHz a 1 GHz. O VCO é projetado utilizando um circuito indutor-capacitor (LC). O circuito foi projetado com tecnologia CMOS de 130 nm, e apresenta uma área de 0,02 mm<sup>2</sup>. A frequência de referência é de 20 MHz e a potência consumida é de 1,2 mW. A Figura 14 apresenta a arquitetura comentada.

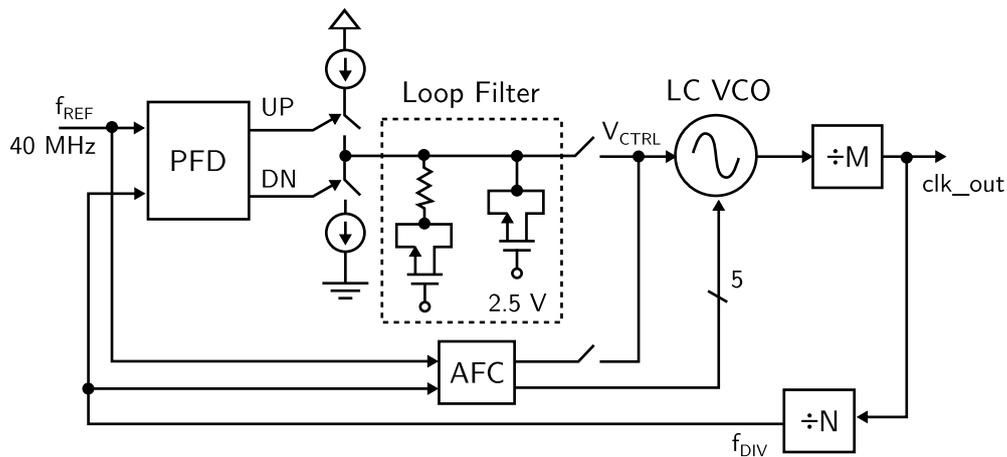


Figura 14: Visão geral do PLL de Lee et al. [LKL<sup>+</sup>07].

## 2.14 Kim e Cho

Em [KC07], Kim e Cho apresentam um gerador de frequências aplicável a transceptores de rádio na faixa industrial, científica e médica (do inglês *Industrial, Scientific and Medical* ou ISM). A arquitetura gera frequências entre 320 MHz e 960 MHz. O circuito é um PLL com multiplicação de frequência por um número inteiro implicando que a frequência gerada é um múltiplo inteiro da frequência de referência, que neste caso é de 25 MHz. O projeto foi desenvolvido utilizando tecnologia CMOS 180 nm, ocupando uma área de 0,243 mm<sup>2</sup>. A potência dissipada por este é de 20 mW. A Figura 15 apresenta o diagrama de blocos do circuito proposto.

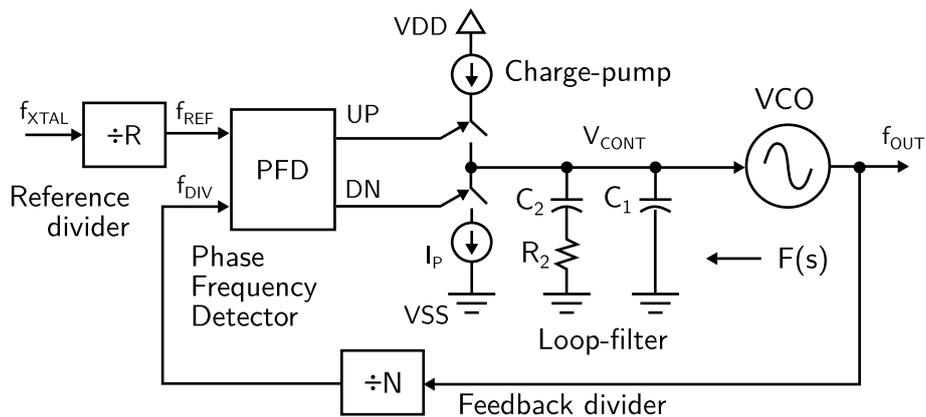


Figura 15: Visão geral do PLL de Kim e Cho [KC07].

## 2.15 Chang et al.

Em [CYH07], Chang et al. apresentam um gerador de relógio baseado em um ADPLL. A característica fundamental é o emprego de uma célula de atraso controlada digitalmente (do inglês *Digitally Controlled Delay Element* ou DCDE) bem como um circuito detector de fase e frequência (do inglês *Phase and Frequency Detector* ou PFD) igualmente diferenciado. A Figura 16 apresenta o diagrama de blocos do circuito proposto.

Este gerador permite a seleção de 6 valores de frequência usando uma frequência de referência de 50 MHz. As possibilidades de frequência de saída são 300 MHz, 400 MHz, 500 MHz, 600 MHz, 700 MHz, 850 MHz e 1 GHz. O circuito foi implementado utilizando tecnologia CMOS 130 nm e posteriormente foi reimplementado em uma tecnologia de 100 nm. A área ocupada pelo circuito é de  $0,012 \text{ mm}^2$  para a implementação de 130 nm. Já a potência consumida é de 2,9 mW nesta mesma tecnologia que foi reduzida para 1,9 mW na tecnologia de 100 nm.

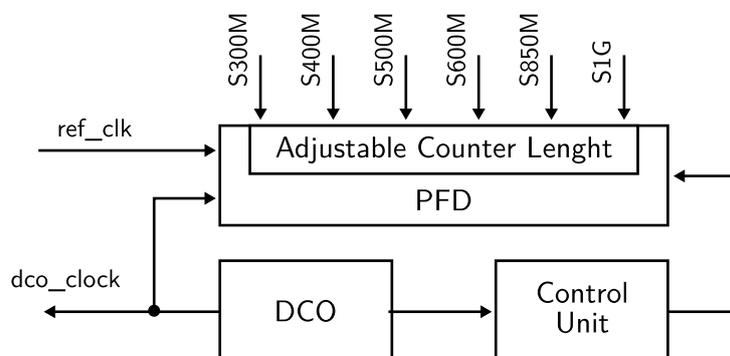


Figura 16: Visão geral do ADPLL de Chang et al. [CYH07].

## 2.16 Jin Kim et al.

Em [KKK+06], Jin Kim et al. apresentam um RTL composto por um VCDL para geração de frequências voltado para aplicações de recuperação de dados e relógios e para DVFS em microprocessadores. A característica fundamental é o uso de um multiplicador DLL (do inglês, *Multiplying DLL* ou MDLL) para síntese de frequências. A Figura 17 apresenta o diagrama de blocos do circuito proposto.

Frequências de referência entre 200 MHz a 500 MHz permitem a geração de frequências entre 120 MHz a 1,8 GHz. O circuito foi projetado em tecnologia CMOS 350 nm, e ocupa uma área de  $0,07 \text{ mm}^2$ . O ciclo de trabalho do sinal gerado é por volta de 50%.

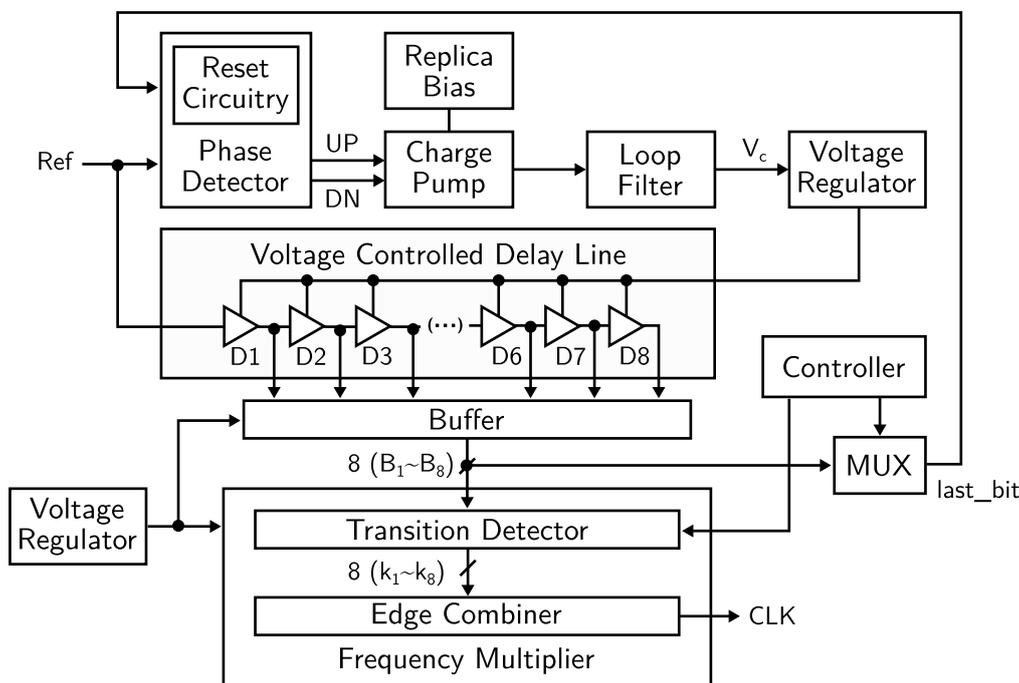


Figura 17: Visão geral do DLL de Jin Kim et al. [KKK+06].

## 2.17 Revisão do Estado da Arte

A Tabela 2 e Tabela 3 comparam de forma sintética os trabalhos apresentados. No último ano diversos novos trabalhos foram propostos tratando do tema da geração de relógios. Nota-se que o assunto tem bastante destaque hoje em dia, visto as diversas novas técnicas, metodologias de projeto e escalabilidade dos mesmos. Apesar disso, quase nenhum deles endereça exclusivamente a utilização de geradores de relógio em MPSoCs. Além deste trabalho, somente o trabalho de Höppner et al. [HEH+12] visa fornecer suporte a elementos de processamento e a redes intrachip. Contudo, diferente dos demais trabalhos apresentados, ambos Höppner et al. e o presente apresentam soluções para sistemas baseados em GALS. Esta premissa indica que restrições de relógio em nível global não necessitam ser rigorosas dado, neste contexto, as comunicações serem tratadas por interfaces sincronizadoras.

A comparação desta abordagem com as demais, pode ser feita quesito a quesito. Iniciando pelo quesito de área ocupada pelo circuito, nota-se que muitas abordagens obtiveram melhores resultados, inclusive aquelas que utilizam tecnologias antigas, como é o caso de [KKK<sup>+</sup>06], [JJS<sup>+</sup>08], [KPHK09], [HEH<sup>+</sup>12], [LOK<sup>+</sup>12] e [RJJ12]. Contudo, esta proposta é competitiva com a maioria das abordagens citadas.

No item potência dissipada, nenhuma das opções obteve valores menores que o deste trabalho. Isto se deve ao fato deste projeto ter tido como objetivo principal a redução na dissipação de potência enquanto é deixado de lado o ajuste preciso do sinal gerado fornecido pelas abordagens que empregam PPLs e DLLs. Além disso, outro motivo valores de potência maiores que o do presente trabalho, é que grande parte dos trabalhos analisados foram avaliados depois de sua fabricação o que leva em conta o a potência consumida pelos *pads*.

Em se tratando da frequência de referência, esta proposta se destaca igualmente, pois utiliza um a frequência menor do que as outras propostas. Isto reduz a taxa de chaveamentos em nível global e garante uma dissipação menor de potência enquanto mantém as restrições de distribuição deste sinal, como o *skew* e o *slew* mais fáceis de serem cumpridas.

No aspecto geral, acredita-se que este trabalho tem destaque em sua utilização com MPSoCs GALS, de modo a possibilitar uma granularidade de instanciação fina, podendo vir a ser empregado em cada um dos elementos de processamento que compõe o MPSoC sem levar a uma sobrecarga excessiva dos recursos de área e energia.

Por outro lado, é possível apontar como desvantagem da abordagem atual o emprego de espelhos de corrente para fornecer valores de corrente constantes para o DCO. Circuitos analógicos como este podem ocupar um espaço considerável no chip o que tornaria o emprego de grão fino menos interessante. Além disso, como o DCO é um circuito analógico, seu leiaute deve ser feito a mão o que implica em um tempo mais alto de projeto. Além destas, outra desvantagem é o tempo de configuração do gerador local de relógio (do inglês *Local Clock Generator* ou LCG) e o tempo de resposta à requisições de mudanças de frequência que é bastante grande comparado a frequência de operação dos PEs.

Tabela 2: Quadro geral do estado da arte. O símbolo \* representa os itens não encontrados.

Ref.	Característica	Aplicação	Tipo	Tipo de Oscilador	$f_{REF}$ (MHz)	$f_{MIN}$ (MHz)	$f_{MAX}$ (MHz)	# Freqs. (N)	Dutty Cycle	Jitter RMS (ps)	Tecnologia CMOS (nm)	Área ( $mm^2$ )	Tensão (V)	Potência (mW)
[RJJ12]	DET-PD	LP SoCs	DLL	VCDL	*	400	800	*	*	2,81 @ 800 MHz	180	0,035	1,8	19 @ 800 MHz
[PPPC12]	Injeção de referência fracionária	*	ADPLL	VCO	32	*	580	32	*	4,23	65	0,1575	*	10,5
[LOK+12]	Espalhamento espectral	CPU, Gráficos, Displays, I/O	PLL	VCO, DCO	25 ~ 200	600	3600	*	*	10	22	0,0234	1,0	3
[HKK+12]	Bomba de carga auxiliar e calibração automática	CPU EISC	DLL	VCDL	1	7,5	120	5	50%	9,7	180	0,27	1,8	28 @ 120 MHz
[HEH+12]	Laço aberto	MPSoC GALS	ADPLL	DCO	*	83	4000	*	50%	5,4 @ 2 GHz	65	0,0078	1,2	2,7
[CSH12]	Modulação triangular	SoC	ADPLL	DCO	*	162	270	*	*	*	65	0,01	1,0	229 @ 270 MHz
[RJJ10]	DET-PD	LP SoCs	DLL	VCDL	150 a 400	150	2000	8	50%	*	180	*	1,8	29 mW @ 2 GHz
<b>Este trabalho</b>	<b>Baixo consumo, área reduzida</b>	<b>MPSoC GALS</b>	<b>ADPLL</b>	<b>DCO</b>	<b>25</b>	<b>~ 60</b>	<b>~ 1000</b>	<b>16</b>	<b>50%</b>	<b>*</b>	<b>65</b>	<b>0,07</b>	<b>1,2</b>	<b>0,159 @ 1 GHz</b>

Tabela 3: Quadro geral do estado da arte (continuação). O símbolo  $\star$  representa os itens não encontrados

Ref.	Característica	Aplicação	Tipo	Tipo de Oscilador	$f_{REF}$ (MHz)	$f_{MIN}$ (MHz)	$f_{MAX}$ (MHz)	# Freqs. (N)	Dutty Cycle	Jitter RMS (ps)	Tecnologia CMOS (nm)	Área ( $mm^2$ )	Tensão (V)	Potência (mW)
[SLH+10]	Somador <i>flying</i> , Laço aberto	RF and SoC	ADPLL	DCO	$\star$	39,38	226	$\star$	$\star$	367,69	180	0,16	1,8	3,6
[SKY+09]	TDC	CPU e Mem DDR e QDR	ADPLL	DCO	$\star$	400	1220	$\star$	50%	$\star$	180	$\star$	1,8	34 @ 1,22 GHz
[QZXY09]	Comparador de fase <i>tri-state</i>	$\star$	MDLL	DCO	16,7 ~ 212,5	250	425	2 ~ 15	$\star$	27,6	180	$\star$	1,8	31,2 @ 400 MHz
[KPHK09]	Rastreamento anti-harmônicas	$\star$	DLL	VCDL	500	125	2000	$\star$	50%	19 @ 1 GHz	130	0,019	1,2	21 @ 2 GHz
[JJS+08]	Laço aberto	CPU	$\star$	<i>Não usado</i>	$\star$	625	1200	$\star$	$\star$	21,50 @ 500MHz	130	0,004	1,2	3
[LKL+07]	AFC	CPU	PLL	VCO	40	480	1000	$\star$	50%	940 @ 600 MHz	130	0,63	1,2	32 @ 1 GHz
[KC07]	Multiplicação por um N inteiro	RF	PLL	VCO	25	320	960	40 ~ 50	$\star$	$\star$	180	0,243	1,8	20
[CYH07]	DCDE e PFD modificados	SoC	ADPLL	DCO	50	300	1000	6	$\star$	339,41 @ 300 MHz	130	0,012	1,2	2,9 @ 1 GHz
[KKK+06]	DVFS	SoC e CPU	DLL	VCDL	200 a 500	120	1800	1 ~ 10	~ 50%	1,8 @ 1,3 GHz	350	0,07	3,3	86,6 @ 1,6 GHz
<b>Este trabalho</b>	<b>Baixo consumo, área reduzida</b>	<b>MPSoC GALS</b>	<b>ADPLL</b>	<b>DCO</b>	<b>25</b>	<b>~ 60</b>	<b>~ 1000</b>	<b>16</b>	<b>50%</b>	<b><math>\star</math></b>	<b>65</b>	<b>0,07</b>	<b>1,2</b>	<b>0,159 @ 1 GHz</b>

## 3 Geração Local de Relógio

O LCG proposto é apresentado neste Capítulo. O objetivo é partir do DCO desenvolvido por Guilherme Heck [Hec12] e criar um gerador de relógios, para fornecer um sinal de relógio com maior precisão de frequência. O LCG é uma fonte de sinal de relógio situada dentro do circuito integrado. Ele é composto por um oscilador que produz uma frequência de base, um atuador que permite alterar a frequência de base e um controlador que garante o funcionamento dentro de limites de operação determinados. Para este trabalho, o LCG é composto por DCO que é constituído de um oscilador e um atuador, e de uma unidade de controle digital (do inglês *Digital Control Unit* ou DCU) que modifica o sinal gerado de acordo com requisições externas e especificações de funcionalidade.

### 3.1 Arquitetura Alvo

O LCG foi desenvolvido visando utilização em MPSoCs GALS. A Figura 18 apresenta um esboço da arquitetura alvo genérica. O PE indica um elemento de processamento, R indica um roteador e IP indica o conjunto processador, memória, DMA (do inglês *Direct Memory Access*) e interface de rede.

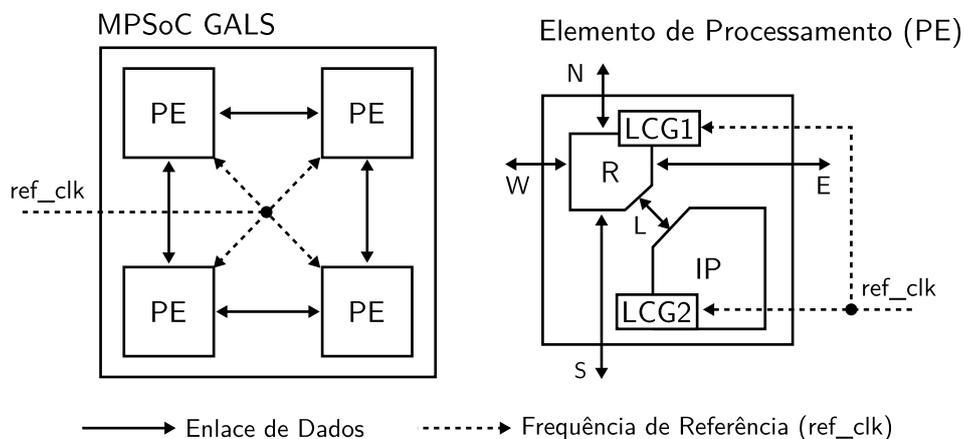


Figura 18: Arquitetura alvo para emprego do LCG. À esquerda, encontra-se o MPSoC GALS demonstrando a conexão do sinal de relógio de referência em nível global e à direita detalha-se o PE indicando a ideia de utilização do LCG.

Um exemplo de MPSoC alvo é a HeMPS-GLP [Hec12]. A HeMPS-GLP é composta por elementos de processamento homogêneos constituídos de um roteador Hermes-GLP [PMSC08], e um módulos de propriedade intelectual (do inglês *Intellectual Property Cores* ou IPs) de processamento como apresentado acima sendo que como núcleo de processamento, são utilizados microprocessadores Plasma e MBLite.

Na Figura 18, são apresentados dois geradores de relógio local sendo eles o LCG1 e LCG2. Dependendo das necessidades do roteador e do IP, estes LCGs podem ser diferentes. A partir das definições da arquitetura alvo, a próxima Seção apresenta as especificações do projeto do gerador local de relógio.

## 3.2 Especificações de Projeto

Inicialmente, antes do desenvolvimento do LCG, alguns parâmetros de projeto foram determinados visando permitir que o LCG possa ser integrado a MPSoCs. O primeiro passo foi especificar a frequência máxima que o LCG pudesse gerar. Observando o comportamento do modelo de DCO em *SPICE*, a frequência máxima de 1 GHz foi escolhida por ser uma das frequências mais altas possíveis de ser atingidas em todos os casos limítrofes de funcionamento dada a tecnologia empregada e as funcionalidades dos processadores e NoC usados. Além disso, esta é a frequência de operação alcançada por muitos núcleos de processamento atuais como aponta Browne em [Bro11]. Outros atributos na especificação da frequência, tais como o escorregamento máximo (em inglês *skew*) e o tempo de transição mínimo do sinal (em inglês *slew rate*) não são necessários devido ao emprego de GALS.

O LCG visa ser integrado no projeto do MPSoC HeMPS-GLP. Com isto, o mesmo foco de trabalho deve ser mantido de modo a adotar técnicas que mantém a área reduzida e a dissipação de potência baixa. Quanto à área, uma métrica razoável, é manter a ocupação do LCG menor que a ocupação do menor bloco acionado pelo mesmo, que compõe a HeMPS-GLP que, no caso, é o roteador Hermes-GLP. Assim como a área, o consumo de potência também influencia bastante no projeto, visto que a HeMPS-GLP tem como objetivo manter o consumo de potência reduzido.

Como tecnologia de fabricação, foi utilizada a mesma empregada no DCO. Portanto, para manter a compatibilidade, o DCU utiliza tecnologia CMOS 65 nm da STMicroelectronics. A partir desta escolha, são disponibilizados dois tipos de biblioteca: a biblioteca de propósito geral (do inglês *General Purpose* ou GP) e a biblioteca para baixo consumo de potência (do inglês *Low-Power* ou LP). Além disso, estão disponíveis três opções de tensão de limiar dos transistores que afetam tanto o tempo de resposta dos dispositivos quanto a corrente de fuga dos mesmos. As opções disponíveis são (i) tensão de limiar alta (em inglês *High  $V_T$*  ou  $HV_T$ ) onde os dispositivos apresentam baixa corrente de fuga mas tempo de resposta lento, (ii) de limiar baixa (em inglês *Low  $V_T$*  ou  $LV_T$ ) com tempo de resposta rápido que são utilizadas em caminhos críticos mas que apresentam corrente de fuga elevada e (iii) tensão de limiar padrão (em inglês *Standard  $V_T$*  ou  $SV_T$ ) para utilização regular onde tanto o  $V_T$  quanto o tempo de resposta são intermediários as duas opções anteriores.

Devido a necessidade por baixo consumo de potência, optou-se pela biblioteca LP com a opção de  $SV_T$  pois não há nenhuma necessidade de utilizar tensões de limiar especiais para este projeto.

### 3.3 Variações de PVT

O comportamento dos circuitos é suscetível a variações ambientais e de fabricação. Estas variações ficam mais críticas em tecnologias submicrônica (do inglês *Ultra Deep Submicron* ou UDSM). Estas tecnologias são aquelas que contam com dimensões iguais ou menores que 90 nm. Dentre as características que são afetadas estão o desempenho do circuito, o consumo de potência bem como a quantidade esperada de circuitos que funcionam após a fabricação (do inglês *yield*).

Em geral, estas variações podem ser de três tipos sendo elas (i) variações de processo, (ii) variações da tensão da fonte de alimentação e (iii) variações da temperatura de operação. Estas fontes de variação são conhecidas como variações de PVT. Estes fatores devem ser estimulados em seus valores máximos e mínimos para avaliar se a funcionalidade do circuito se mantém como esperado.

Em [WH10] são apresentados casos extremos de funcionamento para validação desempenho e análise de potência de circuitos em tecnologias UDSM. São apresentados casos extremos de funcionamento levando em conta as variações de processo dos transistores pMOS, nMOS, variações nos fios, na tensão de alimentação e na temperatura de funcionamento. Com isso são determinadas nove configurações para validar diferentes aspectos de operação do circuito.

Sendo assim, ao optar pela tecnologia de 65 nm para o projeto do LCG, fica evidente a necessidade de observar fatores de PVT para validar o comportamento do projeto.

### 3.4 Gerador Local de Relógio

Como dito anteriormente, o gerador local de relógio utiliza uma DCU e um DCO, que é constituído de um oscilador e um atuador, responsável por gerar um sinal oscilante. A Figura 19 apresenta o LCG desenvolvido.

Em síntese, o LCG avalia a quantidade de pulsos do sinal de relógio gerado (*fdbk\_clk*) obtidas em um ciclo do relógio de referência (*ref\_clk*). A partir da quantidade de pulsos avaliada, são obtidos palavras de controle *fsel\_o* utilizando uma tabela. Estes valores de controle atuam no DCO para selecionar uma nova frequência de oscilação.

Os valores tabelados são obtidos pela caracterização prévia do DCO realizada durante o projeto deste último. Se os valores medidos em *fdbk\_clk* estiverem distantes do esperado, a frequência é corrigida internamente pelo DCU de modo que ela não seja menor do que o valor tabelado, garantindo assim uma frequência de operação mínima. A razão entre a frequência gerada e a frequência de referência é obtida pela contagem da quantidade de pulsos de *fdbk\_clk*

durante um ciclo de *ref\_clk*. O LCG é um projeto de sinal misto e agrega uma parte analógica (DCO) e uma parte digital (DCU).

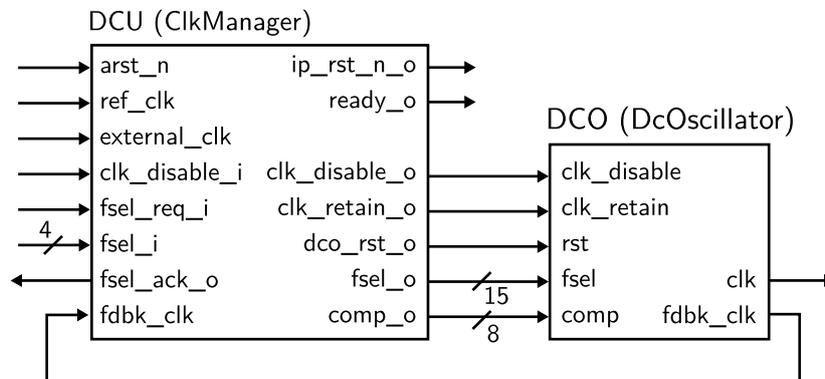


Figura 19: Gerador local de relógio proposto.

Tabela 4: Descrição dos sinais do bloco DCU.

Sinal	Descrição
<i>arst_n</i>	Sinal de inicialização assíncrono e ativo baixo
<i>ref_clk</i>	Relógio de referência
<i>external_clk</i>	Relógio de externo
<i>clk_disable_i</i>	Sinal para desligamento de relógio
<i>fsel_req_i</i>	Sinal de requisição de novo valor de frequência
<i>fsel_i</i>	Sinal de novo valor de frequência
<i>fsel_ack_o</i>	Sinal de confirmação do novo valor de frequência
<i>fdbk_clk</i>	Sinal com o relógio realimentado
<i>ip_rst_n_o</i>	Sinal de inicialização para módulo IP
<i>ready_o</i>	Sinal de término da determinação de frequência
<i>clk_disable_o</i>	Sinal para desabilitar o relógio no DCO
<i>clk_retain_o</i>	Sinal para interromper a propagação de relógio no DCO
<i>dco_rst_o</i>	Sinal para inicializar o DCO
<i>fsel_o</i>	Sinal de seleção de frequência
<i>comp_o</i>	Sinal de compensação de PVT

Tabela 5: Descrição dos sinais do bloco DCO.

Sinal	Descrição
<i>clk_disable</i>	Utilizado para desligamento do sinal de relógio
<i>clk_retain</i>	Utilizado para interrupção da propagação do relógio para os IPs
<i>rst</i>	Sinal de inicialização
<i>fsel</i>	Utilizado para seleção de frequências
<i>comp</i>	Utilizado para compensação de PVT
<i>clk</i>	Sinal de relógio propagado para os módulos IP
<i>fdbk_clk</i>	Sinal de relógio para realimentação e controle

### 3.4.1 Frequência de Referência

A primeira decisão de projeto diz respeito à frequência de referência. Idealmente, busca-se a eliminação deste sinal para ter um sistema puramente GALS. A redução, ou supressão da distribuição do sinal de relógio em nível global é um dos pontos que motivam a escolha de se usar o LCG. No entanto, determinar a frequência gerada sem uma referência externa de comparação é uma tarefa atualmente impraticável. A partir da necessidade de uma frequência de referência, a melhor forma de facilitar sua distribuição e reduzir a dissipação de potencia ocasionada por este sinal é mantendo sua frequência baixa. Contudo, uma frequência de operação muito baixa torna o processo de alteração de frequência lento pois o DCU utiliza esta frequência como relógio interno. Por outro lado, se a frequência for muito alta, ou seja, se ela se aproximar da menor frequência gerada pelo DCO, a diferença entre as opções de frequência fornecida pelo mesmo pode ficar muito pequena e tornar o LCG menos preciso.

A Tabela 6 mostra as possibilidades para a escolha da frequência de referência usando as frequências geradas pelo DCO no caso de caracterização de comportamento típico. O DCO e suas curvas de comportamento serão apresentados mais adiante.

Como a relação entre os valores de frequência não corresponde a uma sequência linear de passos, as razões das frequências mais altas encontram-se mais próximas umas das outras, definiu-se a frequência de referência como sendo de 25 MHz.

### 3.4.2 DCO

A Figura 20 mostra o diagrama de blocos do DCO composto de 4 blocos. No circuito atuador estão presentes dois sendo o PCDAC para compensação de alterações de PVT e o FSDAC para seleção da frequência. Já no circuito oscilador, estão presentes um VCO e um bloco de inibição do sinal de relógio (em inglês *Clock Retain* ou CR).

Tabela 6: Frequências geradas pelo DCO de Guilherme Heck [Hec12], razões entre a frequência gerada pelo DCO e a frequência de referência, utilizando casos típicos de caracterização. Os valores das razões são armazenados em representação de números inteiros em uma tabela no DCU, portanto eles foram truncados.

Índice <i>fsel_i</i>	Frequência <i>clk</i> (MHz)	Diferença entre freqs. adjacentes (MHz)	Frequência de Referência <i>ref_clk</i> (MHz)				
			50,0	40,0	30,0	25,0	20,0
			Razão <i>clk/ref_clk</i>				
0	975,5	-	19	24	32	39	48
1	931,6	43,9	18	23	31	37	46
2	885,7	45,9	17	22	29	35	44
3	828,5	57,2	16	20	27	33	41
4	751,1	77,4	15	18	25	30	37
5	723,8	27,3	14	18	24	28	36
6	671,6	52,2	13	16	22	26	30
7	617,8	53,8	12	15	20	24	30
8	562,2	55,6	11	14	18	22	28
9	504,5	57,7	10	12	16	20	25
10	444,2	60,3	8	11	14	17	22
11	379,6	64,6	7	9	12	15	18
12	306,8	72,8	6	7	10	12	15
13	231,9	74,9	4	5	7	9	11
14	163,2	68,7	3	4	5	6	8
15	80,4	82,8	1	2	2	3	4

O conversor digital-analógico PCDAC, foi projetado para atuar na compensação das variações de PVT. O sinal *comp* de 8 bits é utilizado para esse fim. O PCDAC é alimentado com um sinal analógico de corrente  $I_{REF}$  que é incrementado ou decrementado de acordo com o valor de *comp* para gerar um novo valor analógico de corrente denominado  $I_{COMP}$ . Existem 256 valores possíveis para  $I_{COMP}$ , pois o processo é feito em lógica binária.

O FSDAC é utilizado para converter valores de seleção de frequência a partir de um sinal de seleção de 15 bits denominado *fsel*. O FSDAC é alimentado com o sinal analógico de corrente  $I_{COMP}$  proveniente de PCDAC. Diferente de PCDAC, o FSDAC utiliza uma lógica do tipo

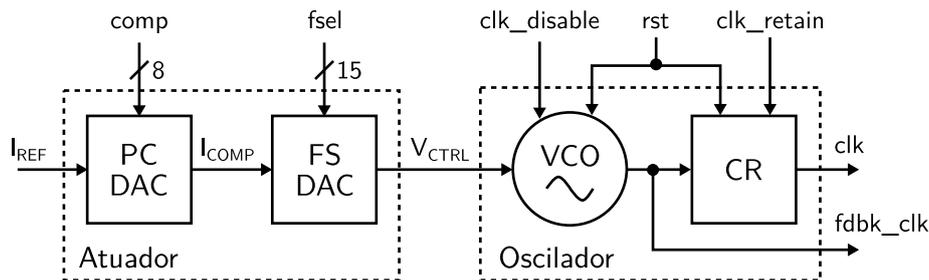


Figura 20: Diagrama de blocos do DCO [Hec12].

termométrica, onde o valor é determinado pela quantidade de bits em 1 à direita do valor. Como o sinal de seleção de frequência tem 15 bits, existem 16 possibilidades de incremento de  $I_{COMP}$  sendo as 15 possibilidades de quantidades diferentes de 1's mais a possibilidade do valor ser totalmente composto por zeros. O FSDAC gera um sinal analógico de tensão  $V_{CTRL}$  que atua no VCO, aumentando ou diminuindo o tempo de oscilação.

O VCO apresentado na Figura 21 é constituído por uma cadeia de inversor controlado por tensão denominado de inversor com roubo de corrente (em inglês *Current-Starved Inverter* ou CSI). Estes inversores podem ter seu tempo de propagação alterado através de valores de tensão aplicados nos transistores intermediários entre o par de transistores do inversor e a alimentação e o terra. Além destes, a figura apresenta também um circuito de espelho de corrente (*Current Mirror*) utilizado para fornecer a tensão de controle dos inversores.

O VCO emprega um mecanismo de inibição de relógio, denominado *Clock Gating Circuit* na Figura 21 que permite a abertura da cadeia de inversores determinada pelo sinal  $clk\_disable$ . O circuito de abertura da cadeia de inversores foi projetado de tal forma que não gera pulsos espúrios que podem afetar o comportamento do circuito alimentado pelo sinal de relógio.

Após o VCO, o bloco CR é responsável por controlar a propagação do sinal de relógio para a árvore de relógio através do sinal  $clk\_retain$ . Este bloco permite isolar o LCG da árvore de relógio para que os ajustes no sinal de relógio gerado não sejam propagados antes de serem concluídos. O sinal *reset* é utilizado nos módulos VCO e CR para evitar problemas na inicialização do VCO.

Por fim, dois sinais são gerados como saída do DCO sendo eles o  $clk$  e o  $fdbk\_clk$ . O  $clk$  é o relógio principal propagado para acionar a árvore de relógio do sistema enquanto que o  $fdbk\_clk$  é o sinal realimentado para o DCU. Ambos os sinais sofrem a influência da inibição de relógio pelo sinal  $clk\_disable$ , mas somente  $clk$  sofre a ação de  $clk\_retain$ . O sinal  $clk\_disable$  é utilizado para desligar completamente o relógio do circuito a fim de reduzir a dissipação de potência do sistema e o sinal  $clk\_retain$  é utilizado para separar o LCG da árvore de relógios no período de ajustes do mesmo.

O DCO, como já mencionado é, um circuito analógico projetado manualmente. Ele utiliza células lógicas CMOS padrão e seu funcionamento é determinado por simulações do tipo *SPICE*. Simulações deste tipo são bastante custosas, principalmente se forem utilizadas para a validação

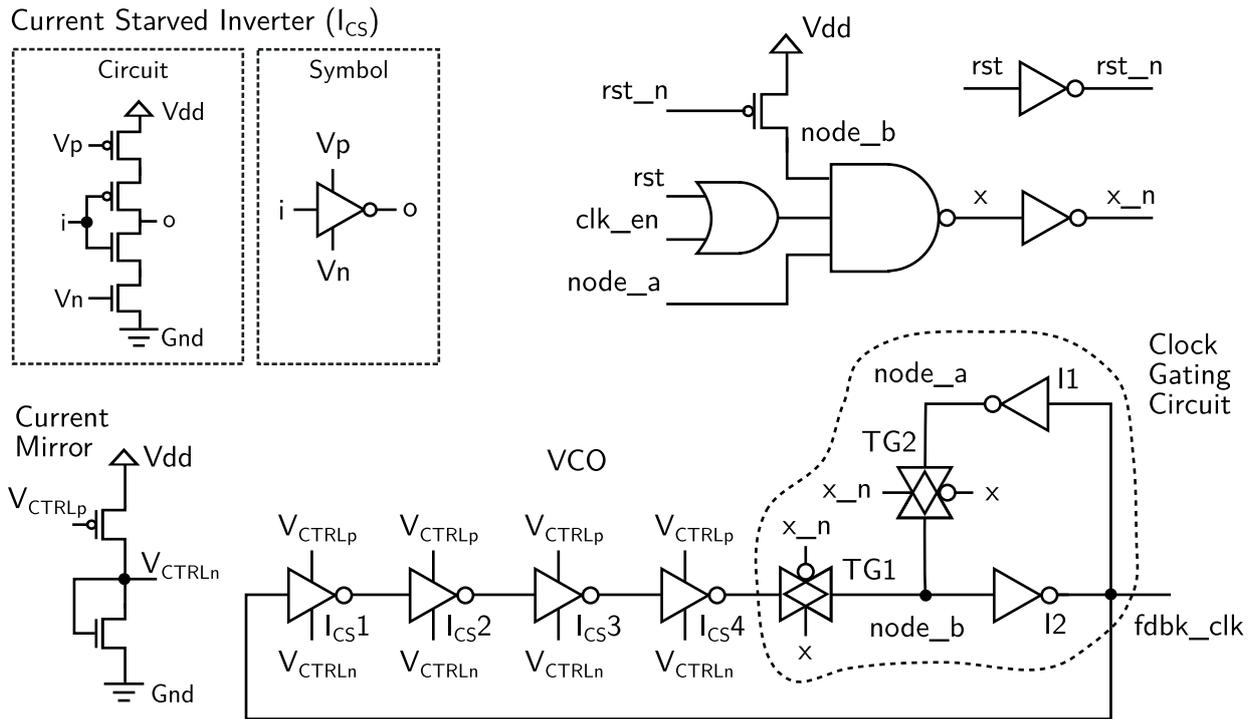


Figura 21: Diagrama de blocos do VCO [Hec12], inversor com roubo de corrente ( $I_{CS}$ ) e espelho de corrente (*Current Mirror*).

de um módulo digital como no caso do DCU no caso de simulações de sinais mistos. Portanto, um modelo comportamental do DCO foi desenvolvido para flexibilizar a criação do LCG e permitir simulações menos custosas do mesmo. Este modelo será apresentado a seguir.

### 3.4.2.1 Caracterização do DCO

A determinação do comportamento do DCO é importante para o projeto. Guilherme Heck em [Hec12] caracterizou as frequências geradas variando os sinais de controle. Dados os múltiplos graus de liberdade disponíveis para manipular parâmetros de configuração em um projeto analógico, bem como a variedade de valores possíveis para parâmetros de processo, temperatura, tensão e corrente, apenas condições de contorno especiais foram caracterizadas. A determinação de valores intermediários, se necessário, podem ser obtidas por interpolação. A caracterização do DCO é importante, tanto para conhecimento de seus limites de funcionamento quanto para a criação de um modelo para simulações em nível elevado de abstração, a fim de evitar gasto de tempo excessivo com simulações de sinais mistos.

Define-se aqui que parâmetros de configuração são aqueles passíveis de serem controlados, como por exemplo os sinais *comp* e *fsel* e que parâmetros do ambiente não podem ser controlados como processo, temperatura, tensão e corrente.

Os parâmetros de ambiente foram arranjados em 3 grupos ou casos de funcionamento. Assim sendo, no caso *best* (*i*), os parâmetros de processo, temperatura, tensão e corrente foram configurados em seu valor máximo de forma a proporcionar o menor atraso possível ou seja,

atraso mínimo de componentes. No caso *worst* (ii), todos os itens foram configurados para se obter os valores mais altos de atraso, representando o máximo de atraso possível, enquanto que no caso *typical* (iii) foram usados valores de uso típico. Os 3 casos apresentados estão listados na Tabela 7.

Tabela 7: Condições de contorno selecionadas para valores típicos de caracterização do DCO.

#	Caso	Parâmetros de Ambiente				
		Processo	Temperatura	Tensão	Corrente	<i>comp</i>
i	<i>best</i>	FF	125°C	1.32V	55 $\mu$ A	13
ii	<i>typical</i>	TT	25°C	1.10V	50 $\mu$ A	51
iii	<i>worst</i>	SS	-40°C	1.08V	45 $\mu$ A	157

No primeiro passo da caracterização variou-se *comp* para determinar qual valor deste sinal que gera a frequência de 1 GHz. Para tanto, *fsel* foi configurado para seu valor máximo sendo ele 0x7FFF onde todos os bits estão configurados com 1. Todos os 256 valores de *comp* foram gerados para os 3 casos de ambiente apresentados. A Figura 22 apresenta os valores obtidos neste processo de caracterização.

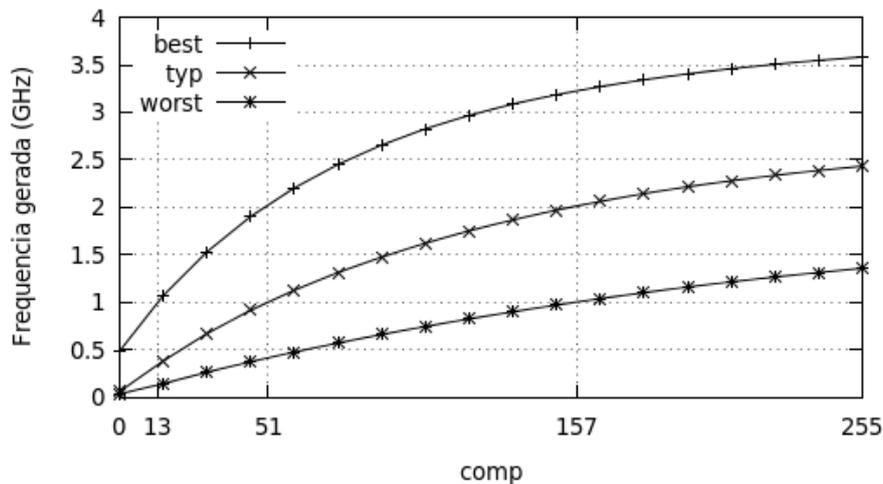


Figura 22: Variação de *comp* com *fsel* máximo.

Desta forma, são obtidos os valores 13, que representa o valor de *comp* que atinge 1 GHz com *fsel* máximo no caso *best*, 51 para o caso *typical* e 157 para o caso *worst*. É possível notar também que no caso mais extremo, o DCO alcança uma frequência em torno de 3,5 GHz, dependendo das condições de PVT. Portanto, o circuito de controle deve alterar o valor de *comp* com cautela, para evitar frequências muito acima de 1 GHz.

A seguir, caracterizou-se o valor de todas as frequências geradas pelos 16 valores de  $f_{sel}$ , levando em conta os casos *best*, *typical* e *worst* apresentados anteriormente agregando seu respectivo valor de  $comp$ . O resultado desta caracterização é apresentado na Figura 23.

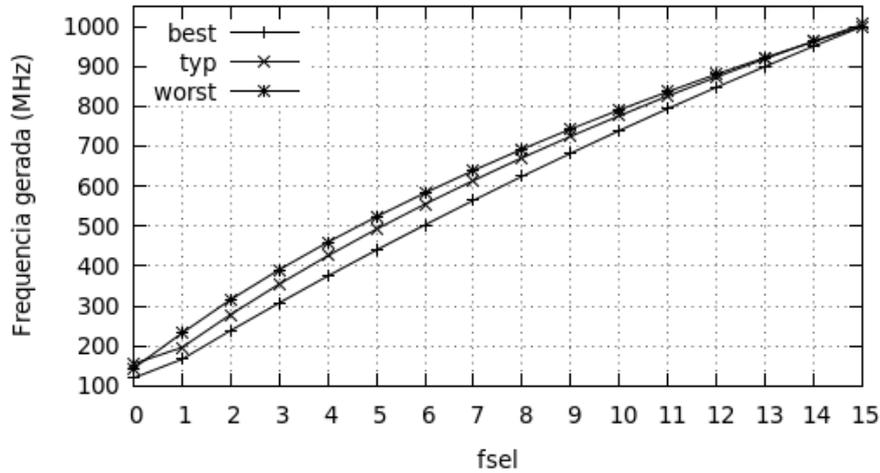


Figura 23: Frequências geradas ao variar  $f_{sel}$ , mantendo o valor de  $comp$  para alcançar 1 GHz em cada caso.

O ponto a destacar é que uma vez que  $comp$  é determinado, os valores gerados não apresentam diferenças acentuadas uns dos outros. A máxima diferença encontrada entre os 3 valores para as condições de contorno de um determinado  $f_{sel}$ , é aproximadamente igual a diferença entre dois passos de  $f_{sel}$  consecutivos na mesma curva.

Contudo, dentre tantos parâmetros, criar um modelo comportamental do DCO apenas variando o  $f_{sel}$  limitaria a qualidade do modelo para simulações. Por isso casos extras foram analisados, visando proporcionar dados suficientes para criação de um modelo mais detalhado. Todos os casos são apresentados na Tabela 8.

Os casos *best* e *worst*, são os mesmos casos anteriores mas sem levar em conta a temperatura e o  $comp$ . Somente as características de processo, tensão e corrente estão agrupadas. A Figura 24 apresenta o conjunto de valores resultantes do processo de caracterização.

### 3.4.2.2 Modelo Comportamental

O modelo comportamental do DCO foi descrito em *SystemC* e nada mais é do que uma tabela com as 16 possibilidades de frequências geradas pelo DCO. A partir dos valores de  $comp$  e  $f_{sel}$  e dos parâmetros de ambiente, o modelo ajusta os valores da tabela pela interpolação linear de múltiplas variáveis. As curvas apresentadas na Tabela 8, representando os 8 novos casos caracterizados são interpoladas para computar os casos intermediários. A Tabela 9 apresenta os parâmetros que interpolam o comportamento do DCO.

Tabela 8: Parâmetros de configuração do comportamento do modelo do DCO.

Nome	Descrição		
	Caso	Temperatura	comp
C1	best	-40°C	0
C2	best	-40°C	255
C3	best	125°C	0
C4	best	125°C	255
C5	worst	-40°C	0
C6	worst	-40°C	255
C7	worst	125°C	0
C8	worst	125°C	255

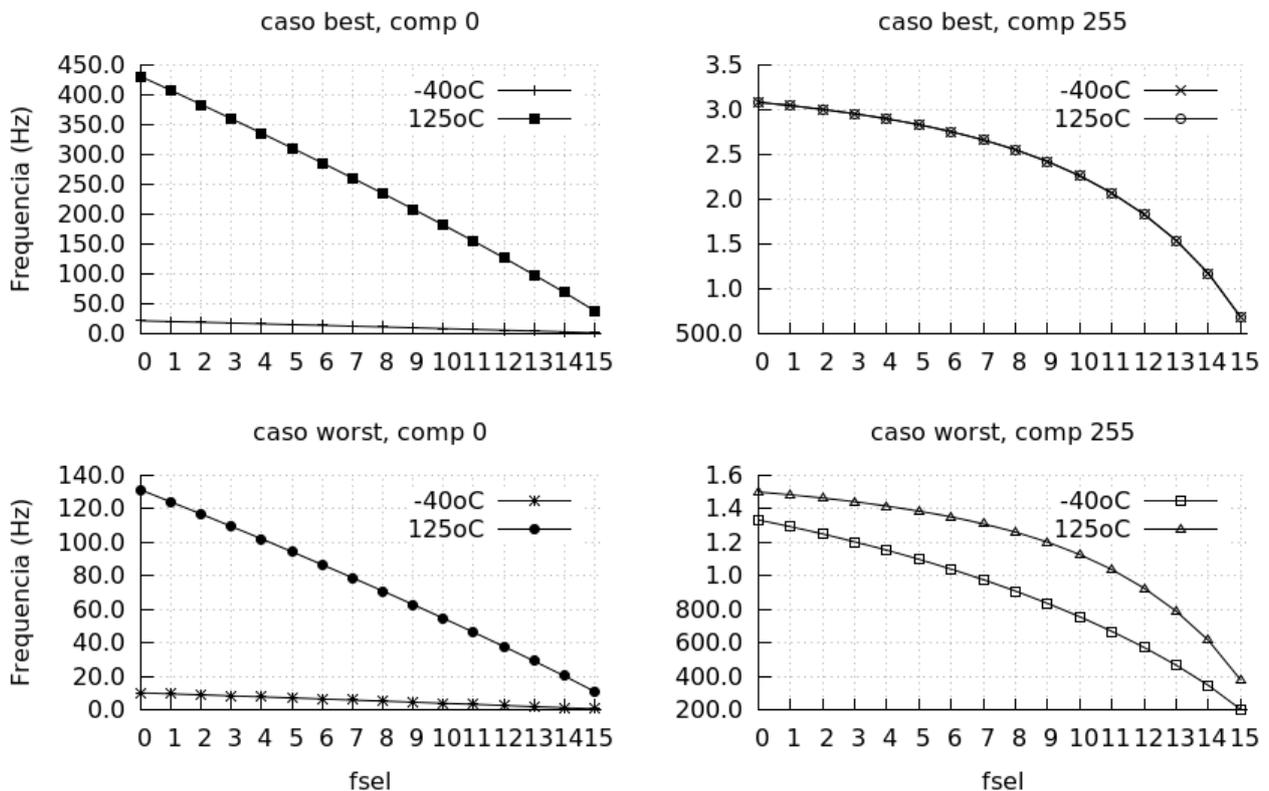


Figura 24: Comportamento do DCO nos novos casos.

A Equação 4 de interpolação foi formulada para simular o comportamento do DCO, onde  $f$  representa a frequência e  $p$  o parâmetro em questão. A interpolação começa reduzindo as 8

Tabela 9: Parâmetros de interpolação do comportamento do modelo do DCO.

Nome	Descrição	
	Mínimo	Máximo
Condição de Contorno	0 ( <i>worst</i> )	1 ( <i>best</i> )
Temperatura	-40°C	125°C
Compensação ( <i>comp</i> )	0	255
Frequência ( <i>fsel</i> )	15	0

curvas para 4, a partir do valor de *comp*. Em seguida as 4 curvas são reduzidas a 2 pelo valor de temperatura que por sua vez são reduzidas a apenas uma curva pelo valor do caso de contorno.

$$f[i] = \frac{(f_{MAX}[i] - f_{MIN}[i]) * p}{(p_{MAX} - p_{MIN}) + f_{MIN}[i]} \quad (4)$$

O modelo do *SystemC* do DCO foi utilizado como suporte ao projeto do controlador devido aos elevado tempo das simulações *SPICE*. Contudo, ele pode ser empregado nas simulações comportamentais do MPSoC pelo mesmo motivo. Sendo assim, uma análise mais profunda deve ser feita para medir a fidelidade do modelo *SystemC* contra o modelo *SPICE*.

### 3.4.3 Projeto do DCU

O DCU é composto por um módulo de contagem denominado *HSCounter* e um módulo que contém a máquina de estados denominado de *ClkSelector*. A Figura 25 apresenta esta configuração. Neste circuito estão presentes 3 domínios de relógio, sendo eles o relógio de referência, o relógio local realimentado do DCO e um relógio externo. Os sinais de controle que atravessam estes domínios devem ser sincronizados justificando o emprego dos sincronizadores representados simplificadaamente pelos blocos S.

O *HSCounter* é um contador simples, mas que possui uma lógica de sinalização para transferência do valor de contagem. O sinal de relógio de entrada é o sinal do relógio local realimentado. A função do *HSCounter* é contar a quantidade de ciclos gerados.

Por sua vez, o *ClkSelector* armazena toda a lógica de controle do DCU. A visão geral da máquina de estados é apresentada na Figura 26, sendo composta por 8 estados: (1) estado *clear\_dco*, responsável pela correta inicialização do DCO, (2) estado *init\_adjusts*, dedicado a configurar os ajustes iniciais de PVT, (3) estado *eval\_freq*, responsável por ativar o contador, (4) estado *read\_freq*, onde é feita a requisição do valor do contador, (5) estado *pvt\_adjust*, onde o valor de *comp\_o* é alterado para ajustar as variações de PVT do DCO, (6) estado *freq\_adjust*, responsável por atuar sobre *fsel\_o*, atendendo a requisições de mudança de frequência, (7)

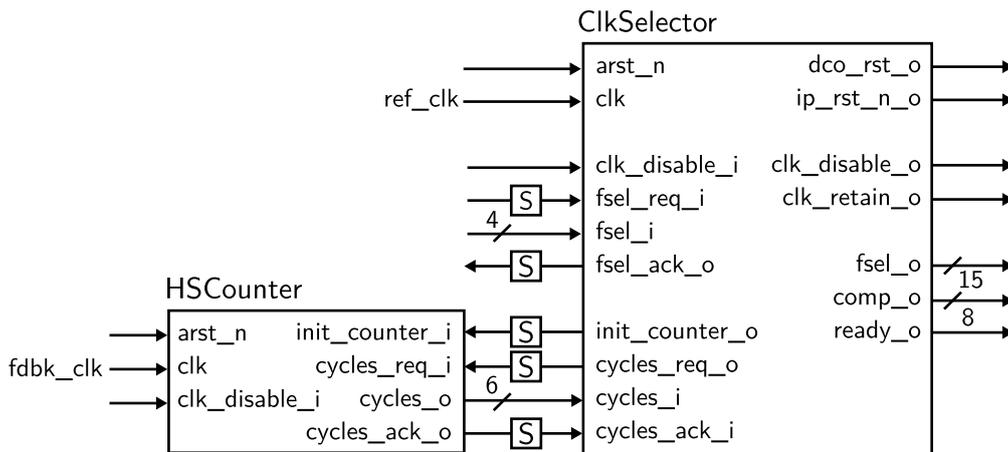
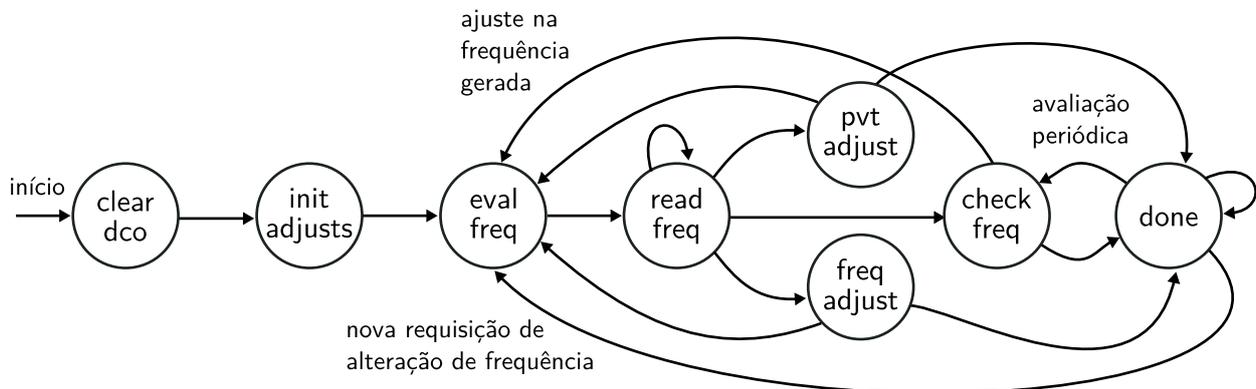


Figura 25: Blocos internos do DCU.

estado *done* que é o estado final dos ciclos de ajuste de *comp\_o* e *fsel\_o* e por último (8) o estado *check\_freq* para manutenção periódica da frequência.

Figura 26: Esboço da máquina de estados de *ClkSelector*.

No estado *clear\_dco*, apresentado na Figura 27, os valores máximos de controle para *comp* e *fsel* são gerados, para que o DCO trabalhe inicialmente em sua maior velocidade. Segundo descreve Guilherme Heck este procedimento é necessário para evitar que bolhas sejam geradas nos estágios internos do oscilador, o que pode acarretar no seu funcionamento incorreto. Os sinais de *reset* do DCO (*dco\_rst*) e do módulo IP (*ip\_rst\_n*), que será alimentado pelo relógio gerado são mantidos ativados até que o DCO esteja devidamente inicializado. Além disso, a porta *fsel\_o* do LCG recebe o valor de *fsel* convertido para lógica unária através do sinal *fsel\_una*.

O segundo estado é o *init\_adjusts* apresentado na Figura 28. Sua função é configurar o DCO para valores iniciais mais baixos através de *comp*. O sinal *fsel* é mantido no seu valor máximo para iniciar a calibração das variações de projeto. Este procedimento tem como objetivo

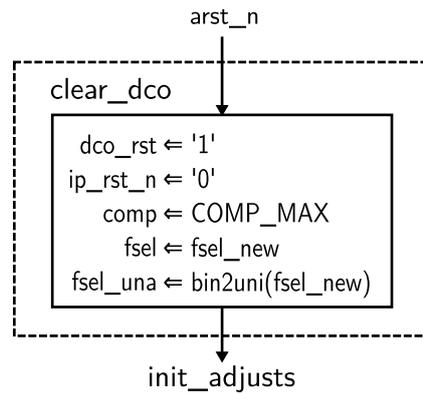


Figura 27: Detalhamento do estado *clear\_dco*.

colocar o DCO em um modo seguro. Assim, o valor inicial de *comp* foi configurado para o valor *INITIAL\_COMP* = 51 que corresponde ao relógio gerado com frequência de 1 GHz assumindo que o DCO está operando no caso *typical*. Os *resets* do DCO e do módulo IP já podem ser desativados neste estado.

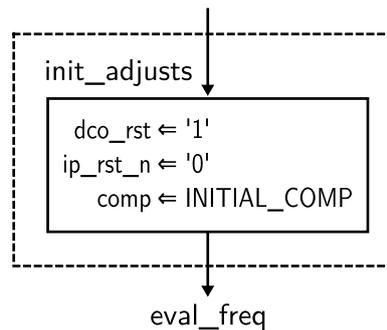


Figura 28: Detalhamento do estado *init\_adjusts*.

A Figura 29 apresenta o estado seguinte (*eval\_freq*) onde é feita a avaliação da frequência. Este estado é responsável por iniciar o contador de ciclos *HSCounter* através do sinal *init\_counter*.

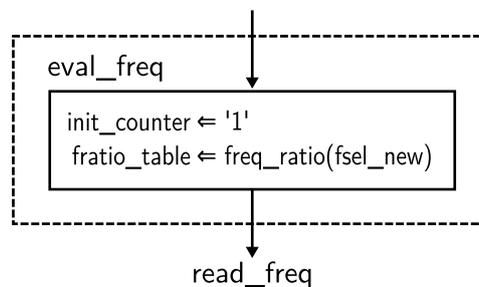


Figura 29: Detalhamento do estado *eval\_freq*.

A Figura 30 detalha o estado *read\_freq*. Inicialmente, a contagem é interrompida pelo desativamento de *init\_counter* e o valor da contagem é requisitado através de *cycles\_req*. O estado *read\_freq* fica ativo até que *HSCounter* indique que o valor da contagem está pronto para

ser amostrado. Este procedimento é necessário para evitar a condição de metaestabilidade nestes sinais, visto que *HSCounter* opera em uma frequência de operação diferente de *ClkSelector*. O valor de contagem é amostrado em *fratio\_counter* e a requisição para o contador é removida. Além disso o sinal *fratio\_table* recebe o valor tabelado para a comparação que ocorre em seguida.

A partir deste momento, é possível ir para os estados *pvt\_adjust*, *freq\_adjust* ou *check\_freq* dependendo do estágio atual de funcionamento do LCG. O primeiro estágio definido no *reset* do *ClkSelector* é *pvt\_adjust*, indicando que o LCG deve inicialmente ajustar as variações de processo pelo estágio *ADJUST\_STAGE*. Após o término desse estágio, o *ClkSelector* passa a operar no estágio onde atende requisições de mudança de frequência. Além disso, um terceiro estágio indica verificações periódicas de frequência dado a variações de temperatura.

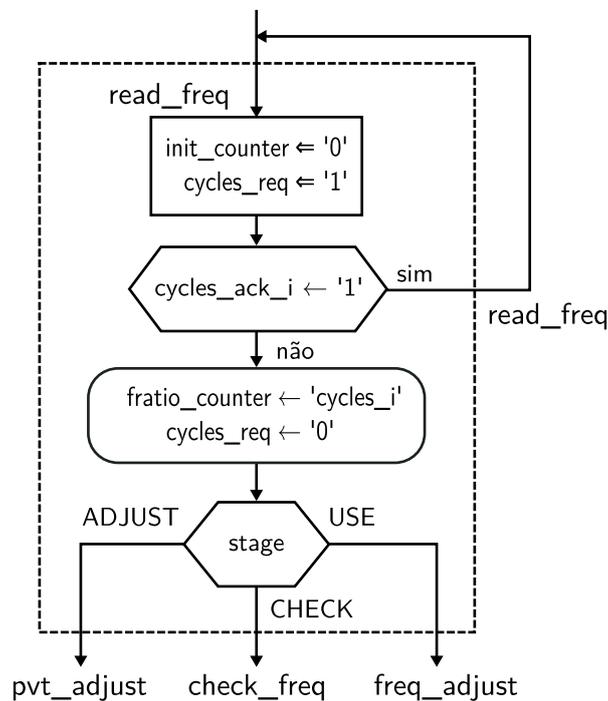


Figura 30: Detalhamento do estado *read\_freq*.

O comportamento no estado de ajuste de PVT é apresentado na Figura 31. Os ajustes realizados neste estágio visam configurar *comp* com o valor que apresenta a frequência mais próxima, menor ou igual, a 1 GHz. Portanto, sempre ao entrar neste estado, *fsel* deve ser configurado com seu valor máximo. Dado isto, *fratio\_counter* é comparado com o valor que gera o relógio de 1 GHz a partir da frequência de referência utilizada. Este valor é representado por  $RATIO\_1GHz = 41$ . Se o valor contado for menor, *comp* é incrementado até seu valor ultrapassar  $RATIO\_1GHz$ . Quando isto acontecer, *comp* é decrementado uma vez e o próximo estado se torna *done*. Caso contrário, se o valor contado for maior que  $RATIO\_1GHz$ , então ele é decrementado até ser menor que  $RATIO\_1GHz$ . Quando isto acontecer, o próximo estado se torna *done*. O controle de parada deste procedimento é feito pelo valor de fluxo *pvt\_flow*. Inicialmente *pvt\_flow* = *VOID*. Quando *comp* é incrementado ou decrementado pela primeira vez, *pvt\_flow* se torna *INCR* ou *DECR*, indicando a última operação feita. Quando o fluxo se inverter, significa que o procedimento de ajuste terminou.

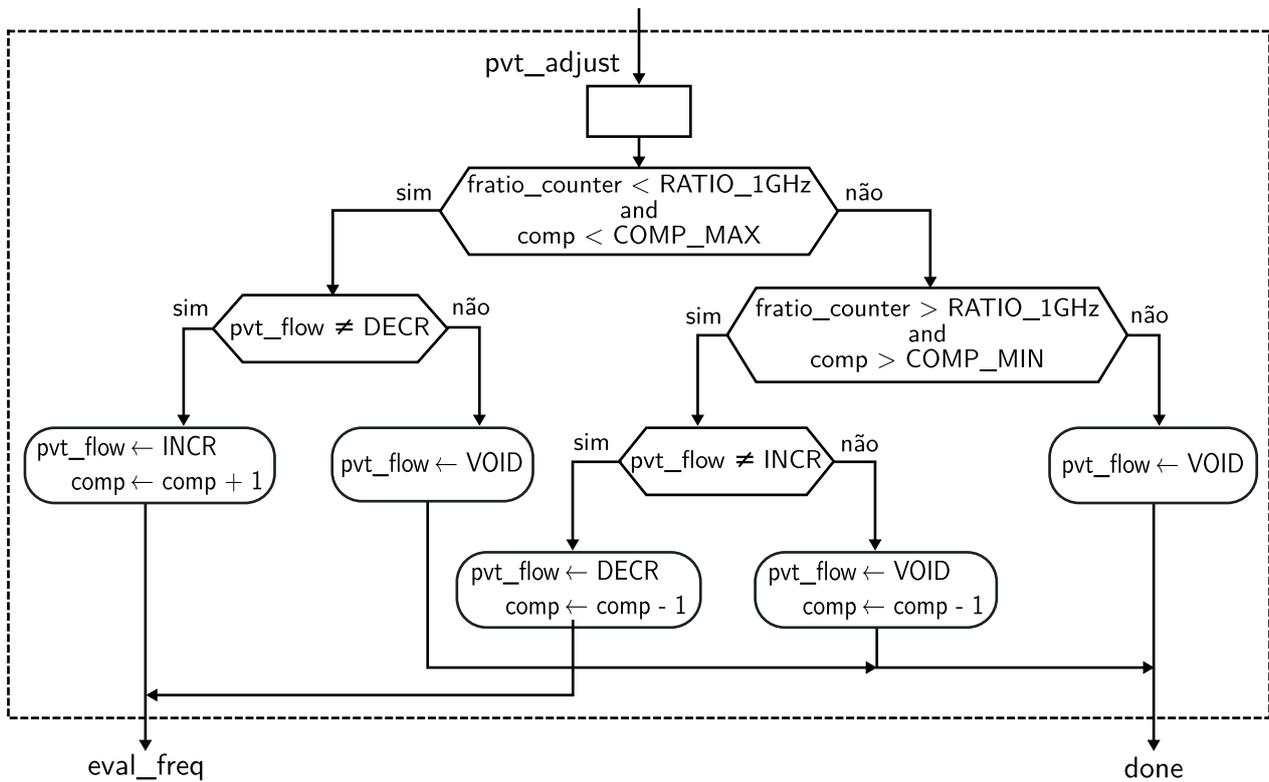


Figura 31: Detalhamento do estado *pvt\_adjust*.

O estado *freq\_adjust* mostrado na Figura 32 é análogo ao estado de ajuste de PVT. A peculiaridade é que os ajustes são feitos para selecionar a frequência de saída a partir de uma requisição externa. Portanto, neste caso, *fsel* é incrementado ou decrementado ao invés de *comp*. Além disso, diferente dos ajustes para compensação de PVT, que se deseja aqui é que a frequência seja no mínimo o valor requisitado. Valores típicos de operação estão armazenados em uma tabela que é determinada em tempo de projeto. Se a frequência requisitada através de *fsel\_i* não for pelo menos aquela tabelada, *fsel* é incrementado. A variável que controla o fluxo dos ajustes de *fsel* é a *freq\_flow*.

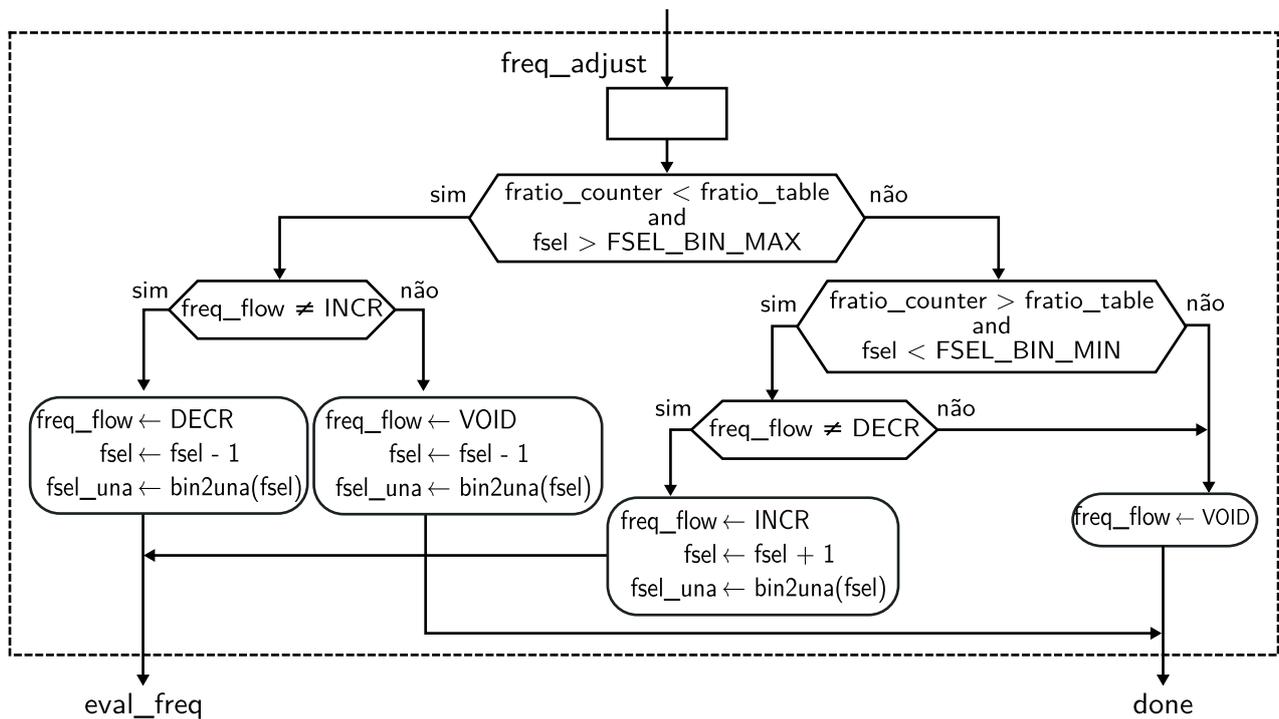


Figura 32: Detalhamento do estado *freq\_adjust*.

O próximo estado é *done*. A Figura 33 apresenta seu comportamento. O sinal *ready* é ativado, indicando o término dos ajustes. Além disso, o sinal *clk\_retain* é desativado, indicando que o sinal de relógio pode ser propagado para sua árvore de distribuição. Os sinais de fluxo *pvt\_flow* e *freq\_flow* são zeradas com valor *VOID* e um temporizador *check\_timer* é iniciado. Enquanto o estado for *done*, o temporizador é incrementado. Se vier uma requisição de frequência a partir de *fsel\_i* esta requisição é atendida e o estágio de atender requisições *USE\_STAGE* entra em operação voltando para o estado *eval\_freq*. Caso contrário, se *check\_timer* chegar em seu valor máximo, o próximo estado é configurado também como sendo o estado *eval\_freq* mas o estágio de funcionamento é configurado para *CHECK\_STAGE*.

A Figura 34 exhibe o estado de manutenção periódica das variações de PVT, *check\_freq*. Este estado verifica se a frequência atual é diferente da frequência tabelada. Se isso acontecer, *fsel* é colocado no seu valor máximo mas antes o valor é armazenado em outro sinal denominado *fsel\_bkp* para ser recuperado posteriormente e o estágio de ajuste é configurado para *ADJUST\_STAGE*, indicando que novos ajustes em *comp* serão necessários. Além disso, *clk\_retain* é ativado para bloquear a propagação do relógio e *ready* é desativado.

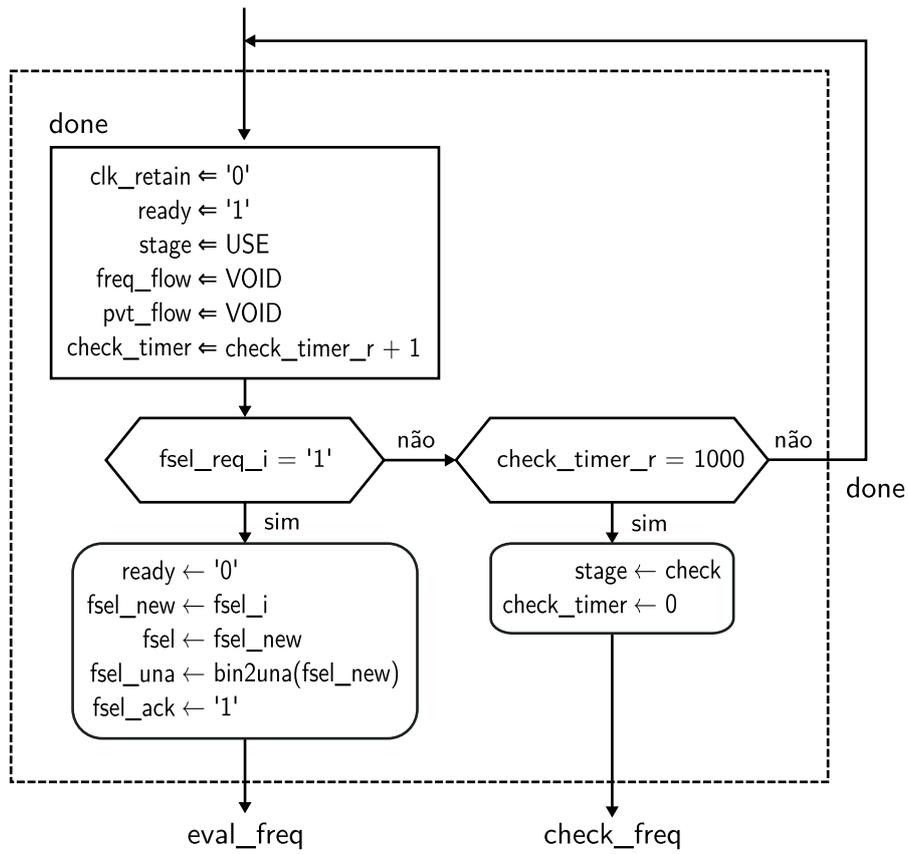


Figura 33: Detalhamento do estado *done*.

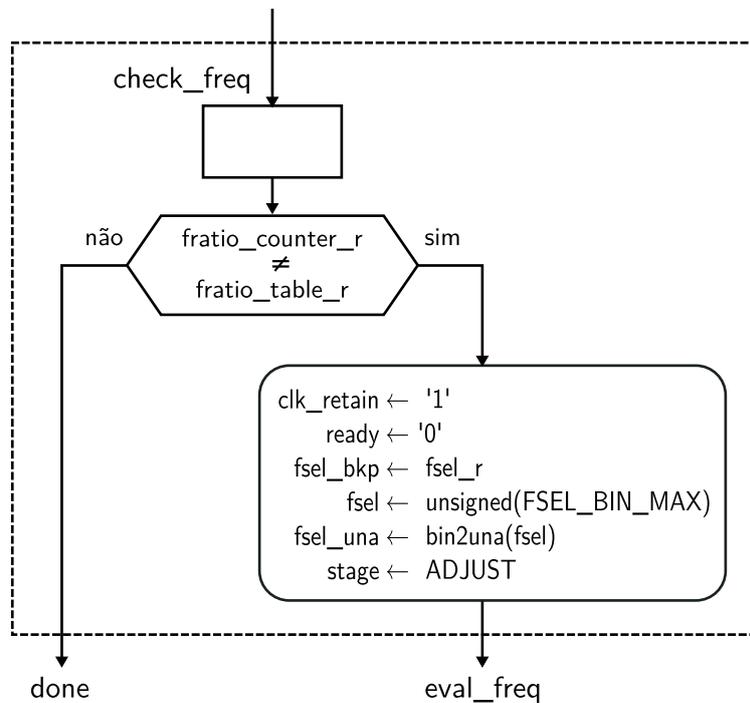


Figura 34: Detalhamento do estado *check\_freq*.

### 3.5 Ambiente de Simulação

Um ambiente de simulação para o projeto e validação do gerador de relógio foi desenvolvido em *SystemC*. Este ambiente é apresentado resumidamente na Figura 35. Somando-se a isso, criou-se um modelo do DCO também em *SystemC*, para possibilitar simulações comportamentais do ambiente como um todo inclusive dando suporte a simulações do DCU sintetizado com anotações de atrasos.

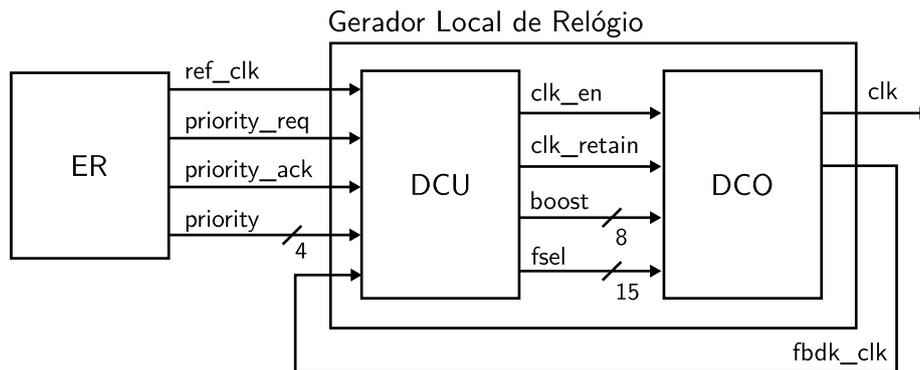


Figura 35: Ambiente de simulação com o gerador local de relógio.

O ambiente de simulação é composto de três módulos. O DCU e o DCO que já haviam sido comentados e um bloco de requisições externas (do inglês *External Requisitions* ou ER), que tem a função de simular o comportamento do agente externo ou, no caso do PE, que requisita alterações de frequência através de valores digitais de prioridades.

O DCU faz interface com três domínios de relógio diferentes que não possuem relação de frequência ou de fase. Por isso, é necessário uma atenção especial aos sinais de controle que cruzam estes domínios, a fim de evitar que o circuito apresente problemas. Por esta razão, os pedidos de prioridade realizados através do sinal *priority*, que são gerados no domínio de relógio do ER, devem ser encapsulados em sinais de sinalização (*priority\_req* e *priority\_ack*), que devem por sua vez ser sincronizados em cada domínio que os emprega.

Assim que uma requisição de prioridade chegar, se o DCU estiver disponível, ele atua sobre o DCO para atender a prioridade requisitada, que é decodificada em um valor de frequência.



## 4 Experimentos

### 4.1 Simulações

Simulações foram realizadas para avaliar o tempo de configuração inicial do LCG, onde a saída de relógio não é propagada para o circuito conectado a árvore de relógio. Neste estágio, como dito anteriormente, a frequência máxima de operação é configurada para um valor mais próximo de  $1\text{ GHz}$  mas que não seja superior a este limite. Este processo realiza a configuração inicial do sinal *comp* com valor 51 (assumindo-se que o circuito encontra-se em caso típico) e uma avaliação da frequência. Portanto no melhor caso, onde o valor inicial de *comp* já atinge a frequência de  $1\text{ GHz}$  o tempo de configuração é de  $360\text{ ns}$ , passando pelos estados *clear\_dco*, *init\_adjusts*, *eval\_freq*, *read\_freq*, *check\_freq* e *done*. O estado *read\_freq* consome mais uns 4 ciclos devido a sincronização feita com o contador que atua em um domínio de relógio maior. Por outro lado, o maior tempo para a configuração inicial do LCG ocorre quando *comp* excursiona até por volta de 157, valor máximo estimado para quando o DCO está atuando em seu caso extremo mais lento. Este período em torno de  $25,5\ \mu\text{s}$ . Este tempo é bastante elevado em comparação com o caso anterior mas como sendo caso extremo ocorre com menos frequência que valores menores.

Outra medida importante é o tempo de troca de frequências uma vez que a configuração inicial já foi realizada. Este passo é bastante simples uma vez que a frequência requisitada pelo sinal *fsel* é imediatamente selecionada. Contudo, o sinal de relógio permanece ativo durante esta etapa. Este fato se deve a garantia apresentada pelo projetista do DCO indicando que ele não gera valores espúrios na frequência de saída. Este procedimento é igual ao passo de configuração inicial mínimo excluindo os ciclos de *clear\_dco* e *init\_adjusts*. O menor período para esta operação é de  $280\text{ ns}$ . Contudo, devido as condições da tensão de operação, corrente gerada pelo espelho de corrente do DCO e pela temperatura, o valor final da frequência pode ser degradado. Assim sendo, como existem 16 passos para seleção de frequência, no caso extremo, este valor será aumentado 16 vezes o que leva ao tempo máximo de  $4,4\ \mu\text{s}$ .

Os valores de operação do LCG apresentados são bastante elevados em comparação com as frequências geradas. Isto se deve a frequência de operação muito baixa do DCU. Contudo, o tempo mais preocupante ocorre apenas na inicialização do LCG que antecede o início da execução dos PEs. No caso das requisições de frequência, o valor fica mais próximo do mínimo de  $280\text{ ns}$ . Neste caso, o impacto é menor pois o sinal de relógio que é propagado para a árvore de relógio fica ativo durante todo o processo.

## 4.2 Síntese Física

Avaliações foram obtidas a partir da *netlist* sintetizada do circuito projetado. A síntese lógica foi realizada com a ferramenta *RTL Compiler* da Cadence e o kit de desenvolvimento (em inglês *Design-Kit*) empregado é o da tecnologia CMOS 65 nm da STMicroelectronics.

Dentre as opções de biblioteca de células, a escolhida foi a *CORE65LPSVT\_5.1*. Nesta denominação o termo *CORE* refere-se a células padrão, 65 indica a tecnologia de 65 nm, *LP* indica baixo consumo de energia,  $SV_T$  representa tensão de limiar padrão dos transistores e 5.1 indica a versão da biblioteca. A escolha da biblioteca é reflexo da proposta deste projeto que tem dentre os objetivos citados o baixo consumo e a ocupação de área reduzida em comparação com outras entidades do projeto.

O circuito sintetizado opera em três domínios de relógio que não possuem relação de frequência ou fase. Portanto, é necessário que o *RTL Compiler* seja informado dos sinais que atravessam estes domínios para que as dependências entre eles sejam ignoradas em tempo de síntese. Estas dependências temporais são satisfeitas na codificação através do emprego de sincronizadores. Portanto, além de definir o período do relógio de cada domínio, é necessário criar os domínios de relógio indicando que estes não têm relação uns com os outros. Estas restrições são determinadas no Figura 36.

```
# Cria os relógios (período em ns)
create_clock -period 20 -name REFCLK_50MHz [get_ports ref_clk]
create_clock -period 0.250 -name FDBKCLK_4GHz [get_ports fdbk_clk]
create_clock -period 1 -name EXTERNCLK_1GHz [get_ports external_clk]

# Configura cada relógio em um domínio distinto
set_clock_groups -name REFCLK_ASYNC_GROUP -asynchronous -group {REFCLK_50MHz}
set_clock_groups -name FDBKCLK_ASYNC_GROUP -asynchronous -group {FDBKCLK_4GHz}
set_clock_groups -name EXTERNCLK_ASYNC_GROUP -asynchronous -group
{EXTERNCLK_1GHz}

# Determina caminhos falsos entre os relógios diferentes
set_false_path -from [get_clocks REFCLK_50MHz] -to [get_clocks EXTERNCLK_1GHz]

set_false_path -from [get_clocks REFCLK_50MHz] -to [get_clocks FDBKCLK_4GHz]
set_false_path -from [get_clocks FDBKCLK_4GHz] -to [get_clocks EXTERNCLK_1GHz]

set_false_path -from [get_clocks FDBKCLK_4GHz] -to [get_clocks FDBKCLK_4GHz]
```

Figura 36: Restrições para síntese lógica.

Como apresentado no código acima, são criados 3 relógios, sendo um de período igual 20 ns com frequência igual a 50 MHz chamado de *REFCLK\_50MHz*, um de período igual 0,250 ns com frequência igual a 4 GHz chamado de *FDBKCLK\_4GHz* e outro de 1 ns com frequência igual a 1 GHz chamado de *EXTERNCLK\_1GHz*. Estas restrições vem do fato que o controle atua na frequência de 50 MHz e que o contador deve atuar pelo menos próximo as frequências máximas geradas pelo DCO, no caso 4 GHz, e que sinais externos podem ser gerados na máxima frequência do gerador de relógios empregado externamente cujo valor máximo de frequência situa-se em torno de 1 GHz.

Uma comparação de área dos principais módulos envolvidos neste trabalho aparece na Tabela 10. Para motivos de comparação estão presentes também os relatórios de outros blocos que compõem um elemento de processamento. São eles: o roteador Hermes síncrono, e o processador Plasma completo com suas memórias.

Tabela 10: Comparativos de área dos módulos de integram um MPSoC.

Entidade	Células	Área de células ( $\mu m^2$ )	Área de fios ( $\mu m^2$ )	Área total ( $\mu m^2$ )
DCU	256	1325	1017	2342
Roteador Hermes	5059	28912	20429	49341
Plasma PE	5546	798525	27453	825978

O DCO está em fase de elaboração e ainda não é possível obter dados precisos de área deste. Contudo é possível uma comparação inicial com o DCU levando em conta o número de células. Como o DCO possui 828 transistores [Hec12], a quantidade em número de células pode ser estimada de forma grosseira assumindo um total de 4 transistores por célula, o que resulta em aproximadamente 207 células contra 256 do DCU. A comparação é grosseira pois os transistores utilizados no DCO são de tamanho mínimo e a fonte de corrente não foi levada em conta. Este dado porém, não deve ser considerado preciso, visto que o DCU é constituído de 60% de células de memória que apresentam uma quantidade elevada de transistores. Por outro lado, o DCO é um projeto analógico e isto requer uma área extra utilizada para isolar seus componentes dos circuitos digitais para reduzir interferências mútuas no funcionamento de ambos os circuitos.

A comparação de área do DCU com as demais entidades que constituem o elemento de processamento apresentadas na Tabela 10 fornece resultados mais precisos. Considerando o PE como sendo constituído pelas 3 entidades apresentadas, os valores percentuais de área o do DCU de 0,3%, do roteador Hermes de 5,6% enquanto que o Plasma-PE representa 94,1%. O DCU representa menos de 1% da área do PE, e viabiliza sua utilização em cada PE do MPSoC.

No quesito dissipação de potência, a Tabela 11 apresenta a análise realizada com valores da atividade de chaveamento dos transistores obtida através de simulação. Ao todo, um total de 6 cenários foram simulados, sendo eles:

X1: Período inicial de ajuste de PVT

X2: Período de variação da seleção de frequência da mais baixa para a mais alta em passos unitários

X3: Período com a seleção de frequência fixa no valor máximo

X4: Mesmo que X3 com o relógio desabilitado

X5: Período com a seleção de frequência fixa no valor mínimo

X6: Mesmo que X5 com o relógio desabilitado

D1: Valores médios de potência entre as mudanças de frequência

D2: Mesmo que D1 com o sinal de relógio desabilitado

EC: Estimativas de consumo do DCU, do roteador da Hermes síncrona assumindo atividade de ativamente padrão de 50% para todos os sinais também estão presentes

Tabela 11: Comparativos de dissipação de potência dos módulos de integram um MPSoC.

Entidade	Cenário	Potência estática ( $\mu W$ )	Potência dinâmica ( $\mu W$ )	Potência total ( $\mu W$ )
DCO	D1	-	-	58,508
DCO	D2	-	-	26,833
DCU	X1	0,053	142,856	142,910
DCU	X2	0,054	158,953	159,008
DCU	X3	0,055	126,244	126,299
DCU	X4	0,058	4,023	4,081
DCU	X5	0,054	127,256	127,311
DCU	X6	0,057	3,123	3,181
DCU	EC	0,038	210,908	210,908
Roteador Hermes	EC	0,979	636,363	637,343

Os resultados de consumo de potência médio nos cenários X1 e X2 onde a frequência de saída é alterada, são próximos dos cenários X3 e X5 onde a frequência gerada pelo DCO permanece constante. Contudo, nos cenários X4 e X6 onde o sinal de relógio é desligado, o consumo de potência cai aproximadamente 96% como esperado.

---

Os resultados obtidos até o presente momento demonstram que o gerador local de relógios desenvolvido apresenta condições favoráveis de ser empregado em cada um dos elementos de processamento que compõem a HeMPS-GLP de acordo com os critérios de área e potência avaliados. Contudo isso só será viável se a conclusão do leiaute do DCO apresentar área máxima não muito maior que a área ocupada pelo DCU.



## 5 *Considerações Finais*

### 5.1 Conclusões

Este trabalho apresentou um controlador para geração local de relógio com finalidade do emprego em MPSoCs GALS para processadores. Devido as características específicas do projeto que emprega comunicação GALS, o projeto não necessita ajuste fino de frequência e fase. Estes atributos podem ser trabalhados de forma menos rígidas em comparação com sistemas completamente síncronos que necessitam de sinais de temporização mais precisos para manter o desempenho elevado.

Os resultados preliminares mostram que o LCG pode ser empregado individualmente por processador devido a sua baixa dissipação de potência que no pior caso foi de  $127 \mu W$ , o que representa 33% do valor apresentado pelo roteador Hermes síncrono. O gasto em área também foi baixo e representa menos de 5% da área ocupada pelo roteador Hermes.

### 5.2 Trabalhos Futuros

O controlador de relógio apresentou resultados satisfatórios do ponto de vista de recursos utilizados, contudo análises mais precisas devem ser conduzidas para determinar como o gerador de relógios se comporta aplicado no contexto de MPSoC.

Para tanto, deixa-se aqui, algumas propostas de atividades de continuação do trabalho desenvolvido:

- Desenvolver uma avaliação precisa do consumo para todas as possibilidades de variação das entradas. Além disso, mais condições de contorno devem ser cobertas. Esta caracterização de consumo em conjunto com caracterização equivalente para o DCO servem para garantir a viabilidade de uso do LCG como um bloco digital comum ao invés de ser tratado como um bloco analógico.
- Desenvolver um LCG simplificado, que não foque em obter uma frequência mínima, mas sim, apenas patamares de frequência distintos, objetivando somente manter a frequência máxima de operação dentro do limite superior de 1 GHz.
- Apresentar um MPSoC que integre LCGs para validar seu uso em funcionamento e determinar a possibilidade de instanciação em grão fino.



## *Referências*

- [Bro11] Browne, J. “On-Chip Communications Network Report”, Sonics, Inc., 2011, 5p. Capturado em: <http://sonicsinc.com/wp-content/uploads/2012/11/Sonics-On-Chip-Communications-Network-Survey-Results.pdf>.
- [Can12] Canals. “Smart-Phones Overtake Client PCs in 2011”, Canals, 2012, 4p. Capturado em: [http://www.canals.com/static/press\\_release/2012/canals-press-release-030212-smart-phones-overtake-client-pcs-2011\\_0.pdf](http://www.canals.com/static/press_release/2012/canals-press-release-030212-smart-phones-overtake-client-pcs-2011_0.pdf).
- [CSH12] Chung, C. C.; Sheng, D.; Ho, W. D. “A Low-Power and Small-Area All-Digital Spread-Spectrum Clock Generator in 65 nm CMOS Technology”. In: International Symposium on VLSI Design, Automation, and Test (VLSI-DAT), 2012, pp. 1–4.
- [CYH07] Chang, M. H.; Yang, Z. X.; Hwang, W. “A 1.9 mW Portable ADPLL-based Frequency Synthesizer for High Speed Clock Generation”. In: IEEE International Symposium on Circuits and Systems (ISCAS), 2007, pp. 1137–1140.
- [Hec12] Heck, G. “Um MPSoC GALS Baseado em Rede Intrachip com Geração Local de Relógio”, Dissertação de Mestrado, Faculdade de Engenharia de Computação - PUCRS, 2012, 111p.
- [HEH<sup>+</sup>12] Höppner, S.; Eisenreich, H.; Henker, S.; Walter, D.; Ellguth, G.; Schuffny, R. “A Compact Clock Generator for Heterogeneous GALS MPSoCs in 65 nm CMOS Technology”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 21–3, Feb 2012, pp. 566–570.
- [HKK<sup>+</sup>12] Hwang, S.; Kim, K. M.; Kim, K.; Kim, S. W.; Kim, C. “A Self-Calibrated DLL-Based Clock Generator for an Energy-Aware EISC Processor”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 21–3, Apr 2012, pp. 575–579.
- [JJS<sup>+</sup>08] Jung, I.; Jung, G.; Song, J.; Kim, M. Y.; Park, J.; Park, S. B.; Kim, C. “A 0.004 mm Portable Multiphase Clock Generator Tile for 1.2 GHz RISC Microprocessor”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55–2, Feb 2008, pp. 116–120.
- [KC07] Kim, S. H.; Cho, S. B. “Low Phase Noise and Fast Locking PLL Frequency Synthesizer for a 915 MHz ISM Band”. In: International Symposium on Integrated Circuits (ISIC), 2007, pp. 592–595.
- [KKK<sup>+</sup>06] Kim, J.-H.; Kwak, Y.-H.; Kim, M.; Kim, S.-W.; Kim, C. “A 120 MHz amp 1.8 GHz CMOS DLL-Based Clock Generator for Dynamic Frequency Scaling”, *IEEE Journal of Solid-State Circuits*, vol. 41–9, Set 2006, pp. 2077–2082.
- [KPHK09] Kim, Y. T.; Pham, P. H.; Heo, W.; Koo, J. “A Low-Power Programmable DLL-Based Clock Generator With Wide-Range Anti-Harmonic Lock”. In: International SoC Design Conference (ISOCC), 2009, pp. 520–523.

- [LKL<sup>+</sup>07] Lee, J.; Kim, K.; Lee, J.; Jang, T.; Cho, S. “A 480 MHz to 1 GHz Sub-Picosecond Clock Generator With a Fast and Accurate Automatic Frequency Calibration in 0.13  $\mu\text{m}$  CMOS”. In: IEEE Asian on Solid-State Circuits Conference (ASSCC), 2007, pp. 67–70.
- [LOK<sup>+</sup>12] Li, Y. W.; Ornelas, C.; Kim, H. S.; Lakdawala, H.; Ravi, A.; Soumyanath, K. “A Reconfigurable Distributed All-Digital Clock Generator Core with SSC and Skew Correction in 22 nm High-K Tri-Gate LP CMOS”. In: IEEE International on Solid-State Circuits Conference (ISSCC), 2012, pp. 70–72.
- [PMSC08] Pontes, J.; Moreira, M.; Soares, R.; Calazans, N. “Hermes-GLP: A GALS Network on Chip Router with Power Control Techniques”. In: IEEE Computer Society Annual on Symposium on VLSI (ISVLSI), 2008, pp. 347–352.
- [PPPC12] Park, P.; Park, J.; Park, H.; Cho, S. “An All-Digital Clock Generator Using a Fractionally Injection-Locked Oscillator in 65 nm CMOS”. In: IEEE International on Solid-State Circuits Conference (ISSCC), 2012, pp. 336–337.
- [QZXY09] Qiao, F.; Zhou, Y.; Xie, X.; Yang, H. “A Programmable DCO-Based Fast-Locking Clock Generator”. In: International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), 2009, pp. 93–98.
- [RJJ10] Ryu, K. H.; Jung, D. H.; Jung, S. O. “A DLL-Based Clock Generator for Low-Power Mobile SoCs”, *IEEE Transactions on Consumer Electronics*, vol. 56–3, Aug 2010, pp. 1950–1956.
- [RJJ12] Ryu, K. H.; Jung, D. H.; Jung, S. O. “A DLL With Dual Edge Triggered Phase Detector for Fast Lock and Low Jitter Clock Generator”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 59–9, Set 2012, pp. 1860–1870.
- [SIA97] SIA, S. I. A. “National Technology Roadmap for Semiconductors”, SIA, 1997, 239p.
- [SKY<sup>+</sup>09] Shin, D.; Koo, J.; Yun, W.-J.; Choi, Y. J.; Kim, C. “A Fast-Lock Synchronous Multi-Phase Clock Generator Based on a Time-to-Digital Converter”. In: IEEE International Symposium on Circuits and Systems (ISCAS), 2009, pp. 1–4.
- [SLH<sup>+</sup>10] Sung, G. N.; Liao, S. C.; Huang, J. M.; Lu, Y. C.; Wang, C. C. “All-Digital Frequency Synthesizer Using a Flying Adder”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57–8, Aug 2010, pp. 597–601.
- [SLM06] Scheffer, L.; Lavagno, L.; Martin, G. “EDA for IC Implementation, Circuit Design, and Process Technology”. CRC Taylor & Francis, 2006, 608p.
- [SP10] Shelar, R. S.; Patyra, M. “Impact of Local Interconnects on Timing and Power in a High Performance Microprocessor”. In: Proceedings of the 19th International Symposium on Physical Design (ISPD), 2010, pp. 145–152.
- [WH10] Weste, N.; Harris, D. “CMOS VLSI Design: A Circuits and Systems Perspective”. Addison–Wesley Publishing Company, 2010, 867p.